# واحد کاردوم

# کاربرد آی‌سی میکروکنترلر در تلویزیون

**هدف کلی**

نحوه عملکرد، عیب‌یابی و تعمیر واحد کنترل یک نمونه تلویزیون رنگی جدید

**هدف‌های رفتاری: فراگیر پس از پایان این واحد کار قادر خواهد بود:**

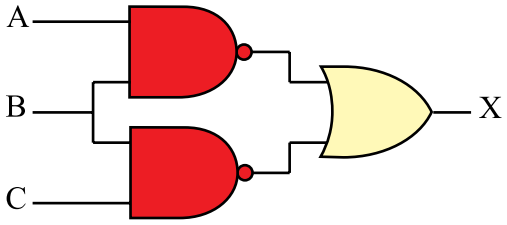
۱ــ انواع گیت‌های دیجیتالی پایه را بررسی کند.
۲ــ انواع مدار فلیپ‌فلاپ را تشریح کند.
۳ــ مدار انواع شیفت رجیسترها را شرح دهد.
۴ــ انواع شمارنده‌ها را تشریح کند.
۵ــ انواع آی‌سی‌های حافظه ROM ، RAM ، PROM ، EPROM و $E^2PROM$ را توضیح دهد.
۶ــ میکروکنترلر و کاربرد آن در گیرنده‌های رنگی جدید را توضیح دهد.
۷ــ واحد کنترل یک گیرنده رنگی جدید را نقشه‌خوانی، عیب‌یابی، تعمیر و تنظیم کند.

**ساعات آموزش**

| نظری | عملی | جمع |
|---|---|---|
| ۳۰ | ۳۰ | ۶۰ |

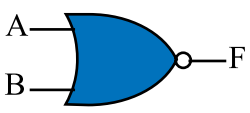
## پیش‌آزمون (۲)

۱ــ رابطه منطقی خروجی (X) را بنویسید و سپس رابطه را ساده کنید.

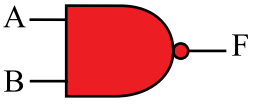



۲ــ جدول صحت داده شده مربوط به کدام گیت است؟

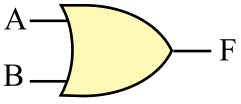
| A | B | F |
|---|---|---|
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |



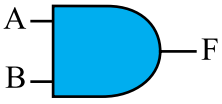

(۴




(۳

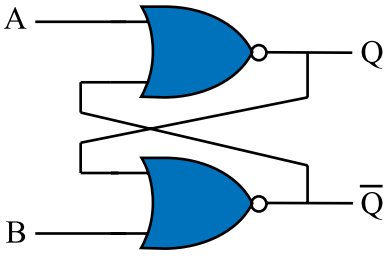



(۲




(۱

۳ــ اگر $A = ۱$ و $B = ۰$ باشد Q و $\overline{Q}$ در چه حالت منطقی قرار دارند؟




۴ــ منظور از کلمات بیت و بایت چیست؟

۵ــ حافظه RAM چه نوع حافظه‌ای است؟

۶ــ حافظه‌ای که به توان آن را با سیگنال الکتریکی پاک کرد کدام نوع حافظه است؟

۱) RAM ۲) PROM ۳) EPROM ۴) E[۲]PROM

۷ــ معمولاً برای تنظیم صدای یک تلویزیون رنگی (کم و یا زیاد کردن صدا) از چند طریق می‌توان به تلویزیون فرمان داد؟

۸ــ آی‌سی‌ای که به‌عنوان میکروکنترلر در تلویزیون رنگی گروندیک عمل می‌کند آی‌سی شماره..... است و شماره‌ی فنی آن..... می‌باشد.

۹ــ حافظه جانبی آی‌سی میکروکنترلر کدام است و این آی‌سی از چه نوعی است؟

۱۰ــ مدار دیودی یک سون‌سگمنت[۱] (واحد نمایش) آند مشترک را رسم کنید.

## ۱ــ۲ــ شناسایی سیستم‌های گیرنده رنگی جدید

### ۱ــ۱ــ۲ــ بررسی مدار گیت‌های دیجیتالی

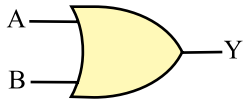
***ــ بررسی کلی:*** چون در گیرنده‌های رنگی جدید از مدارهای دیجیتالی استفاده می‌شود لازم است گیت‌های دیجیتالی مورد بررسی قرار گیرد. البته در الکترونیک کار عمومی گیت‌های دیجیتالی پایه، مورد مطالعه و بررسی قرار گرفته است. لذا در این قسمت این گیت‌ها به اختصار توضیح داده خواهد شد.

**۲ــ۱ــ۲ــ دروازه[1] منطقی OR (یا):** دروازه منطقی OR دروازه‌ای است که خروجی آن زمانی وجود دارد (یک می‌شود) که حداقل یکی از ورودی‌های آن وجود داشته باشد (یک باشد). جدول ۱ــ۲ جدول درستی دروازه منطقی OR را نشان می‌دهد.

**جدول ۱ــ۲ــ جدول درستی دروازه منطقی OR**

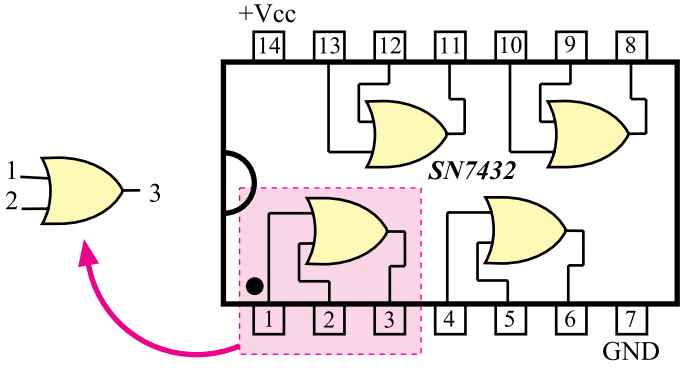
| A | B | Y |
|---|---|---|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

شکل ۱ــ۲ نماد مداری دروازه منطقی OR را در استاندارد بین‌المللی (IEC) نشان می‌دهد. رابطه منطقی خروجی دروازه‌ی OR را برحسب متغیرهای ورودی به‌صورت $Y = A + B$ می‌نویسند.

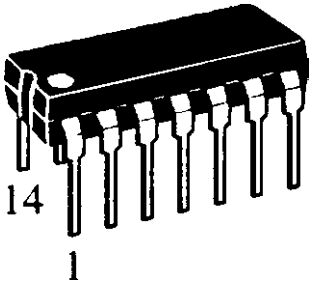



**شکل ۱ــ۲ــ نماد مداری دروازه OR**

در شکل ۲ــ۲ تراشه ۷۴۳۲ که یک آی‌سی ۱۴ پایه است و در آن چهار دروازه OR قرار دارد نشان داده شده است. در شکل ۳ــ۲ تصویر ظاهری آی‌سی ۷۴۳۲ را ملاحظه می‌کنید.




**شکل ۲ــ۲ــ گیت‌های داخل تراشه ۷۴۳۲**




**شکل ۳ــ۲ــ نقشه ظاهری آی‌سی ۷۴۳۲**

---

۱ــ gate

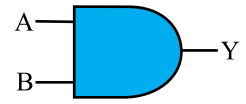
### ۳ــ۱ــ۲ــ دروازه منطقی AND (و):

دروازه منطقی AND دروازه‌ای است که خروجی آن زمانی یک می‌شود که همه ورودی‌های آن یک باشند. در جدول ۲ــ۲ جدول درستی دروازه منطقی AND نوشته شده است.

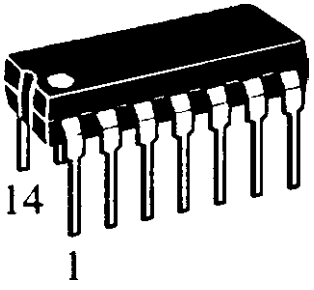
**جدول ۲ــ۲ــ جدول درستی دروازه منطقی AND**

| A | B | Y |
|---|---|---|
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

در شکل ۴ــ۲ نماد مداری دروازه منطقی AND نشان داده شده است. رابطه منطقی خروجی دروازه AND را برحسب متغیرهای ورودی آن به‌صورت $Y = A.B$ یا $Y = A \times B$ می‌نویسند. در شکل ۵ــ۲ نماد ظاهری تراشه ۷۴۰۸ و در شکل ۶ــ۲ گیت‌های داخل این تراشه را مشاهده می‌کنید.

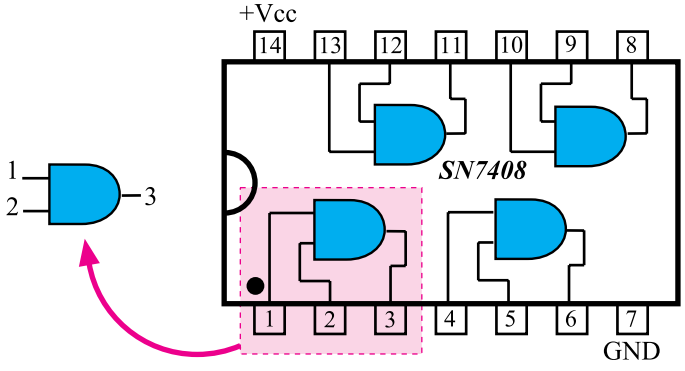



**شکل ۴ــ۲ــ نماد مداری دروازه منطقی AND**



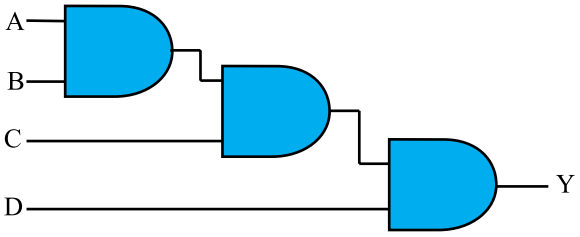

**شکل ۵ــ۲ــ تصویر ظاهری تراشه ۷۴۰۸**

**پایه ۱۴ آی سی تغذیه مثبت (۵+ ولت) و پایه ۷ زمین آی سی است.**



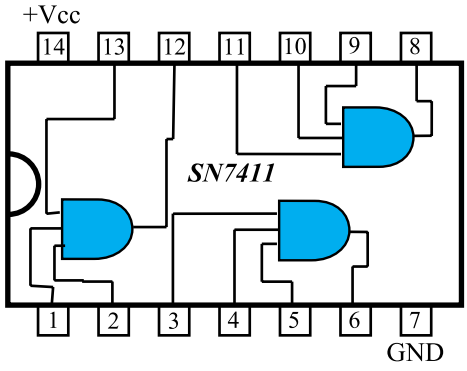

**شکل ۶ــ۲ــ گیت‌های داخل آی‌سی ۷۴۰۸**

توجه کنید که دروازه منطقی معمولی OR و AND دو ورودی دارند ولی تعداد ورودی‌های این دروازه‌های منطقی می‌تواند بیشتر باشد. هم‌چنین می‌توان با سری کردن چند دروازه با دو ورودی، ورودی‌ها را به ۳ یا ۴ یا بیشتر افزایش داد. شکل ۷ــ۲ توسعه ورودی‌های AND را با استفاده از سه دروازه‌ی AND با دو ورودی، نشان می‌دهد.




شکل ۷ــ۲ــ توسعه ورودی AND

در شکل ۸ــ۲ گیت‌های داخل تراشه ۷۴۱۱ را که دارای سه گیت AND با سه ورودی است ملاحظه می‌کنید.



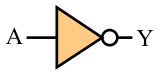

شکل ۸ــ۲ــ آی‌سی گیت AND با سه ورودی

**۴ــ۱ــ۲ــ دروازه منطقی NOT (نفی):** خروجی دروازه منطقی NOT همواره معکوس (نفی) ورودی آن است یعنی خروجی این گیت زمانی یک است که متغیر ورودی آن صفر باشد. جدول ۳ــ۲ جدول درستی گیت NOT را نشان می‌دهد.

**جدول ۳ــ۲ــ جدول درستی گیت NOT**

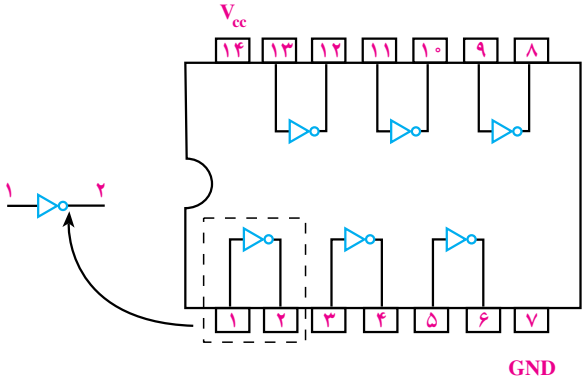
| A | Y |
|---|---|
| 0 | 1 |
| 1 | 0 |

در شکل ۹ــ۲ نماد مداری دروازه NOT رسم شده است. رابطه منطقی خروجی دروازه NOT برحسب متغیر ورودی، به‌صورت $Y = A'$ یا $Y = \overline{A}$ نوشته می‌شود.




شکل ۹ــ۲ــ نماد مداری گیت NOT

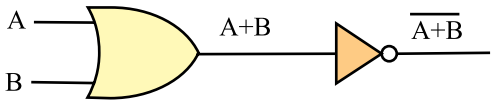
در شکل ۱۰ــ۲ شش گیت NOT را داخل تراشه ۷۴۰۴ مشاهده می‌کنید.




شکل ۱۰ــ۲ــ گیت‌های داخل آی‌سی ۷۴۰۴

**پایه ۱۴ آی سی تغذیه مثبت (۵+ ولت) و پایه ۷ زمین آی سی است.**

**۵ــ۱ــ۲ــدروازه‌منطقی NOR(NOT-OR):** دروازه منطقی NOR از ترکیب دروازه‌های OR و NOT ساخته می‌شود. به عبارت دیگر متغیرهای ورودی این دروازه ابتدا با یکدیگر OR می‌شوند و سپس حاصل آن NOT می‌شود. شکل ۱۱ــ۲ گیت‌های تشکیل‌دهنده دروازه منطقی NOR را نشان می‌دهد.



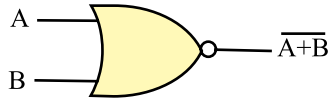

شکل ۱۱ــ۲ــ گیت‌های دروازه منطقی NOR

جدول درستی گیت NOR ــ۲ــ۴ جدول

| A | B | F=$\overline{A+B}$ |
|---|---|---|
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

جدول ۴ــ۲ جدول درستی دروازه منطقی NOR است.

با توجه به جدول درستی، درمی‌یابیم خروجی دروازه NOR زمانی ۱ است که همه ورودی‌های آن ۰ باشد. اگر حداقل یک ورودی دروازهNOR ۱ باشد خروجی دروازه ، ۰ است.

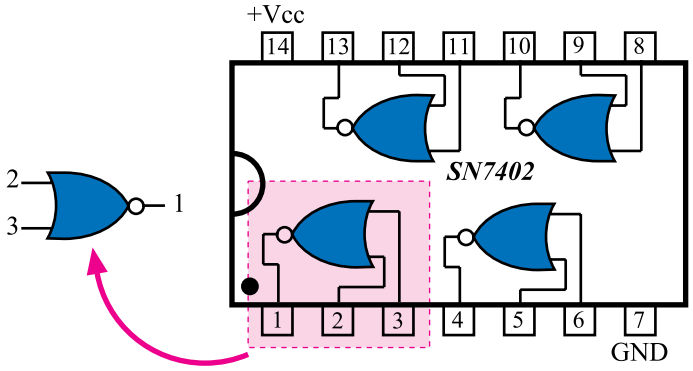



شکل ۱۲ــ۲ــ نمای مداری دروازه منطقی NOR

در شکل ۱۲ــ۲ نماد مداری دروازه منطقی NOR رسم شده است.

رابطه منطقی خروجی دروازه NOR برحسب متغیرهای ورودی آن به‌صورت $Y = \overline{A+B}$ نوشته می‌شود.

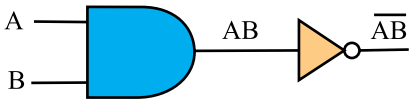
شکل ۱۳ــ۲ گیت‌های داخل تراشه ۷۴۰۲ را که شامل چهار دروازه NOR است، نشان می‌دهد.




شکل ۱۳ــ۲ــ گیت‌های داخل آی‌سی ۷۴۰۲

**۶ــ۱ــ۲ــ دروازه منطقی NAND(NOT AND):** دروازه منطقی NAND از ترکیب دروازه‌های AND و NOT ساخته می‌شود. به عبارت دیگر ابتدا متغیرهای ورودی با یکدیگر AND و سپس حاصل آن NOT می‌شود.

شکل ۱۴ــ۲ گیت‌های تشکیل‌دهنده دروازه منطقی NAND را نشان می‌دهد.




شکل ۱۴ــ۲ــ گیت‌های دروازه منطقی NAND

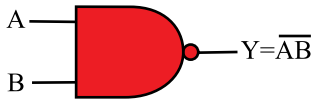
جدول ۵ــ۲ جدول درستی دروازه منطقی NAND است.

جدول درستی بیان می‌کند خروجی گیت NAND زمانی (۱) است که حداقل یکی از ورودی‌ها، صفر باشد. بنابراین هنگامی که همه ورودی‌های دروازه NAND یک است خروجی آن صفر می‌شود.

**جدول ۵ــ۲ــ جدول درستی NAND**

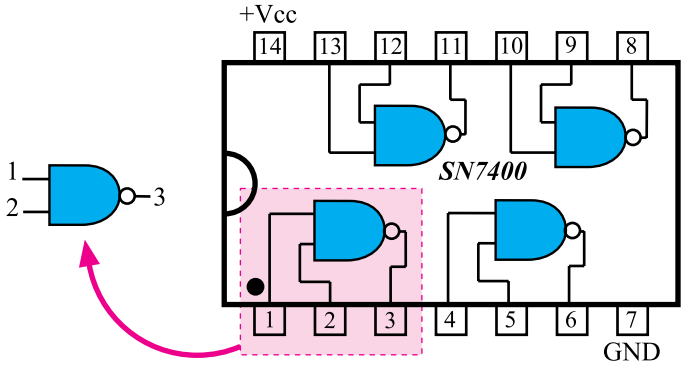
| A | B | $F=\overline{AB}$ |
|---|---|---|
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

شکل ۱۵ــ۲ نماد مداری دروازه NAND را نشان می‌دهد. رابطه منطقی خروجی NAND برحسب متغیرهای ورودی آن به‌صورت $Y = \overline{AB}$ نوشته می‌شود.




**شکل ۱۵ــ۲ــ نماد مداری دروازه NAND**

در شکل ۱۶ــ۲ گیت‌های داخل تراشه ۷۴۰۰ که شامل چهار دروازه NAND است را مشاهده می‌کنید.



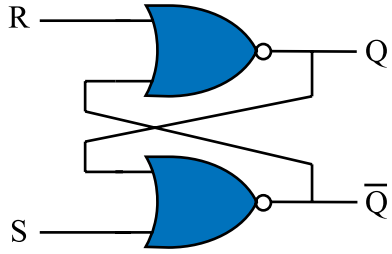

**شکل ۱۶ــ۲ــ گیت‌های داخل آی‌سی ۷۴۰۰**

**پایه ۱۴ آی سی تغذیه مثبت (۵+ ولت) و پایه ۷ زمین آی سی است.**

## ۲ــ۲ــ بررسی انواع مدارهای فلیپ‌فلاپ[۱]

**۱ــ۲ــ۲ــ بررسی کلی:** حفظ اطلاعات در سلول‌های حافظه توسط مدار فلیپ‌فلاپ انجام می‌شود. فلیپ‌فلاپ‌ها تا مادامی که تغذیه مدار برقرار است می‌توانند اطلاعات را که به‌صورت صفر یا یک هستند در خود نگه دارند. فلیپ‌فلاپ‌ها باید در هر زمان اطلاعات را که به‌صورت ۰ یا ۱ منطقی است بپذیرند و در خود نگه دارند. بدیهی است با تغییر حالت در اطلاعات ورودی، اطلاعات موجود در حافظه تغییر می‌کند.

**۲ــ۲ــ۲ــ مدار پایه‌ای فلیپ‌فلاپ:** مدار فلیپ‌فلاپ را می‌توان با استفاده از دو گیت NOR مطابق شکل ۱۷ــ۲ به‌وجود آورد. در مدار از خروجی یک گیت به ورودی گیت



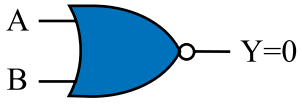

**شکل ۱۷ــ۲ــ مدار فلیپ‌فلاپ**

۱ــ flip flop = FF

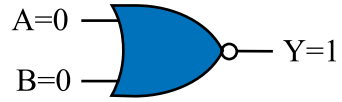
دیگر اتصال داده شده است که مسیر فیدبک را ایجاد می‌کند. این فلیپ‌فلاپ دارای دو خروجی است که یکی Q و دیگری نفی آن $\overline{Q}$ (کیونات) نام دارد. دو ورودی آن S و R نام دارند. S حرف اول کلمه Set[1] (ست) و R حرف اول کلمه Reset[2] (ری‌ست) است.

### ۳ــ۲ــ۲ــ طرز کار مدار فلیپ‌فلاپ S-R:

همان‌طوری که قبلاً در مورد گیت NOR گفته شد اگر حداقل یکی از ورودی‌های گیت NOR یک باشد خروجی آن صفر است و تنها زمانی که تمام ورودی‌های گیت NOR صفر باشد خروجی آن ۱ می‌شود. شکل ۱۸ــ۲ و ۱۹ــ۲ این دو وضعیت را نشان می‌دهد.

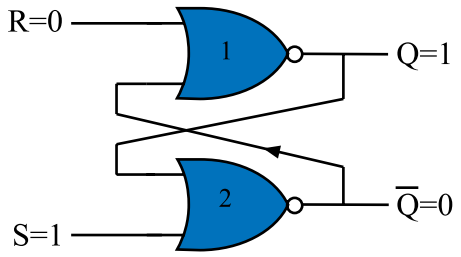



شکل ۱۸ــ۲ــ اگر A یا B یا هر دو ۱ باشد $Y = ۰$ است.

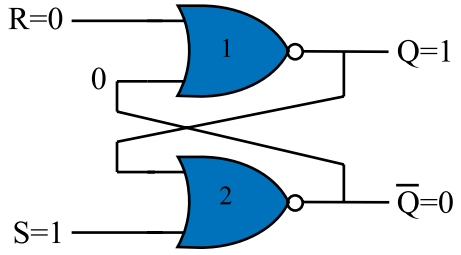



شکل ۱۹ــ۲ــ اگر $A = ۰$ و $B = ۰$ باشد $Y = ۱$ است

فرض کنیم در لحظه شروع مطابق شکل ۲۰ــ۲، $S = ۱$ و $R = ۰$ است. در این حالت چون یکی از ورودی‌های گیت شماره‌ی دو، ۱ است. خروجی آن یعنی $\overline{Q}$ مساوی با صفر خواهد شد. از طرفی خروجی $\overline{Q} = ۰$ به یکی از ورودی‌های گیت شماره یک فیدبک شده است. این فیدبک هر دو ورودی گیت NOR شماره‌ی یک را صفر می‌کند و $Q = ۱$ می‌شود. این شرایط در خروجی به‌صورت پایدار باقی می‌ماند تا ورودی‌ها تغییر حالت دهند. شکل ۲۱ــ۲ وضعیت خروجی گیت‌ها را نشان می‌دهد.

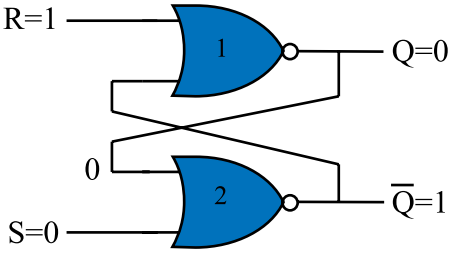



شکل ۲۰ــ۲ــ فلیپ‌فلاپ RS




شکل ۲۱ــ۲ــ اگر $S = ۱$ و $R = ۰$ باشد $Q = ۱$ و $\overline{Q} = ۰$ می‌شود

اگر مطابق شکل ۲۲ــ۲ ورودی‌ها به $S = ۰$ و $R = ۱$ تغییر کنند چون یکی از ورودی‌های گیت NOR شماره‌ی یک برابر با یک است خروجی آن یعنی $Q = ۰$ می‌شود. از طرفی $Q = ۰$ به یکی از ورودی‌های گیت NOR شماره‌ی دو فیدبک می‌شود و هر دو ورودی این گیت را صفر می‌کند. بنابراین $\overline{Q} = ۱$ می‌شود.



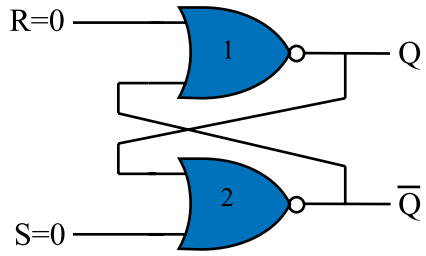

شکل ۲۲ــ۲ــ حالتی که $\begin{cases} S = ۰ \\ R = ۱ \end{cases}$ است $\begin{cases} Q = ۰ \\ \overline{Q} = ۱ \end{cases}$ می‌شود

---

۱ــ Set - S قرار دادن ــ فعال کردن

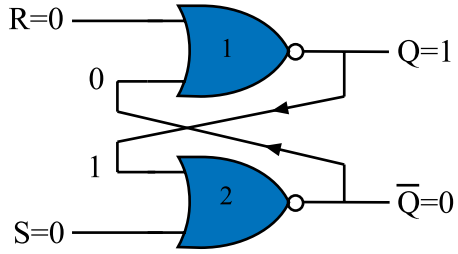
۲ــ Reset - R به حالت عادی برگرداندن ــ برطرف کردن ــ پاک کردن

اگر مطابق شکل ۲۳ــ۲، $S=0$ و $R=0$ شود چون هر دو ورودی صفر هستند نمی‌توانند وضعیت خروجی گیت‌ها را تعیین کنند. وضعیت خروجی هر گیت به ورودی دیگر آن یعنی به ورودی فیدبک شده بستگی دارد. در این شرایط دو حالت پیش می‌آید.




**شکل ۲۳ــ۲ــ درحالتی که $S=0$ و $R=0$ خروجی‌ها به Q و $\overline{Q}$ بستگی دارند**

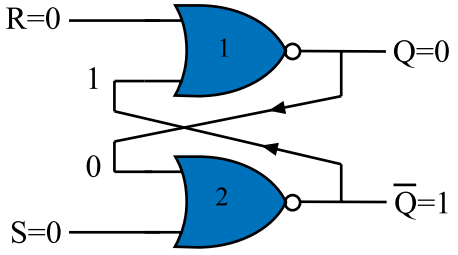
الف ــ اگر مطابق شکل ۲۴ــ۲، $Q=1$ و $\overline{Q}=0$ باشد در این‌صورت خروجی در همین حالت یعنی $Q=1$ و $\overline{Q}=0$ باقی می‌ماند (چرا؟)




**شکل ۲۴ــ۲ــ $Q=1$ و $\overline{Q}=0$**

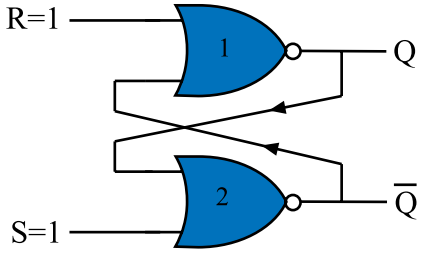
ب ــ ممکن است مطابق شکل ۲۵ــ۲، $Q=0$ و $\overline{Q}=1$ باشد در این صورت $Q=0$ و $\overline{Q}=1$ باقی می‌ماند.

پس در شرایط $S=0$ و $R=0$ وضعیت Q و $\overline{Q}$ تغییر نمی‌کند و مشابه آخرین حالت قبل از این مرحله، پایدار باقی می‌ماند.

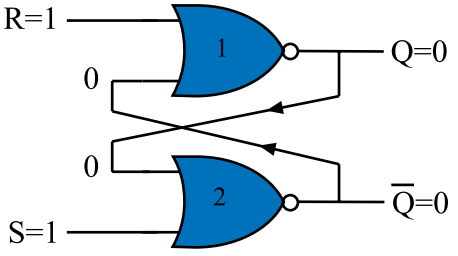



**شکل ۲۵ــ۲ــ $Q=0$ و $\overline{Q}=1$ حافظه در همین حالت باقی می‌ماند**

درصورتی که مطابق شکل ۲۶ــ۲، $S=1$ و $R=1$ شود چون یکی از ورودی‌های گیت‌های NOR یک است خروجی آن‌ها یعنی Q و $\overline{Q}$ مطابق شکل ۲۷ــ۲ برابر با صفر می‌شود. این حالت یعنی $Q=\overline{Q}=0$ تعریف نشده است و نباید ایجاد شود. زیرا اگر بعد از مرحله $S=R=1$ که $Q=\overline{Q}=0$ شده است، ورودی‌های S و R به صفر تغییر حالت دهند، خروجی فلیپ‌فلاپ بین 0 و 1 نوسان می‌کند و بعد از چند مرحله نوسان، Q به‌طور تصادفی روی 0 و یا 1 ثابت می‌ماند و قفل می‌شود. حالت $S=R=1$ را حالت ممنوعه می‌گویند.




**شکل ۲۶ــ۲ــ اگر $S=1$ و $R=1$ باشد Q و $\overline{Q}$ در چه حالتی باقی می‌ماند؟**




**شکل ۲۷ــ۲ــ اگر $S=1$ و $R=1$ شود $Q=\overline{Q}=0$ خواهد شد این حالت را حالت ممنوعه می‌گویند.**

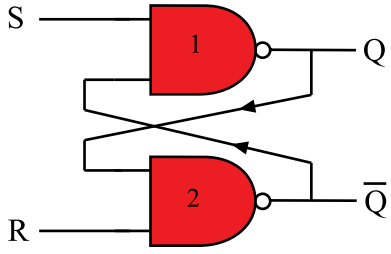
چهار حالت بررسی شده برای فلیپ‌فلاپ در جدول درستی ۶ــ۲ نشان داده شده است. منظور از $Q_t$ وضعیت حافظه در لحظه t و منظور از $Q_{t-1}$ وضعیت حافظه قبل از لحظه t($Q_t$) است.

**جدول ۶ــ۲ــ جدول درستی فلیپ‌فلاپ S-R**

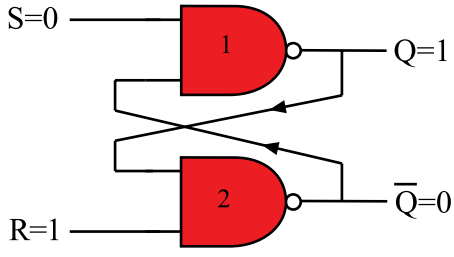
| ورودی SET | ورودی RESET | خروجی در لحظه t |
|---|---|---|
| S | R | $Q_t$ |
| 0 | 0 | $Q_{t-1}$ (خروجی قبل از لحظه t) |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | حالت ممنوعه |

### ۴ــ۲ــ۲ــ مدار فلیپ‌فلاپ S-R با گیت NAND:

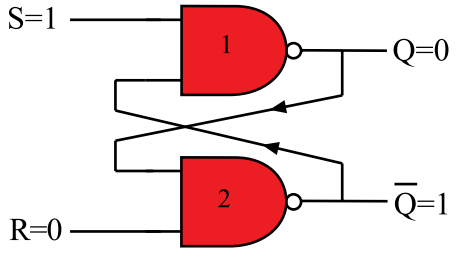
شکل ۲۸ــ۲ فلیپ‌فلاپ S-R را با گیت NAND نشان می‌دهد. چهار حالت ممکن برای حالت S-R وجود دارد. این چهار حالت مشابه فلیپ‌فلاپ S-R با گیت NOR است. در شکل‌های ۲۹ــ۲ تا ۳۲ــ۲ چهار حالت مختلف ورودی فلیپ‌فلاپ و وضعیت خروجی Q و $\overline{Q}$ مشخص شده است.



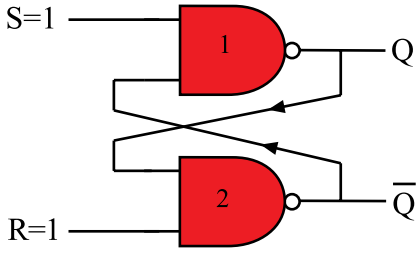

**شکل ۲۸ــ۲ــ فلیپ‌فلاپ S-R با NAND**



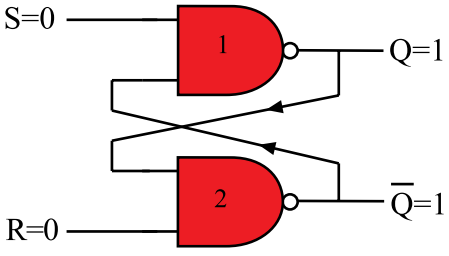

**شکل ۲۹ــ۲ــ در S = ۰ و R = ۱ خروجی Q = ۱ و $\overline{Q}$ = ۰ می‌شود**




**شکل ۳۰ــ۲ــ در S = ۱ و R = ۰ خروجی Q = ۰ و $\overline{Q}$ = ۱ می‌شود**



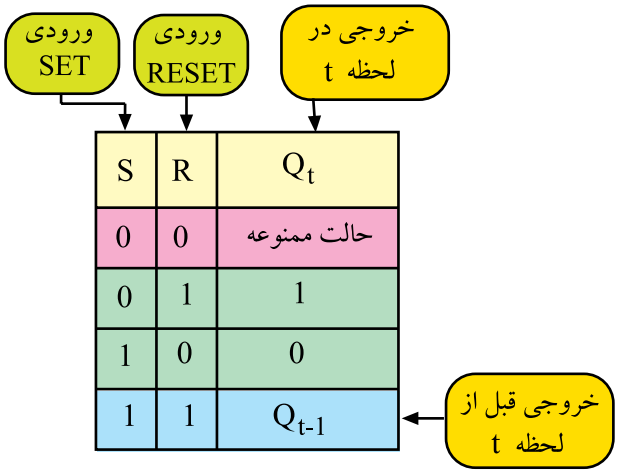

**شکل ۳۱ــ۲ــ اگر S = R = ۱ شود وضعیت Q و $\overline{Q}$ به حالت قبل بستگی دارد**




**شکل ۳۲ــ۲ــ درصورتی که S = ۰ و R = ۰ باشد Q = $\overline{Q}$ = ۱ می‌شود که تعریف نشده است**

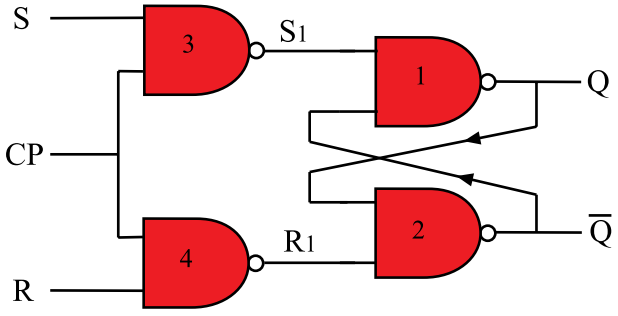
در جدول درستی ۷ــ۲ چهار حالت ورودی و وضعیت خروجی Q و $\overline{Q}$ مشخص شده است.

**جدول ۷ــ۲ــ جدول درستی فلیپ‌فلاپ S-R با NAND**

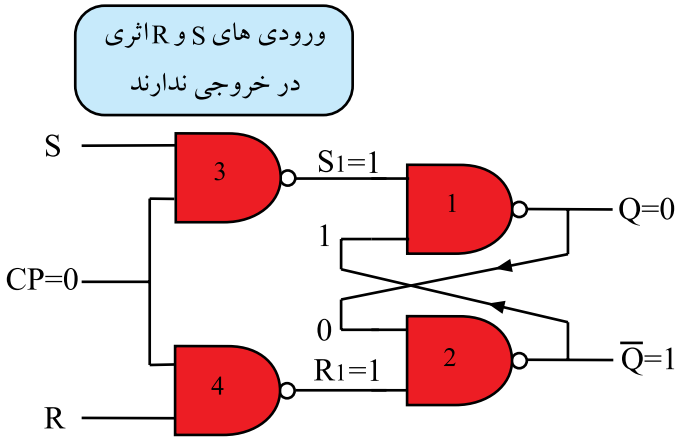



## ۵ــ۲ــ۲ــ فلیپ‌فلاپ S-R با پالس ساعت[1]:

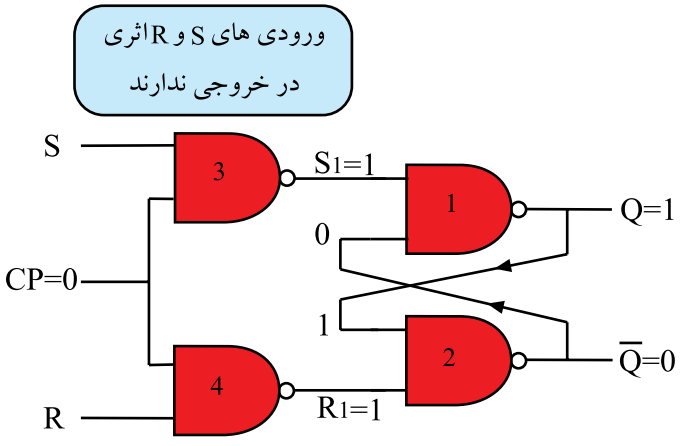
فلیپ‌فلاپ S-R ساعتی از یک مدار S-R ساده و دو گیت NAND اضافی مطابق شکل ۳۳ــ۲ تشکیل شده است. پالس ساعت ورودی (CP) به‌عنوان یک سیگنال فعال‌ساز عمل می‌کند. هنگامی که CP = ۰ است، $S_1$ و $R_1$ یک می‌شود. در این شرایط خروجی Q و $\overline{Q}$ تغییر وضعیت نمی‌دهند و حالت قبل خود را حفظ می‌کنند. شکل‌های ۳۴ــ۲ و ۳۵ــ۲ این حالت‌ها را نشان می‌دهد.




**شکل ۳۳ــ۲ــ S-R ساعتی**




**شکل ۳۴ــ۲ــ خروجی Q = ۰ حالت قبل را حفظ می‌کند و ثابت می‌ماند**

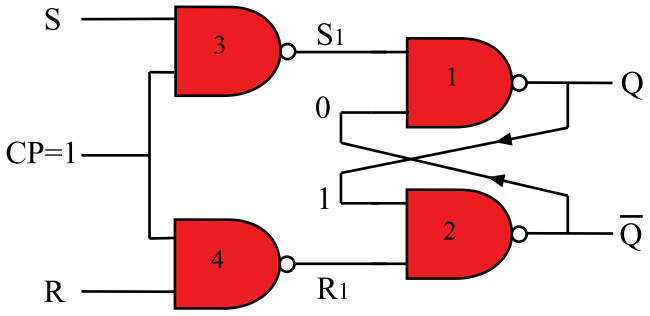



**شکل ۳۵ــ۲ــ خروجی Q = ۱ حالت قبل را حفظ می‌کند و ثابت می‌ماند**

---

۱ــ CP - clock pulse پالس ساعت

اگر CP = ۱ شود خروجی گیت NAND شماره ۳ و ۴ براساس ورودی‌های S و R تغییر می‌کند و در این حالت خروجی Q و $\overline{Q}$ مطابق جدول درستی فلیپ‌فلاپ S-R می‌شود (شکل ۳۶ــ۲).




**شکل ۳۶ــ۲ــ CP = ۱ است. Q و $\overline{Q}$ از مقادیر S و R تبعیت می‌کنند**

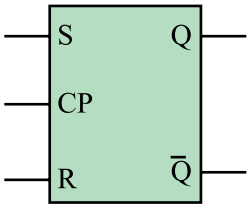
جدول ۸ــ۲، جدول درستی فلیپ‌فلاپ S-R ساعتی را نشان می‌دهد. نماد بلوکی S-R ساعتی در شکل ۳۷ــ۲ آمده است.

**جدول ۸ــ۲ــ جدول درستی S-R ساعتی**

ورودی SET — ورودی RESET — خروجی در لحظه t — ورودی پالس ساعت

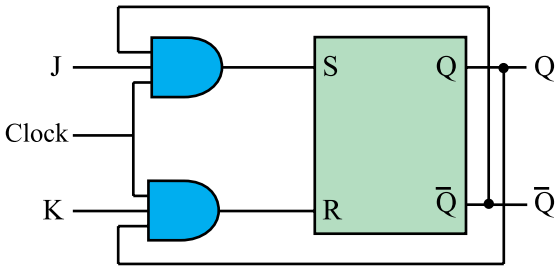
| CP | S | R | $Q_t$ |
|---|---|---|---|
| 0 | 0 | 0 | $Q_{t-1}$ |
| 0 | 0 | 1 | $Q_{t-1}$ |
| 0 | 1 | 0 | $Q_{t-1}$ |
| 0 | 1 | 1 | $Q_{t-1}$ |
| 1 | 0 | 0 | $Q_{t-1}$ |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | حالت ممنوعه |

خروجی قبل از لحظه t ← $Q_{t-1}$



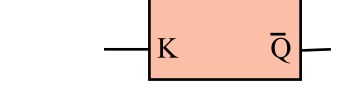

**شکل ۳۷ــ۲ــ نمای بلوکی S-R ساعتی**

**۶ــ۲ــ۲ــ فلیپ‌فلاپ J-K:** اشکال عمده فلیپ‌فلاپ S-R مربوط به حالت تعریف نشده آن یعنی وضعیت $S = R = ۱$ است. برای اصلاح این حالت از فلیپ‌فلاپ J-K استفاده می‌شود. در شکل ۳۸ــ۲ مدار فلیپ‌فلاپ J-K رسم شده است.



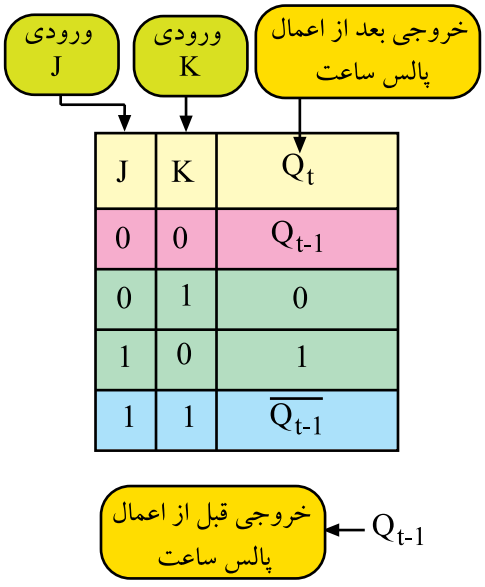

شکل ۳۸ــ۲ــ فلیپ‌فلاپ J-K

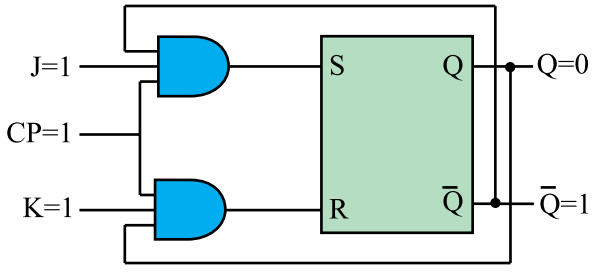
نماد بلوکی فلیپ‌فلاپ J-K را در شکل ۳۹ــ۲ مشاهده می‌کنید. جدول درستی فلیپ‌فلاپ J-K در جدول ۹ــ۲ آمده است. این جدول نشان می‌دهد حالت ممنوعه برطرف شده است یعنی هنگامی که $J = K = ۱$ می‌شود اگر فلیپ‌فلاپ مطابق شکل ۴۰ــ۲ درحالت Set یعنی $Q = ۱$ قرار داشته باشد، وضعیت آن تغییر می‌کند و Reset می‌شود. بنابراین مطابق شکل ۴۱ــ۲ خروجی $Q = ۱$ به حالت $Q = ۰$ تغییر حالت می‌دهد.



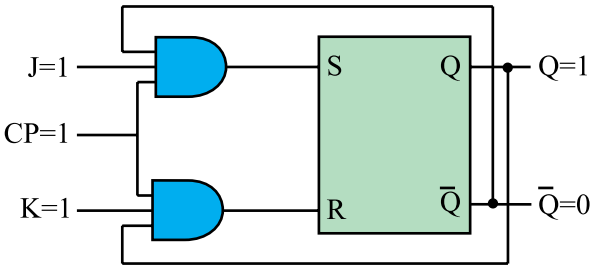

شکل ۳۹ــ۲ــ نماد بلوکی فلیپ‌فلاپ J-K

جدول ۹ــ۲ــ جدول درستی فلیپ‌فلاپ J-K




شکل ۴۱ــ۲ــ در وضعیت $J = ۱$ و $K = ۱$، Q و $\overline{Q}$ برعکس حالت قبل شده است

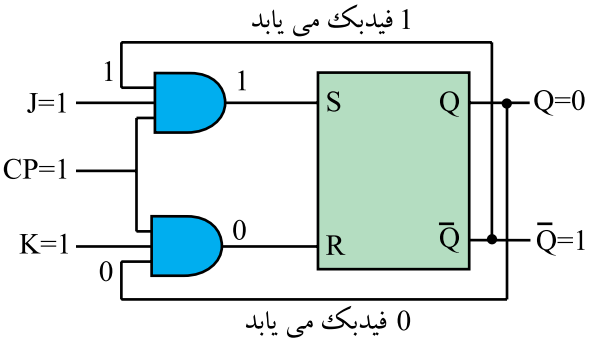



شکل ۴۰ــ۲ــ $J = ۱$ و $K = ۱$ خروجی Q (۱) است

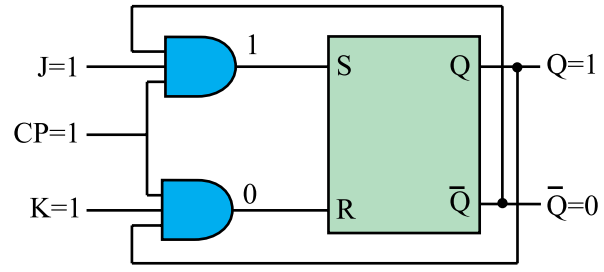
هم‌چنین اگر فلیپ‌فلاپ در وضعیت Reset یعنی $Q = ۰$ باشد با برقراری $J = K = ۱$ به وضعیت Set می‌رود یعنی $Q = ۱$ می‌شود به عبارت دیگر حافظه به حالتی برعکس وضعیت قبلی خود تغییر حالت می‌دهد. این وضعیت را که شبیه قطع و وصل کردن یک کلید است حالت کلیدی[۱] می‌نامند.

باید توجه داشت تغییر وضعیت Q و $\overline{Q}$ زمانی رخ می‌دهد که پالس ساعت فعال باشد. $(CP = ۱)$ طبیعی است اگر پالس ساعت فعال نباشد یعنی $CP = ۰$ شود Q و $\overline{Q}$ تغییر وضعیت نمی‌دهند و حالت اولیه خود را حفظ می‌کنند.

**۷ــ۲ــ۲ــ عیب فلیپ‌فلاپ J-K:** همان‌طور که مشاهده کردید فلیپ‌فلاپ J-K توانسته است حالت تعریف نشده‌ی فلیپ‌فلاپ S-R را برطرف کند. چون خروجی‌های Q و $\overline{Q}$ مستقیماً به ورودی‌ها فیدبک شده‌اند. اگر درحالت $J = K = ۱$، پالس ساعت برابر با (۱) باقی بماند به‌دلیل وجود فیدبک، مقادیر Q و $\overline{Q}$ مرتباً تغییر می‌کنند و خروجی فلیپ‌فلاپ دائماً بین صفر و یک نوسان می‌کند. درشکل ۲ــ۴۲ و ۲ــ۴۳ تغییر وضعیت Q و $\overline{Q}$ نشان داده شده است.

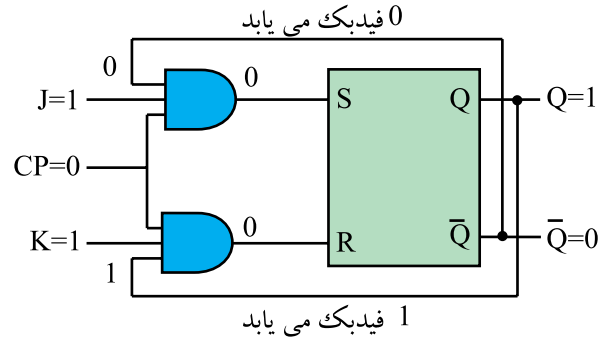



**شکل ۲ــ۴۲ــ $J = ۱$ و $K = ۱$ و $Q = ۰$**




**شکل ۲ــ۴۳ــ با فیدبک خروجی Q و $\overline{Q}$ به ورودی وضعیت جدید $Q = ۱$ و $\overline{Q} = ۰$ ظاهر شده است**

حال اگر مطابق شکل ۲ــ۴۴، $CP = ۰$ شود، در این لحظه Q روی آخرین وضعیت خود ثابت می‌ماند. این حالت فلیپ‌فلاپ را پدیده دور خود چرخیدن[۲] می‌گویند. برای برطرف کردن این عیب از فلیپ‌فلاپ J-K-MS استفاده می‌شود.

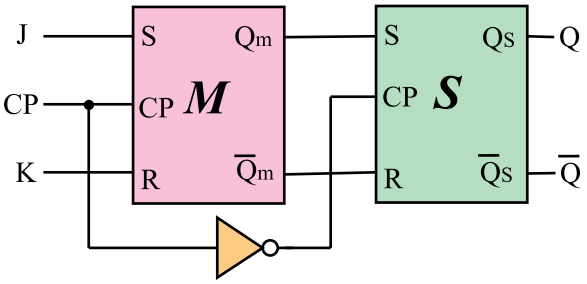



**شکل ۲ــ۴۴ــ Q و $\overline{Q}$ فیدبک می‌شوند چون $CP = ۰$ است خروجی تغییر نمی‌کند**

۱ــ toggle

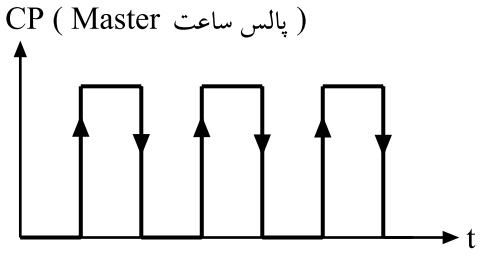
۲ــ Race Around

### ۸ــ۲ــ۲ــ فلیپ‌فلاپ JK-MS[1]: فلیپ‌فلاپ JK-MS از دو فلیپ‌فلاپ S-R مجزا درست شده است که یکی مَستر (Master) و دیگری اسلیو (Slave) نام دارد. شکل ۴۵ــ۲ نقشه بلوکی این فلیپ‌فلاپ را نشان می‌دهد. در نقشه بلوکی خطوط فیدبک از Q و $\overline{Q}$ به ورودی‌ها رسم نشده است.

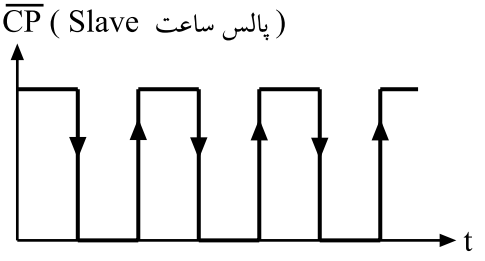



شکل ۴۵ــ۲ــ نقشه بلوکی فلیپ‌فلاپ JK-MS بدون رسم مسیر فیدبک

با توجه به نقشه بلوکی شکل ۴۵ــ۲ درمی‌یابیم که پالس ساعت فلیپ‌فلاپ Master، NOT می‌شود و به‌عنوان پالس ساعت فلیپ‌فلاپ Slave عمل می‌کند. شکل‌های ۴۶ــ۲ و ۴۷ــ۲ وضعیت پالس ساعت Master و Slave را نسبت به هم نشان می‌دهد.

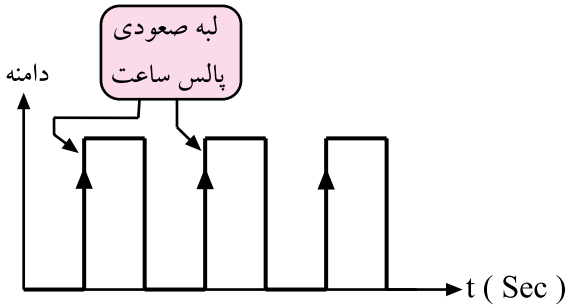



شکل ۴۶ــ۲ــ پالس ساعت Master

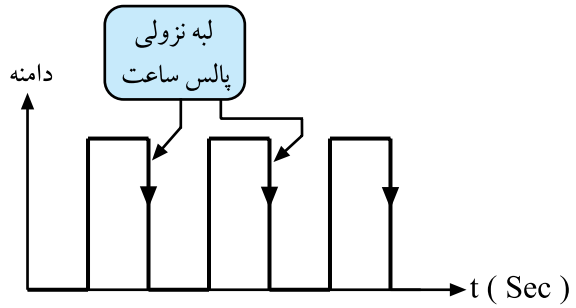



شکل ۴۷ــ۲ــ پالس ساعت Slave

هنگامی که پالس از ولتاژ صفر به سمت سطح ولتاژ زیاد تغییر می‌کند، به این بخش لبه صعودی پالس گویند. شکل ۴۸ــ۲ لبه صعودی پالس را نشان می‌دهد. هنگامی که پالس از سطح ولتاژ زیاد به سمت سطح ولتاژ صفر نزول می‌کند این بخش، لبه نزولی پالس نام دارد. شکل ۴۹ــ۲ لبه نزولی پالس را نشان می‌دهد.




شکل ۴۸ــ۲ــ پالس و لبه صعودی آن




شکل ۴۹ــ۲ــ پالس و لبه نزولی آن

---

۱ــ MS = Master slave برده ــ ارباب