فصل پنجم

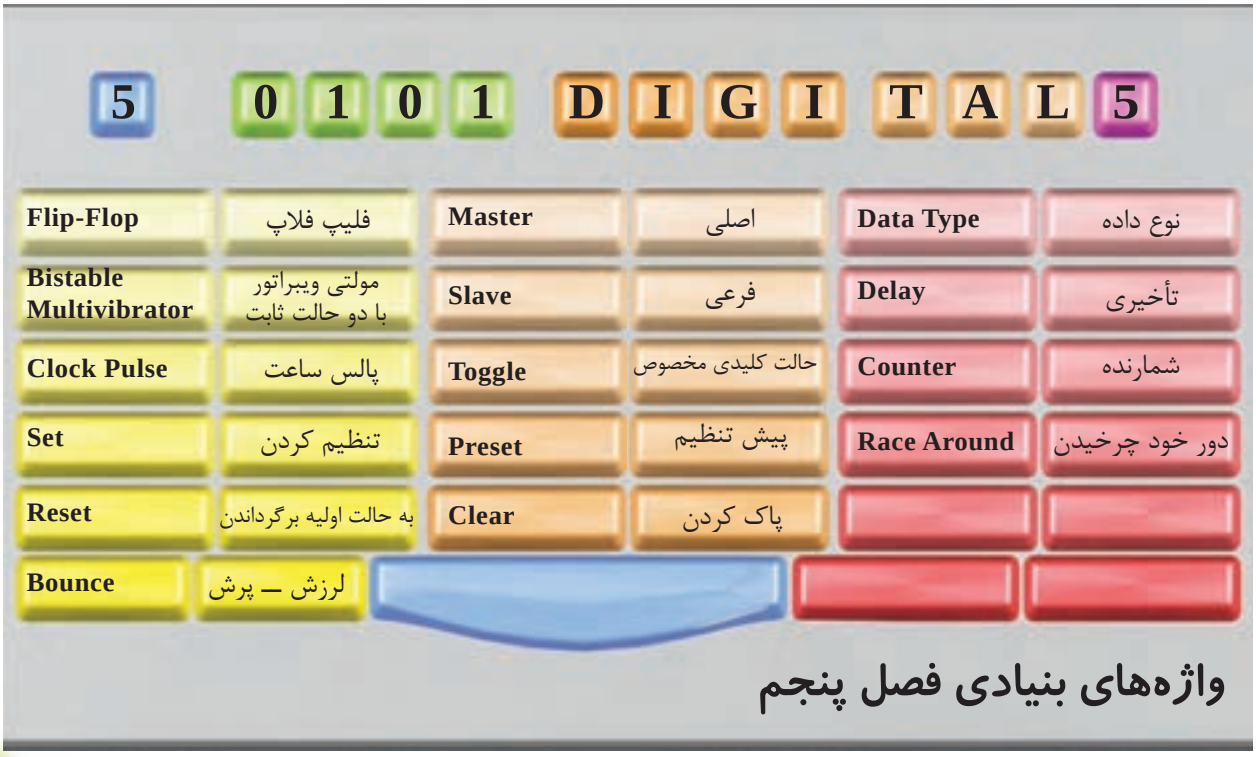
مدارهای ترتیبی ــ فلیپ‌فلاپ‌ها

هدف کلی: آموزش مدارهای ترتیبی و فلیپ‌فلاپ‌ها

کل زمان اختصاص داده شده به فصل: ۲۰ ساعت آموزشی

هدف‌های رفتاری: در پایان این فصل از فراگیرنده انتظار می‌رود که :

۱- مفهوم یک سلول حافظه را شرح دهد.
۲- مدارهای ترتیبی را تشریح کند.
۳- مدار الکترونیکی یک فلیپ‌فلاپ را رسم کند.
۴- انواع فلیپ فلاپ‌های RS را شرح دهد.
۵- بلوک دیاگرام سادهٔ یک فلیپ‌فلاپ نوع RS را رسم کند.
۶- دلیل استفاده از فلیپ‌فلاپ نوع RS ساعتی را بیان کند.
۷- فلیپ فلاپ RS با استفاده از گیت NOR و NAND را شرح دهد.
۸- تقسیم‌بندی فلیپ‌فلاپ‌ها را براساس عملکرد ورودی پالس ساعت شرح دهد.
۹-دلیل استفاده از فلیپ‌فلاپ نوع jk را شرح دهد.
۱۰- نحوهٔ ایجاد یک فلیپ‌فلاپ نوع D و کاربرد آن را شرح دهد.
۱۱- فلیپ‌فلاپ نوع T و کاربرد آن را توضیح دهد.
۱۲-کلیهٔ هدف‌های رفتاری در حیطهٔ عاطفی که در فصل اول آمده است را باید در این فصل مورد توجه قرار دهد.
۱۳- به سوال‌های الگوی پرسش پاسخ دهد.



پیش‌گفتار

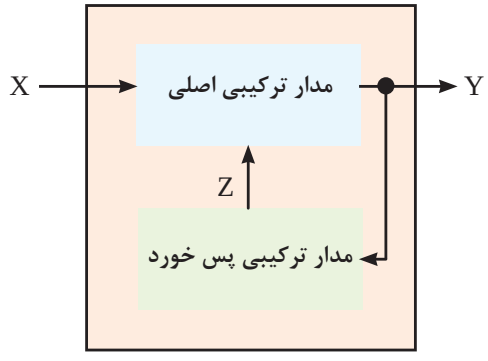
همان‌طور که مشاهده کردید خروجی مدارهای منطقی که تا کنون بررسی کردیم در هر لحظه تابع معینی از ورودی‌های آن‌ها در همان لحظه بود. به عبارت دیگر با تغییر هم‌زمان ورودی‌های مدارها، خروجی‌های آن نیز متناسب با ورودی‌ها تغییر می‌کردند. مدارهای ترکیبی توانایی نگهداری حالت های ورودی را ندارند. ماشین‌های حسابگر و سیستم‌های کنترل، برای نگهداری اطلاعات و استفاده مکرّر از آن‌ها نیاز به حافظه دارند. مدارهای دارای حافظه را مدارهای ترتیبی می‌نامند. این مدارها قابلیت نگهداری (در حافظه نگه داشتن) ترتیب پیامدها را دارند.

یک مدار ترتیبی شامل دو بخش اساسی به شرح زیر است:

الف) بخشی که بر اساس وضعیت قبلی خروجی‌های مدار، توابعی را ایجاد می‌کند. این بخش، مدار پس خورد نامیده می‌شود.

ب) بخشی که وضعیت مدار را بر اساس حالت ورودی‌های مدار و ورودی‌های دریافتی از مدار فیدبک مشخص می‌کند و وضعیت جدید سیستم را به‌وجود می‌آورد. این بخش را مدار اصلی می‌نامند.

شکل ۱-۵ بلوک دیاگرام مدار ترتیبی را نشان می‌دهد.



شکل۱-۵- بلوک دیاگرام یک مدار ترتیبی

ممکن است یک مدار ترتیبی بیش از یک ورودی یا خروجی داشته باشد. در اغلب مدارهای ترتیبی زمان تغییر وضعیت یا پذیرش اطلاعات جدید را به کمک یک سیگنال کنترل خاص، که پالس ساعت (Clock Pulse) نامیده می‌شود، تعیین می‌کنند.

۵-۱- فلیپ‌فلاپ‌ها (Flip-Flops)

مدار ترتیبی که دو وضعیت پایدار دارند را فلیپ‌فلاپ می‌گویند.

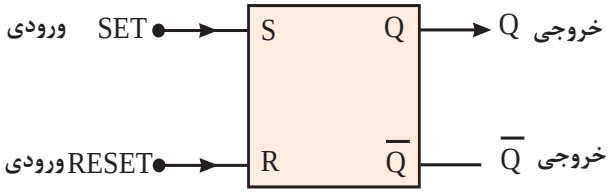
فلیپ‌فلاپ‌ها را در چهار دستهٔ RS , JK , D و T تقسیم‌بندی می‌کنند.

۵-۲- فلیپ‌فلاپ RS (Reset Set Flip-Flop)

مدارهای ترتیبی هستندکه دو وضعیت Set و Reset پایدار دارند.

۵-۲-۱- فلیپ‌فلاپ RS حافظه: سلول‌های حافظه ساده‌ترین مدارهای ترتیبی هستند. این سلول‌ها را فلیپ‌فلاپ می‌نامند. بلوک دیاگرام مدار فلیپ‌فلاپ RSرا در شکل ۵-۲ مشاهده می‌کنید.

در این مدار R حرف اول Reset به معنی بازگرداندن به حالت اولیه و S حرف اول Set به معنی ایجاد حالت مورد نظر است.



شکل ۵-۲- بلوک دیاگرام فلیپ‌فلاپ RS

یک سلول حافظه باید قابلیت حفظ اطلاعات ثبت شده (نگهداری) را داشته باشد. به عبارت دیگر، یک سلول حافظه باید دارای قابلیت‌های زیر باشد:

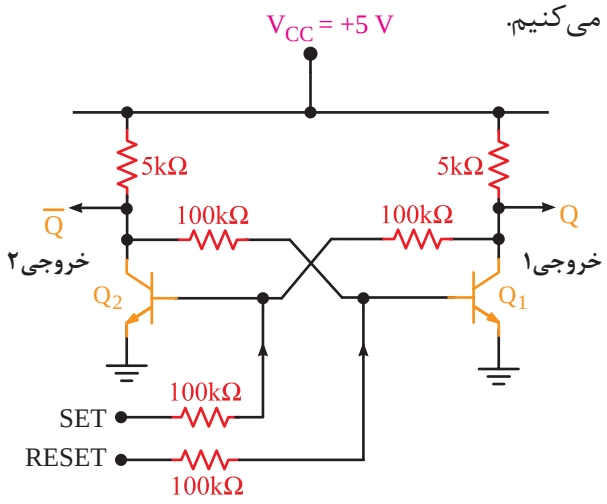
- پذیرش اطلاعات در هر زمان،
- حفظ اطلاعات پذیرفته‌شده تا هر زمان،
- جایگزینی اطلاعات جدید به جای اطلاعات قبلی در هر زمان.

۲-۲-۵- مدار الکترونیکی فلیپ‌فلاپ RS:

فلیپ‌فلاپ‌ها مدارهای الکترونیکی با دو وضعیت پایدار هستند. این‌گونه مدارها را مولتی‌ویبراتور بی‌استابل (Bistable multivibrator) می‌نامند.

در شکل ۳-۵ مدار الکترونیکی یک نمونه از این فلیپ‌فلاپ‌ها را مشاهده می‌کنید. این فلیپ‌فلاپ را RS-FF می‌نامند. در این مدار باید همیشه یکی از ترانزیستورها در حالت قطع و دیگری در حالت اشباع باشد.

ورودی‌های Set و Reset را به ترتیب به بیس ترانزیستورهای Q_1 و Q_2 می‌دهیم و خروجی‌های Q و $\overline{Q}$ به ترتیب از کلکتور ترانزیستورهای Q_1 و Q_2 دریافت می‌کنیم.



شکل ۳- ۵ - مدار الکترونیکی یک نمونه فلیپ‌فلاپ

اگر یک پالس ساعت به ورودی Set برسد، ترانزیستور Q_2 را به حالت اشباع می‌برد و موجب کاهش شدید ولتاژ کلکتور آن می‌شود. این کاهش ولتاژ، ترانزیستور Q_1 را به حالت قطع می‌کشاند؛ زیرا ولتاژ کافی به پایهٔ بیس آن نمی‌رسد تا روشن بماند. در این حالت شرایط زیر برقرار می‌شود.

ترانزیستور Q_1 قطع
$V_{C1} \approx V_{CC} = +5volt$
$Q \equiv High \equiv «1»$

و

ترانزیستور Q_2 اشباع
$V_{C2} = V_{CE(Sat)} \approx 0/2V$
$\overline{Q} \equiv Low \equiv «0»$

در این شرایط می‌گوییم فلیپ‌فلاپ Set شده است.

در صورتی که یک پالس به ورودی Reset برسد، ترانزیستور Q_1 را به حالت اشباع می‌برد و ولتاژ کلکتور ترانزیستور Q_1 را کاهش می‌دهد. کاهش ولتاژ، بیس ترانزیستور Q_2 را به حالت خاموشی می‌برد و شرایط زیر حاکم می‌شود.

ترانزیستور Q_1 اشباع
$V_{C1} = V_{CE(Sat)} \approx 0/2V$
$Q \equiv Low \equiv «0»$

و

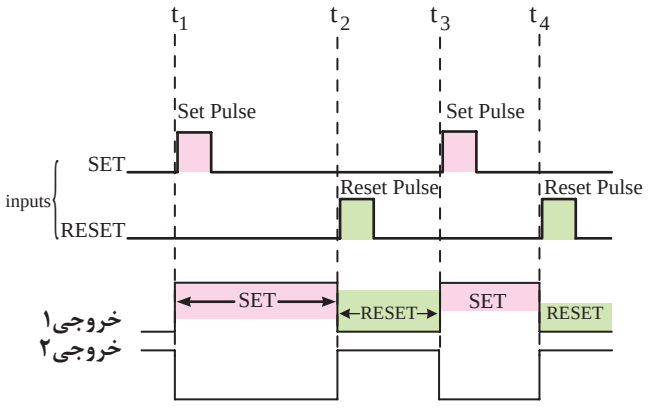
ترانزیستور Q_2 قطع
$V_{C2} \approx V_{CC} = +5volt$
$\overline{Q} \equiv High \equiv «1»$

در این حالت می‌گوییم فلیپ‌فلاپ Reset شده است.

با قطع پالس‌های Set و Reset، مدار، آخرین وضعیت خود را حفظ می‌کند. این وضعیت را حالت ذخیره می‌نامیم.

با اعمال هم‌زمان پالس‌های Set و Reset به هردو ترانزیستور، این وضعیت یک حالت ناخواسته یا تعریف‌نشده است که در فرایند کار مدار باید از ایجاد این حالت پرهیز کنیم.

در شکل ۴- ۵ نمودار زمانی پالس‌های Set و Reset و خروجی‌های Q و $\overline{Q}$ رسم شده است.

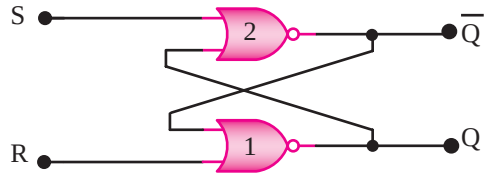


شکل ۴-۵ - پاسخ مدار به ورودی‌های Set و Reset

با مراجعه به جدول دوم کتاب آزمایشگاه مجازی مدار فلیپ فلاپ RS را شبیه‌سازی کنید و عملکرد آن را مورد تحلیل قرار دهید.

۳-۲-۵- فلیپ فلاپ RS با استفاده از گیت NOR:

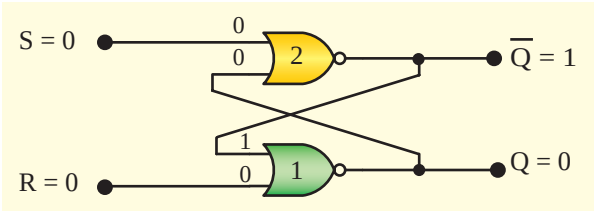
در شکل ۵-۵ مدارمعادل فلیپ‌فلاپ که با دروازه‌های NOR اجرا شده است را مشاهده می‌کنید. در این شکل خروجی گیت شمارهٔ ۱ به ورودی گیت شمارهٔ ۲ و خروجی گیت شمارهٔ ۲ به ورودی گیت شمارهٔ ۱ فیدبک شده است. تفکیک مدارهای پس‌خورد (فیدبک) و اصلی از یک‌دیگر امکان‌پذیر نیست. این‌گونه مدارها را مدارهای ادغام شده در یک‌دیگر می‌نامند.



شکل ۵- ۵- مدار SR-FF با گیت‌های NOR

مدار دارای دو ورودی اصلی S و R و دو ورودی Q و $\overline{Q}$ از طریق مدار فیدبک است. لذا می‌تواند $۲^۳ = ۸$ حالت مختلف داشته باشد. می‌دانیم در دروازهٔ NOR اگر یکی از ورودی‌ها در حالت«یک» منطقی باشد، خروجی آن در حالت «صفر» منطقی قرار می‌گیرد. با درنظر گرفتن این نکته و با توجه به تأخیر در انتشار گیت‌های منطقی به تشریح مرحله‌به‌مرحله مدار می‌پردازیم.

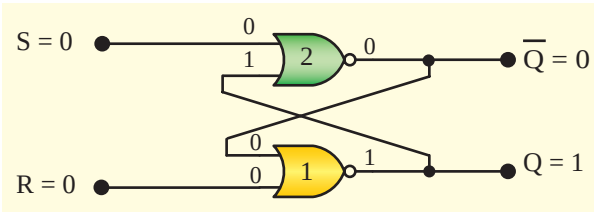
حالت اول: اگر ورودی‌های S و R هر دو در حالت صفر منطقی باشد و حالت قبلی فلیپ‌فلاپ به صورت $Q = ۰$ و $\overline{Q} = ۱$ باشد؛ هر دو ورودی دروازهٔ (۲) در حالت صفر قرار می‌گیرد لذا خروجی آن در حالت یک باقی‌می‌ماند(سطر اوّل جدول صحّتNOR) از سوی دیگر یکی از ورودی‌های دروازهٔ (۱) در حالت یک قرار دارد لذا خروجی این دروازه نیز در حالت صفر باقی می‌ماند. به عبارت دیگر، وضعیت خروجی‌ها تغییر نمی‌کند. شکل ۶-۵ این حالت را نشان می‌دهد.



شکل ۶-۵- حالت اول $S = ۰$ و $R = ۰$

حالت دوم: حال اگر $S = R = ۰$ و حالت قبلی فلیپ‌فلاپ به صورت $Q = ۱$ و $\overline{Q} = ۰$ باشد، ورودی‌های دروازهٔ (۱) هر دو در حالت صفرمنطقی قرار دارد و خروجی آن در حالت یک باقی می‌ماند، از طرفی چون یکی از ورودی‌های دروازهٔ (۲) در حالت یک منطقی است، خروجی این دروازه نیز در حالت صفر باقی می‌ماند. به این ترتیب باز هم وضعیت خروجی‌ها تغییر نمی‌کند.

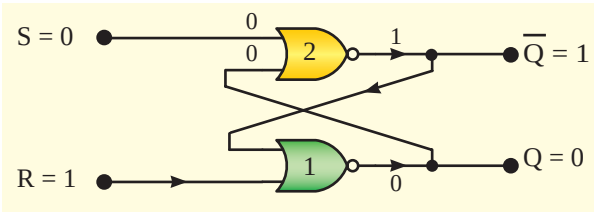
شکل ۷-۵ این حالت را نشان می‌دهد.



شکل ۷-۵- حالت دوم $S=۰$ و $R=۰$

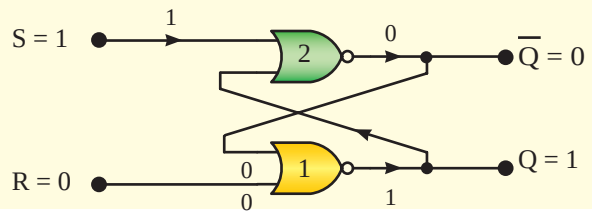
حالت سوم: اکنون حالتی را در نظر می‌گیریم که $S = ۰$ و $R = ۱$ باشد. دراین حالت بدون توجه به وضعیت قبلی فلیپ‌فلاپ، به دلیل اینکه یکی از ورودی‌های دروازهٔ (۱) در حالت یک منطقی است، خروجی این دروازه صفر می‌شود. با صفرشدن خروجی دروازهٔ (۱) هر دو ورودی دروازهٔ (۲) در حالت صفر منطقی قرار می‌گیرد و خروجی آن به حالت یک منطقی می‌رود.

به بیان دیگر اگر $S=۰$ و $R=۱$ باشد، بدون توجّه به وضعیت قبلی، سیستم به حالت $Q = ۰$ و $\overline{Q} = ۱$ می‌رود، شکل ۸-۵ این حالت را نشان می‌دهد.



شکل ۸-۵- حالت سوم S=۰ و R=۱

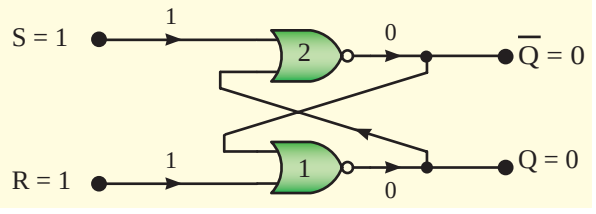
حالت چهارم: اگر S = ۱ و R = ۰ باشد، چون یکی از ورودی‌های دروازهٔ (۲) در حالت یک منطقی است و خروجی آن به حالت صفر منطقی می‌رود. دراین‌صورت، هر دو ورودی دروازهٔ (۱) در حالت صفر منطقی قرار می‌گیرد و خروجی این دروازه نیز یک می‌شود به بیانی دیگر اگر S = ۱ و R = ۰ باشد، بدون توجّه به وضعیت قبلی سیستم، Q = ۱ و $\overline{Q}$ = ۰ می‌شود. شکل ۹-۵ این حالت را نشان می‌دهد.



شکل ۹-۵- حالت چهارم S=۱ و R = ۰

حالت پنجم: حالتی را در نظر می‌گیریم که S = R = ۱ شود. در این حالت نیز چون دست کم یکی از ورودی‌های هر دو دروازهٔ (۱) و (۲) در حالت یک منطقی است، خروجی‌های هر دو دروازه در حالت صفر منطقی قرار می‌گیرد.

شکل ۱۰-۵ این حالت را نشان می‌دهد.



شکل ۱۰- ۵- حالت پنجم S=۱ و R=۱

اگر وضعیت خروجی‌های فلیپ‌فلاپ را قبل از تغییر حالت با $Q_{(t-1)}$ و $\overline{Q}_{(t-1)}$ و وضعیت خروجی‌های آن را بعد از تغییر حالت با $Q_{(t)}$ و $\overline{Q}_{(t)}$ نشان دهیم، تحلیل فوق را می‌توانیم به صورت‌جدول ۱-۵ خلاصه کنیم.

جدول ۱-۵- جدول صحت فلیپ‌فلاپ SR

وضعیت ورودی ها		وضعیت قبلی FF-RS خروجی		وضعیت فعلی FF-RS خروجی		
S	R	$Q_{(t-1)}$	$\overline{Q}_{(t-1)}$	$Q_{(t)}$	$\overline{Q}_{(t)}$	
0	0	0	1	0	1	فلیپ فلاپ وضعیت قبلی خود را حفظ می کند حالت ذخیره
0	0	1	0	1	0	
0	1	0	1	0	1	فلیپ فلاپ بدون توجه به حالت قبلی Reset می شود.
0	1	1	0	0	1	
1	0	0	1	1	0	فلیپ فلاپ بدون توجه به حالت قبلی Set می شود.
1	0	1	0	1	0	
1	1	0	1	0	0	فلیپ فلاپ وارد حالت غیر مجاز می شود.
1	1	1	0	0	0	

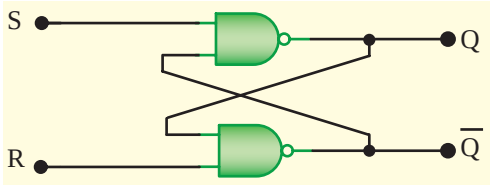
برای بهتر به‌خاطرسپردن جدول ۱- ۵ آن را به صورت جدول ۲- ۵ خلاصه می‌کنیم.

جدول ۲-۵- مختصر شدهٔ SR-FF با دروازه‌های NOR

S	R	$Q_{(t)}$	
0	0	$Q_{(t-1)}$	← حفظ وضعیت قبلی
0	1	0	← Reset
1	0	1	← Set
1	1	*	← غیر مجاز

۵-۲-۴- فلیپ فلاپ RS با استفاده از گیت NAND

فلیپ‌فلاپ SR را می‌توان با دروازه‌های NAND نیز طراحی کرد. در شکل ۱۱ــ۵ مدار یک فلیپ‌فلاپ که با دروازه‌های NAND طراحی شده‌است را مشاهده می‌کنید، در جدول ۳ــ۵ جدول صحّت آن دیده می‌شود.



شکل۱۱-۵- فلیپ‌فلاپ SR با گیت‌های NAND

جدول ۳- ۵ جدول صحت فلیپ‌فلاپ SR با گیت NAND

S	R	$Q_{(t)}$	
0	0	*	← غیر مجاز
0	1	1	← Set
1	0	0	← Reset
1	1	$Q_{(t-1)}$	← حالت ذخیره

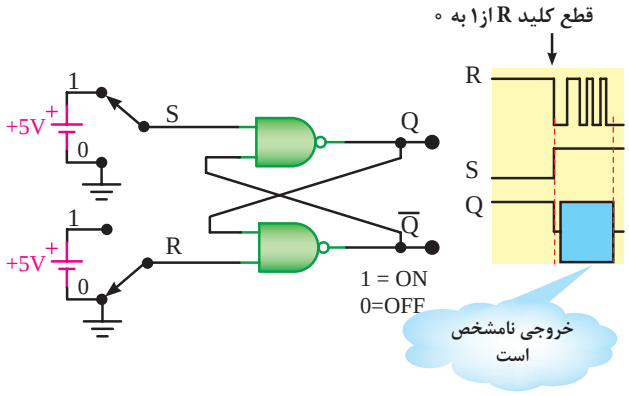
تمرین کلاسی ۱-۵: جدول صحّت ۴ حالتی مدار شکل ۱۱- ۵ را به‌دست آورید و آن را با جدول صحت ۴ حالتی فلیپ فلاپ طراحی شده با دروازه‌های NOR مقایسه کنید.

فلیپ‌فلاپ SR را به نام قفل SR (SR-Latch) نیز می‌نامند. زیرا پس از، از بین رفتن فرمان‌های Set یا Reset فلیپ‌فلاپ طبق جدول ۴-۵ در آخرین وضعیت خود قفل می‌شود.

جدول ۴- ۵- جدول فلیپ‌فلاپ قفل SR

S	R	$Q_{(t)}$	
0	0	*	← غیر مجاز
0	1	1	← Set
1	0	0	← Reset
1	1	$Q_{(t-1)}$	← حالت ذخیره

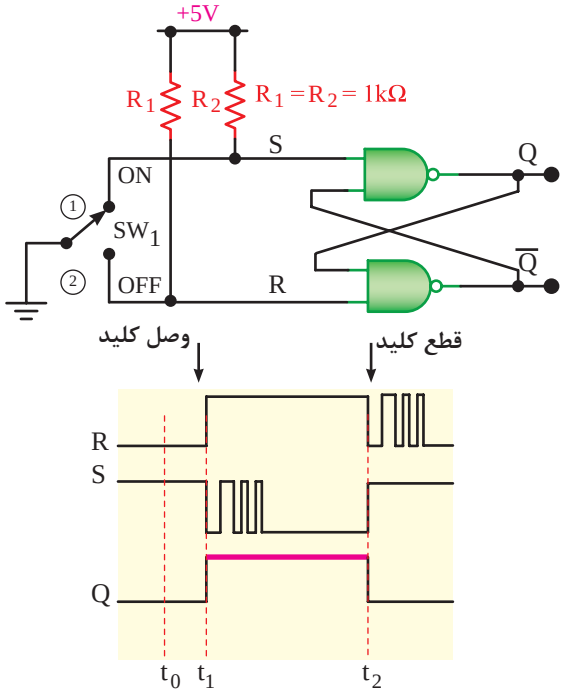
یکی از کاربردهای مدار شکل ۱۱-۵ حذف لرزش کلیدهای مکانیکی (Bounce) است. وقتی یک کلید، تغییر وضعیت می‌دهد به دلیل لرزش ناشی از این تغییر وضعیت، در طی چند میلی ثانیهٔ اول قطع و وصل‌های مکرّر در بین کنتاکت ثابت و کنتاکت متحرک کلید پدید می‌آید، شکل ۱۲-۵ وضعیت اثر لرزش کلیدها را نشان می‌دهد.



شکل ۱۲-۵- اثر لرزش کلید در مدار فلیپ‌فلاپ SR باگیت NAND

این قطع و وصل‌ها ممکن است باعث بروز اشتباهاتی در عملکرد مدارهای منطقی ترتیبی شود برای حذف این لرزش‌ها از مدار شکل ۱۳-۵ استفاده می‌کنیم.

مقاومت های Pull up یا افزاینده سطح ولتاژ



شکل ۱۳-۵- مدار فلیپ‌فلاپ SR بدون اثر لرزش کلید

در شکل ۱۳-۵ اگر کلید را در حالت (۱) فرض کنیم فلیپ فلاپ Set می‌شود. حال اگر کلید تغییر وضعیت دهد، به محض اوّلین اتّصال با کنتاکت (۲) مقدار S = ۱ می‌شود و فلیپ‌فلاپ را Reset می‌کند. جدا شدن کنتاکت متحرّک کلید از کنتاکت ثابت (۲)، در فلیپ‌فلاپ حالت ذخیره (S = R = ۱) به‌وجود می‌آید. لذا خروجی‌های آن تغییر وضعیت نمی‌دهد. همین‌طور

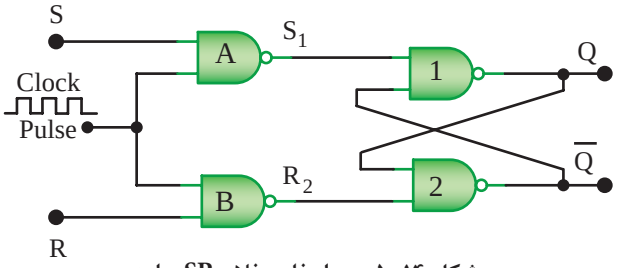
به هنگام تغییر وضعیت از ۲ به ۱ نیز با اولین تماس کنتاکت متحرّک با کنتاکت ثابت ۱ فلیپ‌فلاپ Set می‌شود.

۵-۲-۵- فلیپ‌فلاپ SR ساعتی: فلیپ‌فلاپ SR دو اشکال اساسی دارد:

۱) عکس‌العمل نشان دادن فوری نسبت به تغییر وضعیت ورودی‌ها

۲) وجود حالت تعریف نشده (غیر مجاز)

نخستین اشکال، عکس‌العمل نشان‌دادن فوری نسبت به تغییر وضعیت ورودی‌ها است. یعنی به محض آن‌که ورودی‌های مدار تغییر کند، خروجی‌های آن نیز متناسب با این تغییر وضعیت‌ها، تغییر می‌کند. برای رفع این مشکل، مدار فلیپ‌فلاپ SR را مطابق شکل ۵-۱۴ اصلاح می‌کنیم. در این مدار پالس ساعت (Clock Pulse) به عنوان یک سیگنال فعال‌ساز عمل می‌کند.



شکل ۵-۱۴- مدار فلیپ‌فلاپ SR ساعتی

جدول ۵-۵ جدول صحت فلیپ‌فلاپ SR ساعتی را نشان می دهد.

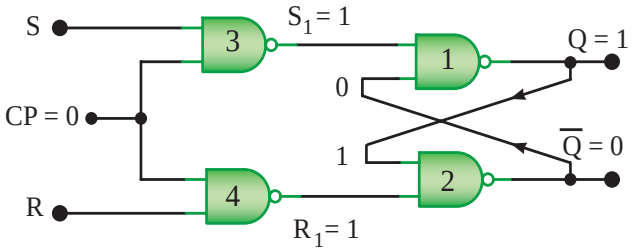
جدول ۵-۵- جدول صحت فلیپ‌فلاپ SR ساعتی

Clock	S	R	Q
0	0	0	تغییر نمی کند
0	0	1	〃 〃
0	1	0	〃 〃
0	1	1	〃 〃
1	0	0	تغییر نمی کند
1	0	1	0 Reset
1	1	0	1 Set
1	1	1	غیر مجاز

Clock Pulse یا پالس ساعت ورودی (CP) به عنوان یک سیگنال فعال‌ساز عمل می‌کند. هنگامی که CP = ۰ است، S_1 و R_1 یک می‌شود. در این شرایط خروجی Q و $\overline{Q}$ تغییر وضعیت نمی‌دهند و حالت قبل خود را حفظ می‌کنند، شکل ۵-۱۵ و ۵-۱۶ این حالت‌ها را نشان می‌دهد.

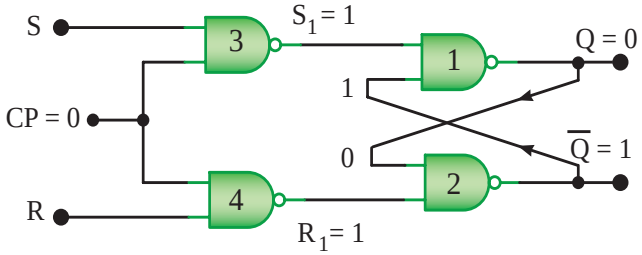
در واقع این شکل‌ها نشان می‌دهد که وضعیت S و R هرچه باشد چون پالس ساعت در وضعیت صفر منطقی است، خروجی حالت قبل خود را حفظ می‌کند و ثابت می‌ماند.

ورودی هـــای S و R اثری در خروجی ندارند.



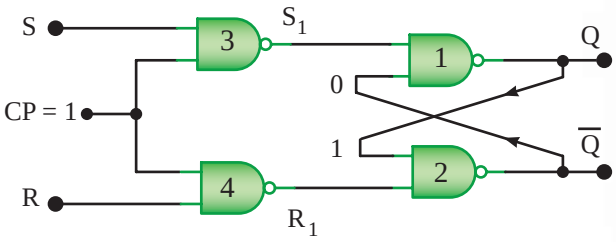
شکل ۵-۱۵- خروجی ۱ = Q حالت قبل را حفظ می‌کند و ثابت می‌ماند.

ورودی هـــای S و R اثری در خروجی ندارند.



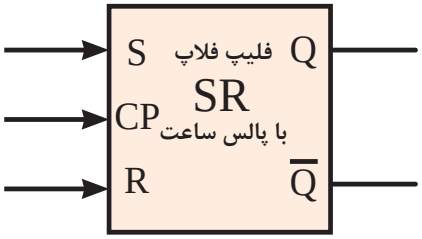
شکل ۵-۱۶- خروجی ۰ = Q حالت قبل را حفظ می‌کند و ثابت می‌ماند.

اگر CP = ۱ شود خروجی گیت NAND شمارهٔ ۳ و ۴ براساس ورودی‌های S و R تغییر می‌کند و در این حالت خروجی Q و $\overline{Q}$ مطابق جدول درستی فلیپ‌فلاپ S-R می‌شود شکل ۵-۱۷ مدار فلیپ فلاپ S-R ساعتی را در زمان اعمال پالس ساعت نشان می‌دهد.



شکل ۱۷-۵ - CP=۱ است. Q و $\overline{Q}$ از مقادیر S و R تبعیّت می‌کنند.

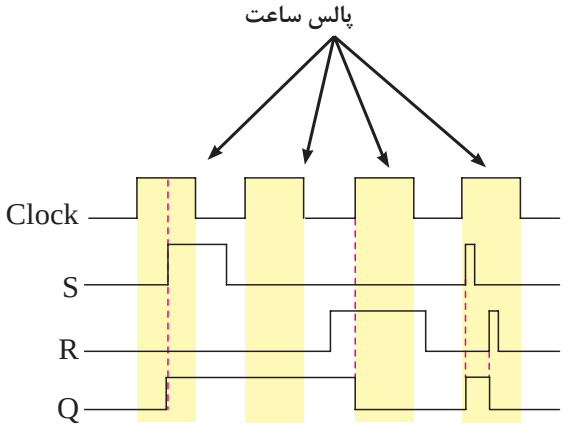
شکل ۱۸- ۵ بلوک دیاگرام فلیپ‌فلاپ SR ساعتی را نشان می‌دهد.



شکل ۱۸-۵- بلوک دیاگرام فلیپ‌فلاپ SR ساعتی

در شکل ۱۹- ۵ نمودار زمانی ورودی‌ها و خروجی مدار فلیپ‌فلاپ SR ساعتی را مشاهده می‌کنید.

ورودی‌های S و R فقط در زمان حضور Clock می‌توانند مؤثر واقع شوند.



شکل ۱۹-۵- نمودار زمانی ورودی‌ها و خروجی فلیپ‌فلاپ SR ساعتی

شکل موج ورودی‌ها و خروجی Q در نمودار زمانی مدار با توجه به جدول صحت فلیپ‌فلاپ SR ساعتی مطابق جدول ۵-۵ رسم شده است.

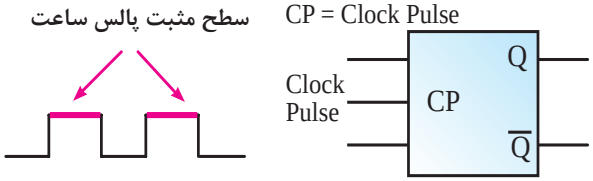
در شکل ۱۹-۵ مادامی که پالس ساعت در حالت صفر منطقی باشد، ورودی‌های دروازه‌های ۱ و ۲ که فلیپ‌فلاپ RS را می‌سازند، در حالت $S_1=R_1=1$ هستند و فلیپ‌فلاپ در حالت ذخیره باقی می‌ماند. به عبارت دیگر، ورودی‌های S و R را حس نمی‌کند.

وقتی پالس ساعت حالت یک منطقی داشته باشد، دروازه‌های ۳ و ۴ شکل ۱۷-۵ باز شده و اطلاعات ورودی توسط فلیپ‌فلاپ خوانده می‌شود.

۳-۵- تقسیم‌بندی فلیپ فلاپ‌ها براساس پالس ساعت

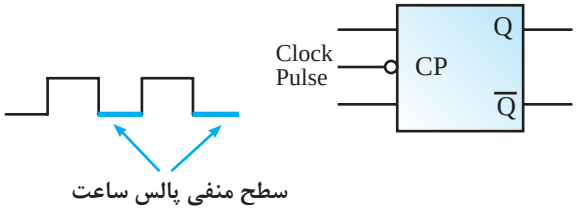
چگونگی عملکرد فلیپ‌فلاپ‌ها را براساس پالس ساعت نیز تقسیم‌بندی می‌کنند. در این تقسیم بندی چهار حالت به وجود می‌آید.

حالت اول: عامل با سطح مثبت پالس ساعت: اگر فلیپ‌فلاپ با سطح مثبت پالس ساعت عمل کند (عامل با سطح مثبت)، یعنی در شرایطی که Clock در حالت پایدار یک است، اطلاعات ورودی را بپذیرد آن را به صورت شکل ۲۰-۵ نشان می‌دهند.



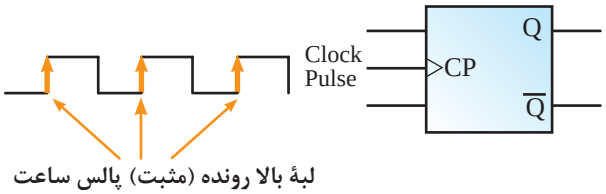
شکل ۲۰-۵- فلیپ‌فلاپ عامل با سطح مثبت پالس ساعت

حالت دوم: عامل با سطح منفی پالس ساعت: چنانچه فلیپ‌فلاپ با سطح منفی پالس ساعت عمل کند(عامل با سطح منفی)، در شرایطی که Clock Pulse در حالت پایدار صفر است و اطلاعات ورودی را بپذیرد آن را به صورت شکل ۲۱- ۵ نشان می‌دهند.



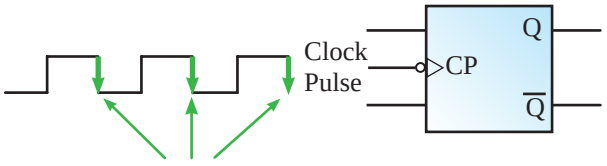
شکل ۲۱-۵- فلیپ‌فلاپ عامل با سطح منفی پالس ساعت

حالت سوم: عامل با لبهٔ بالارونده پالس ساعت: اگر فلیپ‌فلاپ بالبهٔ بالارونده (مثبت) پالس ساعت عمل کند (عامل با لبهٔ بالارونده)، یعنی در شرایطی که پالس ساعت لبهٔ بالارونده را طی می‌کند، اطلاعات را بپذیرد آن را به صورت شکل ۲۲- ۵ نشان می‌دهند.



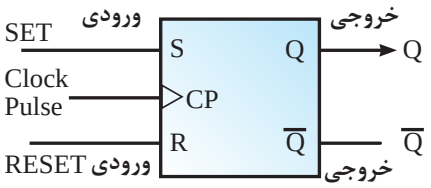
شکل ۲۲-۵- فلیپ‌فلاپ عامل با لبهٔ بالارونده پالس ساعت

حالت چهارم: عامل با لبهٔ پایین روندهٔ پالس ساعت: اگر فلیپ‌فلاپ با لبهٔ پایین رونده(منفی) پالس ساعت عمل کند (عامل با لبهٔ پایین رونده)، یعنی در شرایطی که پالس ساعت لبهٔ پایین رونده را طی می‌کند، اطلاعات را بپذیرد آن را به صورت شکل ۲۳- ۵ نمایش می‌دهند.



شکل ۲۳-۵- فلیپ‌فلاپ عامل با لبهٔ پایین روندهٔ پالس ساعت

وضعیت بی‌اهمیت Don't care: در مدارهای منطقی اگر وضعیت منطقی متغیر با یک خط ورودی (صفر یا یک بودن آن) اثری روی خروجی نداشته باشد، آن را وضعیت بی‌اهمیت می‌نامند و با X نشان می‌دهند. در شکل ۲۴-۵ و جدول ۶-۵ عملکرد ورودی‌های S و R با حالت X و عملکرد پالس ساعت در فلیپ‌فلاپ SR ساعتی نشان داده شده است.

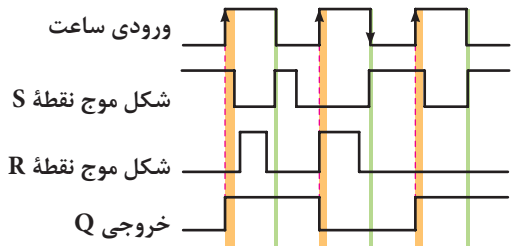


شکل ۲۴-۵- فلیپ‌فلاپ RSساعتی با پالس ساعت

شکل ۲۵- ۵ نمودار زمانی ورودی‌های فلیپ‌فلاپ و خروجی آن را بر اساس حالت‌های مختلف پالس ساعت در جدول ۶-۵ نشان می‌دهد.

جدول ۶-۵- جدول صحت فلیپ‌فلاپRS ساعتی با ورودی پالس ساعت

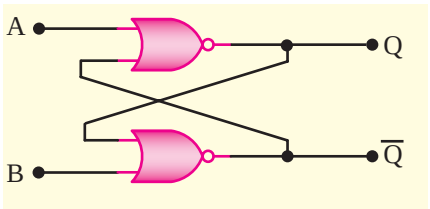
Clock	S	R	Q
0	×	×	بدون تغییر
1	×	×	〃 〃
↓	×	×	〃 〃
↑	0	0	بدون تغییر
↑	0	1	0 Reset
↑	1	0	1 Set
↑	1	1	ممنوع



شکل ۲۵-۵- نمودار زمانی پالس ساعت به ورودی‌ها و عملکرد خروجی فلیپ‌فلاپ SR ساعتی

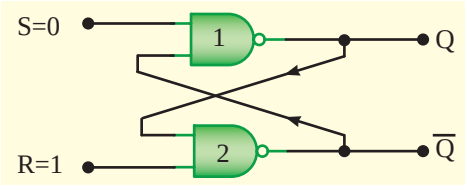
۴-۵- الگوی پرسش

۱-۴-۵- در شکل۲۶-۵ اگر A = ۱ و B = ۱ باشد Q و $\overline{Q}$ در چه حالت منطقی قرار دارند؟



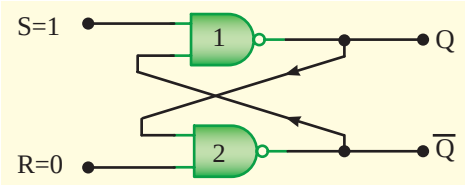
شکل ۲۶-۵- مربوط به سؤال ۱ الگوی پرسش

۲-۴-۵- در شکل ۲۷-۵ الف و ب وضعیت خروجی Q و $\overline{Q}$ فلیپ‌فلاپRS ساعتی با گیت NAND را تعیین کنید.



در ۰ = S و ۱ = R

الف

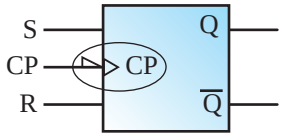


در ۱ = S و ۰ = R

(ب)

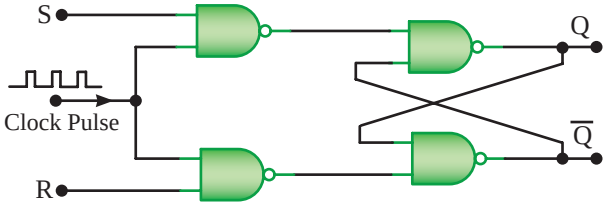
شکل ۲۷-۵- مربوط به سؤال ۲ الگوی پرسش

۵-۴-۳- فلیپ‌فلاپ شکل ۲۸- ۵ با کدام مشخصهٔ پالس ساعت کار می‌کند؟



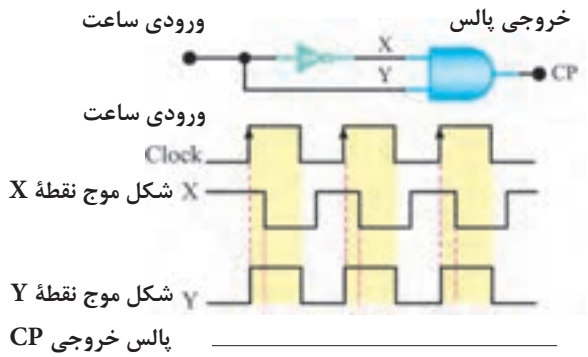
شکل ۲۸- ۵- مربوط به سؤال ۳ الگوی پرسش

۵-۴-۴- مدار SR-FF شکل ۲۹- ۵ را در نظر بگیرید. در فاصلهٔ زمانی که پالس ساعت فعال است (در حالت «یک» منطقی قرار دارد) چنانچه در این شرایط وضعیت ورودی‌های فلیپ‌فلاپ تغییر کند خروجی‌های آن در چه وضعیتی قرار می‌گیرند؟ آیا تغییر وضعیت خروجی‌ها در سیستم اختلال ایجاد می‌کند یا خیر؟ شرح دهید.



شکل ۲۹- ۵ مربوط به سؤال ۴ الگوی پرسش

۵-۴-۵- با استفاده از مدار شکل ۳۰-۵ و نمودار زمانی ورودی‌های آن و مشخصهٔ تأخیر در انتشار، نمودار خروجی را رسم کنید.

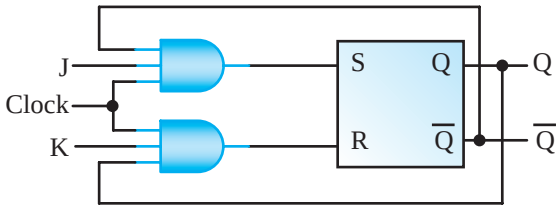


شکل ۳۰-۵- مربوط به سؤال ۵ الگوی پرسش

۵-۵- فلیپ‌فلاپ J-K

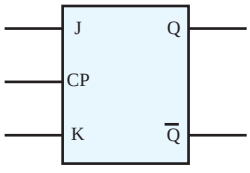
یکی از اشکال‌های فلیپ‌فلاپ R-S مربوط به حالت تعریف نشدهٔ آن یعنی وضعیت S = R = ۱ است. زیرا در این حالت وضعیت غیر مجاز پیش می‌آید.

برای اصلاح این حالت از فلیپ فلاپ J-K استفاده‌می‌شود. در شکل ۳۱-۵ مدار فلیپ‌فلاپ J-K رسم شده است. فلیپ فلاپ دارای مدار داخلی با گیت NOR است.



شکل ۳۱-۵- فلیپ‌فلاپ J-K

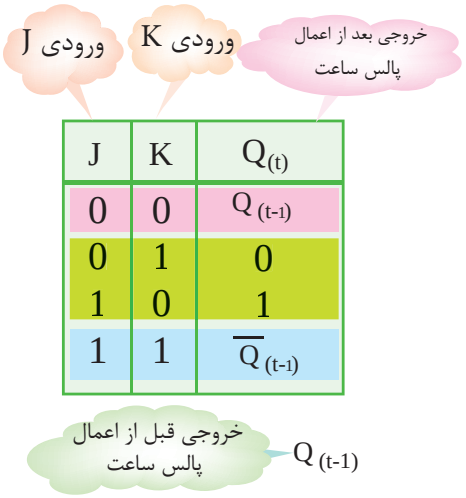
بلوک دیاگرام فلیپ‌فلاپ J-K را در شکل ۳۲-۵ مشاهده می‌کنید.



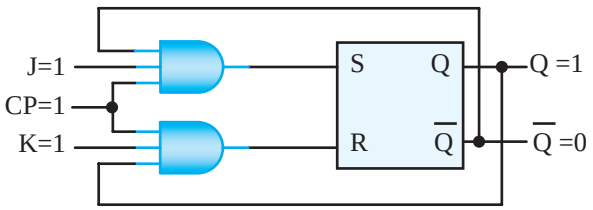
شکل۳۲-۵- نماد بلوکی فلیپ‌فلاپ J-K

جدول درستی فلیپ‌فلاپ J-K در جدول ۷-۵ آمده است.

جدول ۷-۵- جدول صحت فلیپ‌فلاپ J-K

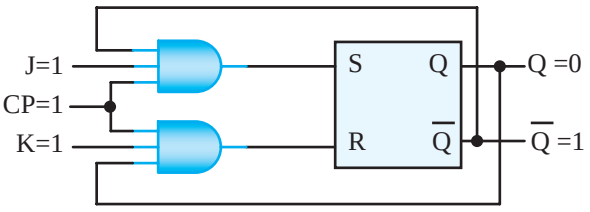


این جدول نشان می‌دهد حالت ممنوعه برطرف شده است یعنی هنگامی که J=K=۱ می‌شود، اگر فلیپ‌فلاپ مطابق شکل ۳۳-۵ در حالت Set یعنی Q = ۱ قرار داشته باشد، وضعیت آن تغییر می‌کند و Reset می‌شود.



شکل ۳۳-۵- J=۱ و K=۱ خروجی Q (۱) است

بنابراین مطابق شکل ۳۴- ۵، خروجی Q = ۱ به حالت Q = ۰ تغییرحالت می‌دهد.



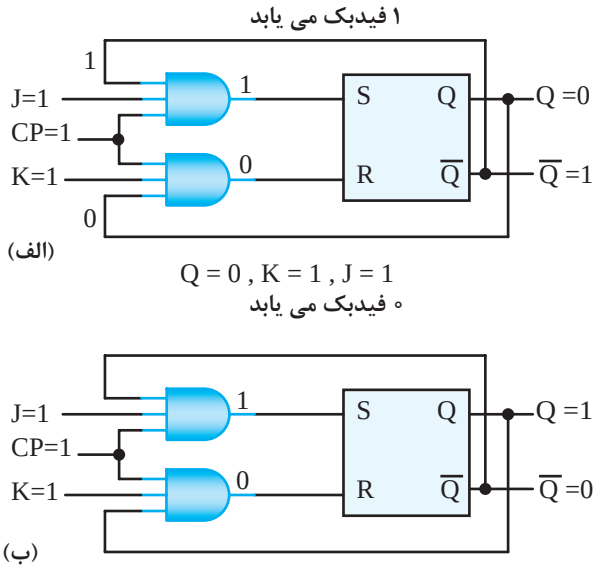
شکل ۳۴-۵- در وضعیت J = ۱ و K = ۱

Q و $\overline{Q}$ برعکس حالت قبل شده است.

هم‌چنین اگر فلیپ‌فلاپ در وضعیت Reset یعنی Q=۰ باشد با برقراری J=K=۱ به وضعیت Set می‌رود یعنی Q=۱ می‌شود به عبارت دیگر حافظه به حالتی برعکس وضعیت قبلی خود تغییر حالت می‌دهد. این وضعیت را که شبیه قطع و وصل کردن یک کلید است حالت کلیدی می‌نامند.

باید توجه داشت تغییر وضعیت Q و $\overline{Q}$ زمانی رخ می‌دهد که پالس ساعت فعال باشد، (CP=۱)طبیعی است اگر پالس ساعت فعال نباشد یعنی CP=۰ شود Q و $\overline{Q}$ تغییروضعیت نمی‌دهند و حالت اولیهٔ خود را حفظ می‌کنند.

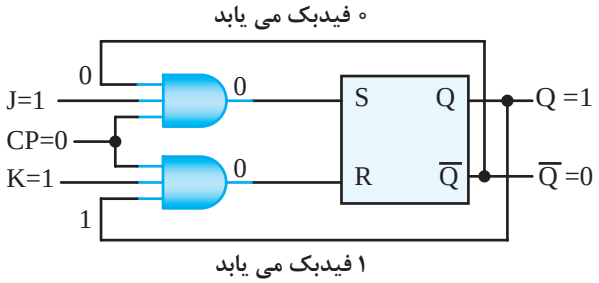
۱-۵-۵-عیب فلیپ‌فلاپ J-K: همان‌طور که مشاهده کردید فلیپ‌فلاپ J-K توانسته‌است حالت تعریف نشدهٔ فلیپ‌فلاپ R-S را برطرف کند.چون خروجی‌های Q و $\overline{Q}$ مستقیماً به ورودی‌ها فیدبک شده‌اند. اگر در این حالت پالس ساعت برابر با (۱) باقی بماند، به دلیل وجود فیدبک، مقادیر مرتباً تغییر می‌کنند و خروجی فلیپ‌فلاپ دائماً بین صفر و یک نوسان می‌کند. در شکل ۳۵- ۵- الف و ب تغییر وضعیت Q و $\overline{Q}$ نشان داده شده است.



شکل ۳۵-۵- با فیدبک خروجی Q و $\overline{Q}$ به ورودی وضعیت جدید Q = ۱ و $\overline{Q}$ = ۰ ظاهر شده است.

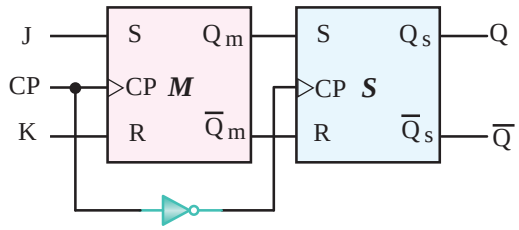
حال اگر مطابق شکل ۳۶-۵ پالس ساعت مساوی صفر (CP=۰) شود، در این لحظه Qروی آخرین وضعیت خود ثابت می‌ماند. این حالت فلیپ‌فلاپ را

پدیدهٔ دور خود چرخیدن Race Around می‌گویند.
در این‌حالت وضعیت خروجی بین صفر و یک درحال نوسان است. برای برطرف کردن این عیب از فلیپ‌فلاپ JK-MS استفاده می‌شود.



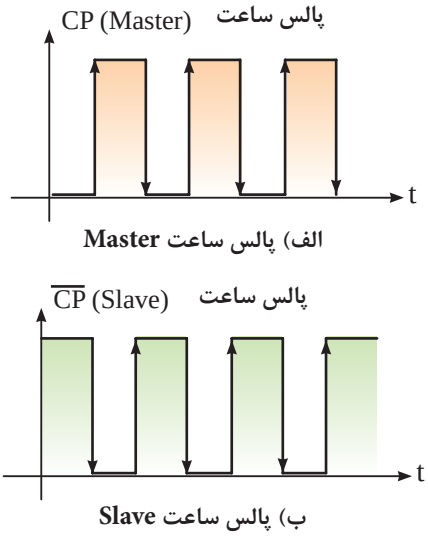
شکل ۳۶-۵- Q و $\bar{Q}$ فیدبک می‌شوند چون CP=۰ است خروجی تغییر نمی‌کند

۲-۵-۵-فلیپ‌فلاپ JK-MS (JK-Master salve):
فلیپ‌فلاپ JK-MS از دو فلیپ‌فلاپ S-R مجزا و مشابه هم درست شده است که یکی مستر (اصلی ـ Master) و دیگری اسلیو (فرعی-Slave) نام دارد. این‌فلیپ فلاپ‌ها هردو بالبه‌بالارونده عمل می‌کنند. شکل ۳۷-۵ بلوک دیاگرام این فلیپ‌فلاپ را نشان می‌دهد. خطوط فیدبک از Q و $\bar{Q}$ به ورودی‌ها رسم نشده است.



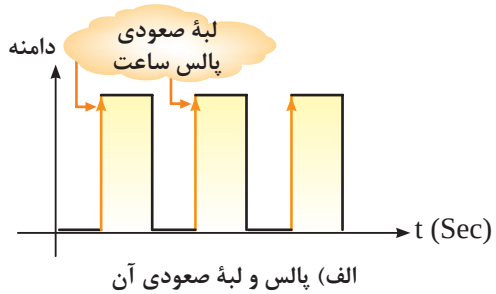
شکل ۳۷- ۵- بلوک دیاگرام فلیپ‌فلاپ JK-MS بدون رسم مسیر فیدبک

با توجه به بلوک دیاگرام شکل ۳۷-۵ درمی یابیم پالس ساعت فلیپ‌فلاپ Master معکوس(NOT) می‌شود و به‌عنوان پالس ساعت فلیپ‌فلاپ Slave عمل می‌کند.شکل‌های ۳۸-۵ الف و ب وضعیت پالس ساعت Master و Slave را نسبت به هم نشان می‌دهد.



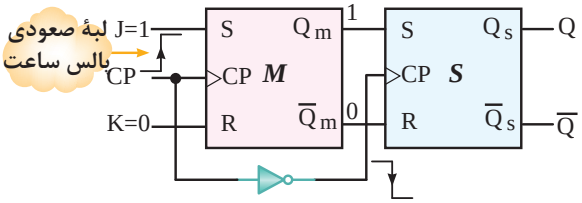
شکل ۳۸-۵ -پالس‌های Master و Slave

هنگامی که پالس از ولتاژ صفر به سمت سطح ولتاژ زیاد تغییر می‌کند، به این بخش لبهٔ صعودی پالس (لبهٔ بالارونده) گویند. شکل ۳۹-۵- الف لبهٔ صعودی پالس را نشان می‌دهد. هنگامی که پالس از سطح ولتاژ زیاد به سمت سطح ولتاژ صفر نزول می‌کند این بخش، لبهٔ نزولی پالس (پایین رونده) نام دارد. شکل ۳۹-۵- ب لبهٔ نزولی پالس را نشان می‌دهد.



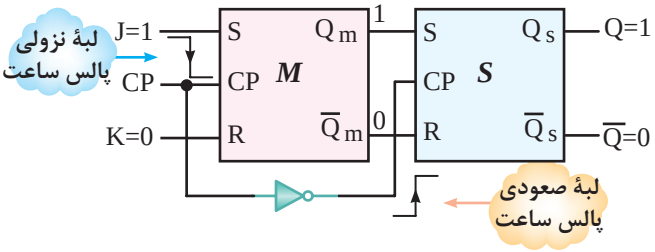
شکل ۳۹-۵- پالس ساعت و لبه‌های صعودی و نزولی

در فلیپ فلاپ JK-MS در هنگام لبهٔ صعودی پالس Master، اطلاعات ورودی وارد حافظهٔ Master می‌شود. شکل ۴۰-۵ نشان می‌دهد که اطلاعات ورودی وارد حافظهٔ Master شده است.

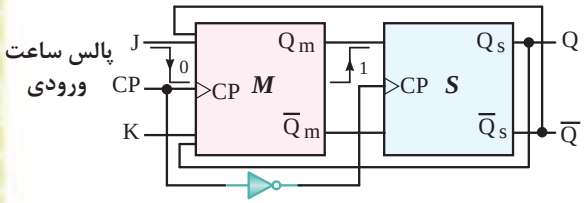


شکل ۴۰-۵- در هنگام لبهٔ صعودی پالس ورودی، اطلاعات ورودی وارد حافظهٔ Master می‌شود.

در هنگام لبهٔ نزولی پالس ساعت ورودی، پالس ساعت فلیپ‌فلاپ Slave صعود می‌کند و اطلاعات حافظهٔ Master، وارد حافظهٔ Slave که حافظهٔ خروجی است می‌شود. در شکل ۴۱-۵ لبهٔ نزولی پالس ساعت Master و لبهٔ صعودی پالس ساعت Slave و ورود اطلاعات حافظهٔ Master به حافظهٔ Slave نشان داده شده است. مشاهده می‌شود هنگامی که اطلاعات به خروجی فلیپ‌فلاپ Slave انتقال می‌یابد و می‌خواهد به ورودی فلیپ‌فلاپ Master فیدبک شود، دروازهٔ فلیپ‌فلاپ Master بسته است یعنی CP = ۰ است (شکل ۴۲-۵). بدین ترتیب اطلاعات برگشتی نمی‌تواند وارد حافظهٔ Master شود و حافظه را به نوسان درآورد.



شکل ۴۱-۵- در هنگام لبهٔ نزولی پالس ساعت ورودی، پالس ساعت Slave صعود می‌کند و اطلاعات وارد حافظهٔ Slave می‌شود.



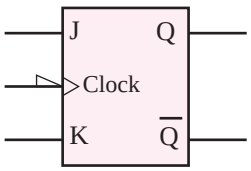
شکل ۴۲-۵- هنگامی که Q و $\bar{Q}$ به ورودی مدار فیدبک می‌رسند CP = ۰ است.

جدول درستی فلیپ‌فلاپ JK-MS مانند جدول درستی فلیپ‌فلاپ JK است. فقط در فلیپ‌فلاپ JK-MS اطلاعات در لبهٔ نزولی پالس ساعت وارد حافظه می‌شوند.

جدول ۸-۵ جدول درستی فلیپ فلاپ JK-MS را نشان می‌دهد بلوک دیاگرام فلیپ‌فلاپ JK-MS را در شکل ۴۳-۵ ملاحظه می‌کنید.

جدول ۸-۵- درستی فلیپ‌فلاپ JK-MS

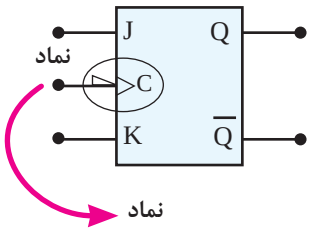
J	K	CP	Q_t
0	0	↓	$Q_{(t-1)}$ حالت قبلی را حفظ می کند
0	1	↓	0 RESET
1	0	↓	1 SET
1	1	↓	$\bar{Q}_{(t-1)}$ حالت قبلی عکس می شود



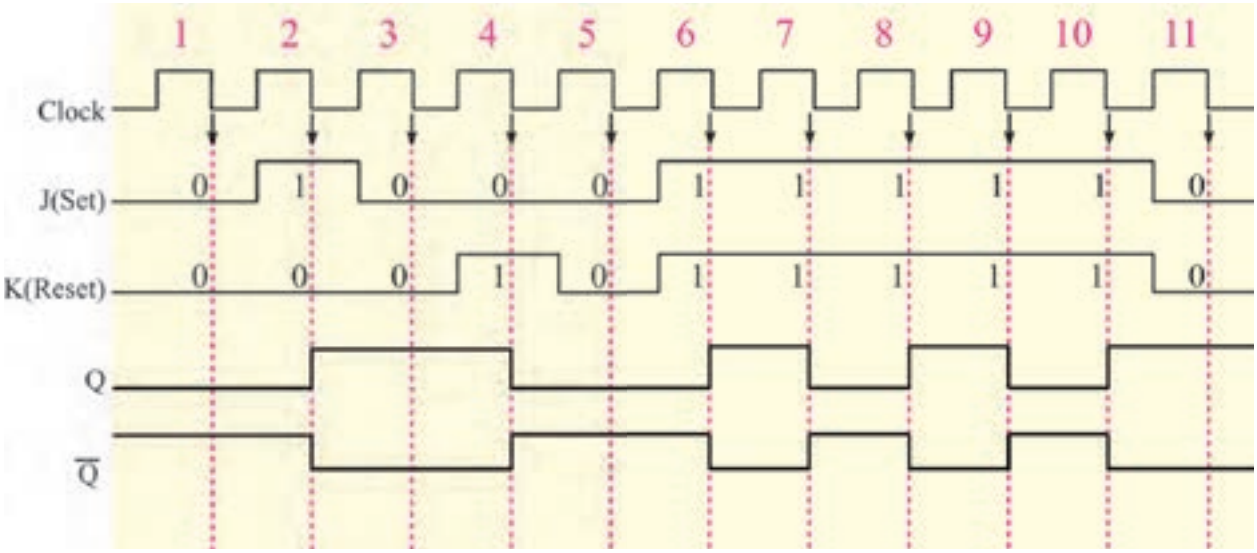
شکل ۴۳-۵- بلوک دیاگرام فلیپ‌فلاپ JK_MS

تمرین کلاسی ۲-۵: در شکل ۴۴-۵-الف مداریک فلیپ‌فلاپ JK را مشاهده می‌کنید. جدول ۹-۵ جدول صحت فلیپ فلاپ JK را نشان می‌دهد. شکل موج‌های ورودی و پالس ساعت در شکل ۴۴-۵- ب رسم شده است.

شکل موج خروجی Q و $\bar{Q}$ را در نمودار شکل ۴۵-۵- ب رسم کنید.



الف) نماد قراردادی فلیپ فلاپ JK با لبهٔ پایین روندهٔ پالس ساعت



ب) شکل موج ورودی‌ها و خروجی‌های فلیپ فلاپ

شکل ۴۴-۵- مدار فلیپ‌فلاپ JK و نمودار زمانی ورودی‌های آن

جدول ۹-۵- جدول صحت فلیپ‌فلاپ JK

CP	J	K	Q_t	
0	×	×	$Q_{(t-1)}$	بدون تغییر
1	×	×	$Q_{(t-1)}$	〃 〃
↓	0	0	$Q_{(t-1)}$	بدون تغییر
↓	0	1	0	Reset
↓	1	0	1	Set
↓	1	1	$\overline{Q}_{(t-1)}$	Toggle

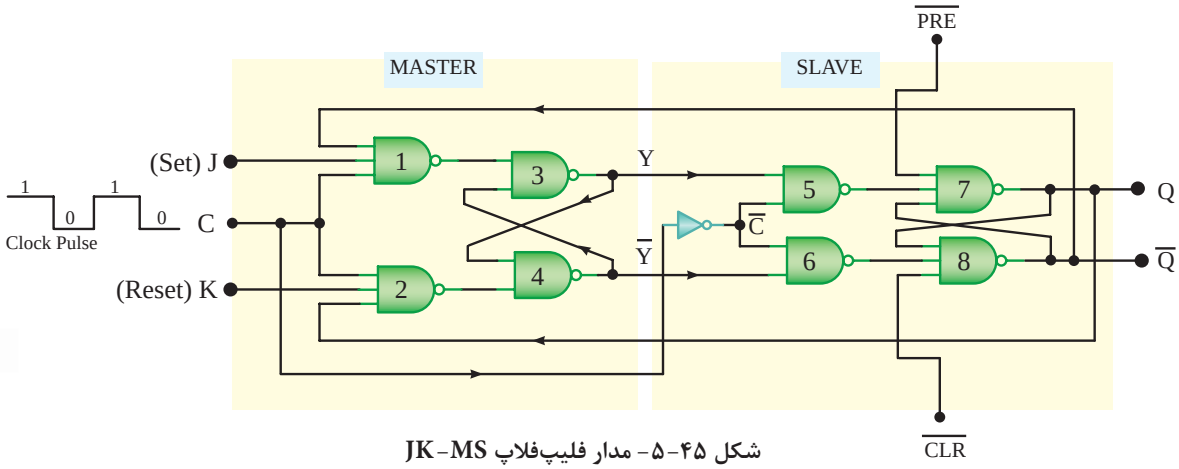
عکس حالت قبل

جهت هنرجویان علاقه‌مند: با توجه به مدار شکل ۴۵-۵ و پالس ساعت ورودی

الف) چنانچه ورودی J را یک منطقی و ورودی K را صفر منطقی قرار دهیم و با توجه به این که Q = ۱ و $\overline{Q}$ = ۰ است. خروجی‌های Master (اصلی) یعنی y و $\overline{y}$ چه مقداری خواهند داشت؟

ب) اگر پالس ساعت لبهٔ پایین‌روندهٔ خود را طی کند، Q و $\overline{Q}$ چه مقداری را خواهند داشت؟

پ) اگر ورودی J = ۱ و K = ۱ قرار دهیم، وضعیت خروجی‌های y و $\overline{y}$ و Q و $\overline{Q}$ را بنویسید.



شکل ۴۵-۵- مدار فلیپ‌فلاپ JK-MS

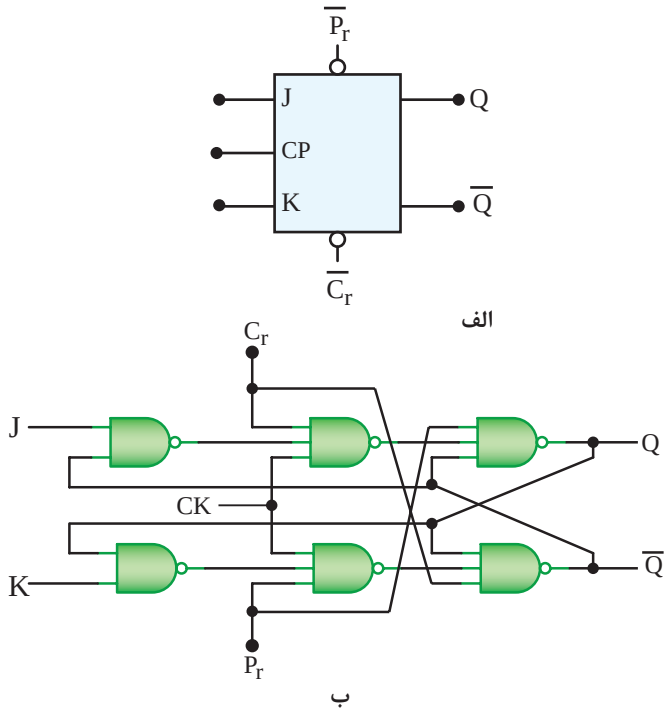
۳-۵-۵- عملکرد ورودی‌های پیش تنظیم Pre (Preset) و پاک کردن Clr (Clear):

در زمان وصل تغذیه به مدار فلیپ‌فلاپ، وضعیتی که حافظه در آن قرار می‌گیرد یعنی حالت Q، در انواع فلیپ‌فلاپ‌ها کاملاً تصادفی است. برای ایجاد یک حالت معین و تعریف شدهٔ اولیه از ورودی پیش‌تنظیم (Preset) و پاک کردن (Clear) استفاده می‌کنیم. Pre و Clr مانند شکل ۴۶-۵-ب مستقیماً روی Q و $\overline{Q}$ اثر می‌گذارند. در شکل ۴۶-۵- الف بلوک دیاگرام فلیپ‌فلاپ JK با Pr و Clr نشان داده شده است.

این فلیپ‌فلاپ با سطح مثبت پالس ساعت عمل می‌کند.

نکته: با توجه به این که پر کردن حافظه با حالت‌های Pr=۰ و پاک شدن آن، با حالت Cr=۰ انجام می‌شود، برای نمایش خطوط ورودی در نقشه‌ها، از نمادهای $\overline{Cr}$ و $\overline{Pr}$ استفاده می‌کنند. این نمادها فقط Active Low یعنی پر شدن و خالی شدن حافظه را با صفر نشان می‌دهد و قرار گرفتن علامت نات ($\overline{Cr}$ و $\overline{Pr}$) روی نمادها به معنی تغییر حالت دادن ورودی نیست.

درصورتی که Pr = ۰ و Cr = ۱ باشد مقدار Q = ۱ می‌شود، همچنین اگر Pr=۱ و Cr=۰ باشد مقدار Q=۰ خواهد شد. ایجاد شرایط Pr = ۰ و Cr = ۰ حالت ناپایدار ایجاد می‌کند. وضعیت Pr =۱ و Cr = ۱ تغییری در حافظه به‌وجود نمی‌آورد.



شکل ۴۶-۵- ورودی‌های Preset و Clear و بلوک دیاگرام فلیپ فلاپ JK

Pr = ۰ Cr = ۱	Q = ۱
Pr = ۱ Cr = ۰	Q = ۰

در جدول ۱۰-۵ جدول درستی کامل یک فلیپ‌فلاپ JK که با لبه پایین رونده پالس ساعتکار می‌کند همراه با خط‌های Pr و Cr رسم شده است.

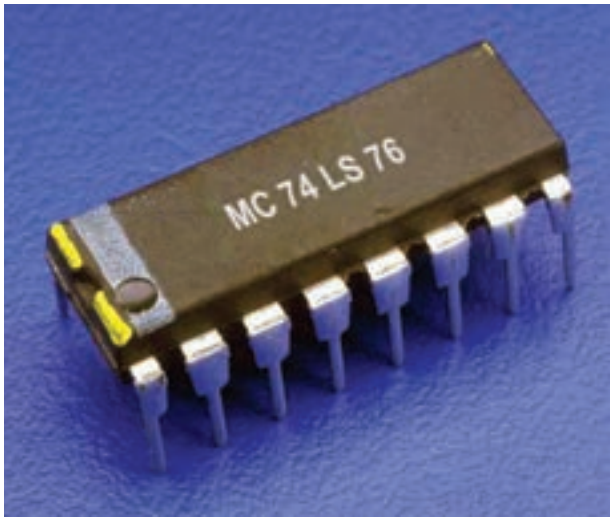
جدول ۱۰-۵- جدول درستی کامل یک فلیپ‌فلاپ JK با ورودی Pr و Cr

P_r	C_r	CP	J	K	Q_t
0	0	X	X	X	* حالت ناپایدار
0	1	X	X	X	1 پرشده Preset
1	0	X	X	X	0 پاک شده Clear
1	1	–	X	X	$Q_{(t-1)}$ حالت قبلی را حفظ می کند
1	1	↓	0	0	$Q_{(t-1)}$
1	1	↓	0	1	0 Reset
1	1	↓	1	0	1 Set
1	1	↓	1	1	$\overline{Q}_{(t-1)}$ حالت قبلی عکس می‌شود

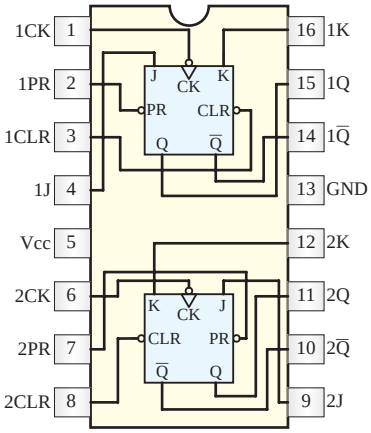
همان طور که قبلاً بیان شد در هنگام وصل اوّلیهٔ تغذیه مدارهای ترتیبی، حالتی که هر فلیپ‌فلاپ انتخاب می‌کند کاملاً تصادفی است. برای ایجاد یک حالت معیّن و تعریف شدهٔ اوّلیه، از ورودی‌های Preset و Clear استفاده می‌کنند. این ورودی‌ها مستقیماً بر Q و $\overline{Q}$ تأثیر می‌گذارند و چون برای اثرگذاری آن‌ها روی فلیپ‌فلاپ به‌فعّال بودن پالس ساعت نیاز نیست، ورودی‌های موازی یا ورودی‌های ناهم‌زمان (Asynchronous Inputs) نامیده می‌شود.

همان‌گونه که در شکل ۴۶-۵- ب مشاهده می‌کنید، این ورودی‌ها مستقیماً دروازه‌های انتهایی مدار را تحت تأثیر قرار می‌دهند. مطابق جدول ۱۰-۵، جدول صحت کامل فلیپ‌فلاپJK با خط‌های Clr و Pr، باید از ایجاد حالت Pr = Cr = ۰ که موجب ناپایداری مدار می‌شود، جلوگیری کرد.

۴-۵-۵- تراشهٔ ۷۴LS۷۶: آی‌سی ۷۴LS۷۶ یک تراشهٔ ۱۶ پایه است که در داخل آن دو عدد فلیپ‌فلاپ JK-MS جاسازی شده است. شکل ۴۷-۵ شکل ظاهری این آی‌سی را نشان می‌دهد. در شکل ۴۸-۵ فلیپ‌فلاپ‌های داخل این آی‌سی رسم شده‌اند.



شکل ۴۷-۵- شکل ظاهری آی‌سی ۷۴۷۶



شکل ۴۸-۵- نماد داخلی آی‌سی ۷۴۷۶

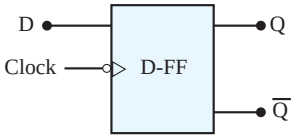
جدول ۱۱-۵ جدول درستی یکی از فلیپ‌فلاپ‌های ۷۴LS۷۶ را نشان می‌دهد. حالت X به معنی این است که وضعیت ورودی اهمیتی ندارد و می‌تواند صفر یا یک باشد.(جدول درصفحه بعد)

۶-۵- فلیپ‌فلاپ نوع D (تأخیری یا Delay)

این فلیپ‌فلاپ تنها دارای یک ورودی است که ورودی (D) نام دارد (شکل ۴۹-۵).

جدول ۱۱-۵- جدول درستی یکی از فلیپ‌فلاپ‌های آی‌سی ۷۴۷۶

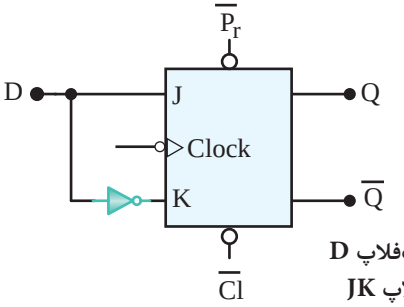
INPUTS					OUTPUTS	
Preset	Clear	Clock	J	K	Q	$\overline{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H	H
H	H	↓	L	L	Q	$\overline{Q}$
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	TOGGLE	
H	H	H	X	X	Q	$\overline{Q}$



شکل ۴۹- ۵- فلیپ‌فلاپ D

از این فلیپ‌فلاپ به‌عنوان یک سلول ثبّات (ثبت‌کننده) استفاده می‌کنند. زیرا اطلاعات ورودی آن پس از هر پالس ساعت وارد حافظهٔ فلیپ‌فلاپ می‌شود و تا پالس ساعت بعدی آن را حفظ می‌کند.

این فلیپ‌فلاپ را می‌توان به کمک هر یک از انواع فلیپ‌فلاپ‌های SR ,JK یا JK-MS طراحی کرد. برای این منظور باید ورودی S را نفی کنیم سپس آن را به R اتصال دهیم. همچنین می‌توان ورودی J را نفی کرد و به ورودی K اتصال داد. شکل ۵۰-۵ یک فلیپ‌فلاپ D را با استفاده از فلیپ‌فلاپ J-K نشان می‌دهد.

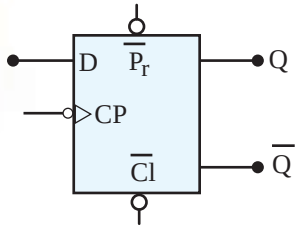


شکل ۵۰-۵- فلیپ‌فلاپ D با استفاده از فلیپ‌فلاپ JK

جدول درستی فلیپ‌فلاپ D مطابق جدول ۱۲-۵ است. در شکل ۵۱-۵ بلوک دیاگرام فلیپ‌فلاپ نوع D رسم شده است.

جدول ۱۲- ۵ - جدول درستی فلیپ‌فلاپ D

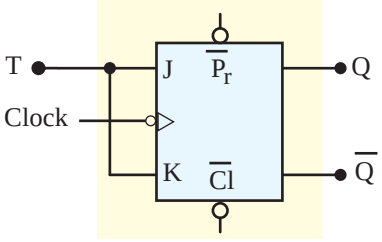
CP	D	Q
↓	0	0
↓	1	1



شکل ۵۱-۵- بلوک دیاگرام فلیپ‌فلاپ D

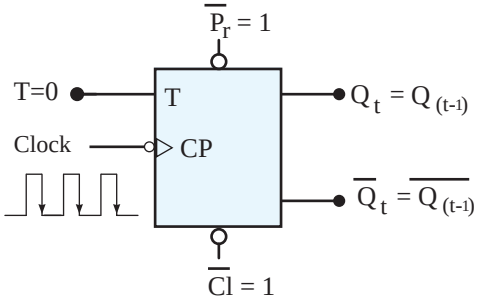
۵-۷- فلیپ‌فلاپ نوع T (کلیدی یا Toggle)

اگر دو ورودی فلیپ‌فلاپ JK را به هم وصل کنیم و اتصال مشترک را T بنامیم، فلیپ‌فلاپ جدیدی ساخته می‌شود که به آن فلیپ‌فلاپ نوع T یا کلیدی گویند. شکل ۵۲-۵ نحوهٔ تبدیل فلیپ‌فلاپ J-K را به T نشان می‌دهد. با توجه به شکل درمی‌یابیم که اطلاعات ورودی‌های J و K با هم برابرند.



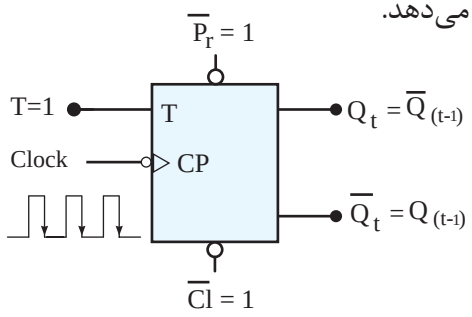
شکل ۵۲-۵- تبدیل فلیپ‌فلاپ J-K به T

پس اگر T=۰ باشد، مطابق شکل ۵۳-۵، J=K=۰ است. در این صورت حافظه بدون تغییر می‌ماند.



شکل ۵۳-۵- T=۰ است و Q و $\overline{Q}$ تغییر نمی‌کند.

حال چنانچه $T=1$ باشد، $J=K=1$ است. در این حالت طبق شکل ۵-۵۴ با هر پالس ساعت وضعیت حافظه برعکس حالت قبل می‌شود. یعنی اگر حافظه Set است به حالت Reset و اگر Reset است به حالت Set تغییر حالت می‌دهد.



شکل ۵-۵۴- $T=1$ است در لبهٔ نزولی پالس ساعت Q_t برعکس می‌شود.

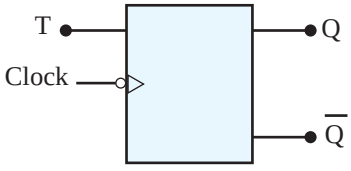
جدول ۵-۱۳ جدول درستی T-FF را بر اساس عملکرد JK-FF نشان می‌دهد. این جدول را می‌توان به صورت جدول ۵-۱۴ خلاصه کرد. بلوک دیاگرام فلیپ‌فلاپ T در شکل ۵-۵۵ آمده است.

جدول ۵-۱۳- جدول درستی T-FF بر اساس عملکرد JK-FF

T	CLK	J	K	$Q_{(t-1)}$	Q_t
0	↓	0	0	0	0
0	↓	0	0	1	1
1	↓	1	1	0	1
1	↓	1	1	1	0

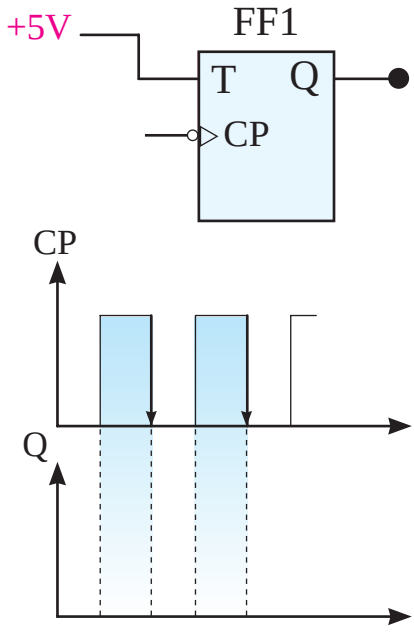
جدول ۵-۱۴- جدول درستی T-FF

T	CP	Q_t	
0	↓	$Q_{(t-1)}$	حالت قبلی را حفظ می‌کند
1	↓	$\overline{Q}_{(t-1)}$	حالت قبلی عکس می‌شود



شکل ۵-۵۵- بلوک دیاگرام T-FF

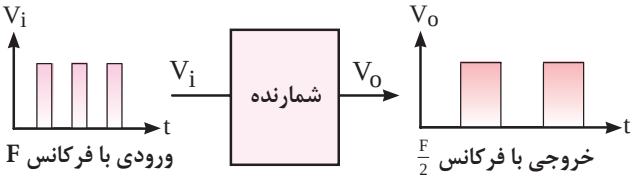
تمرین کلاسی ۳-۵: شکل موج خروجی Q فلیپ فلاپ T را به ازای دو پالس ساعت در شکل ۵-۵۶ رسم کنید.



شکل ۵-۵۶- فلیپ‌فلاپ T و شکل موج پالس ساعت و خروجی آن

از فلیپ‌فلاپ T اغلب به عنوان تقسیم کنندهٔ فرکانس در ساختمان مدارهای ساعت یا شمارنده استفاده می‌شود. شکل ۵-۵۷-الف یک شمارنده و شکل ۵-۵۷-ب شمارنده به‌عنوان تقسیم‌کنندهٔ فرکانس را نشان می‌دهد.

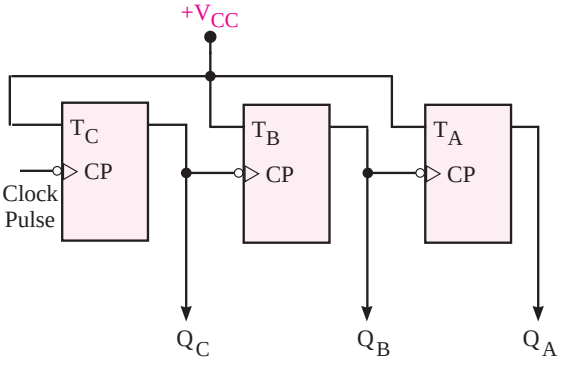
الف) یک شمارنده



ب) شمارنده به‌عنوان مقسم فرکانس

شکل ۵۷-۵- یک شمارنده و شمارنده به‌عنوان مقسم فرکانس

مثال۱-۵: اگر سه طبقه فلیپ‌فلاپ را مطابق شکل ۵-۵۸ به هم وصل کنیم، یک شمارشگر باینری سه بیتی تشکیل می‌شود. فرکانس و شکل موج خروجی هر یک از فلیپ‌فلاپ‌ها را بدست آورید.

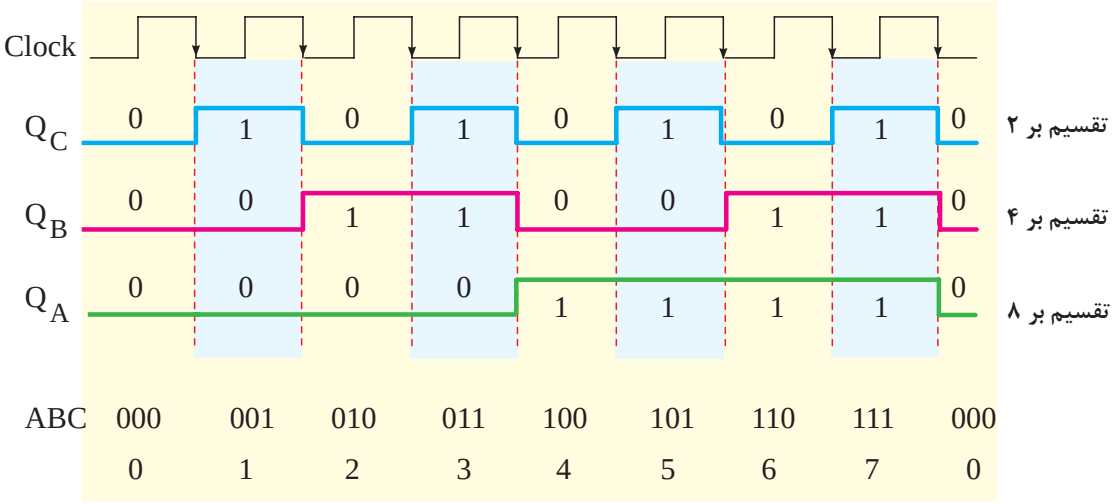


شکل ۵۸-۵- مدار شمارندهٔ سه‌بیتی

حل: در بررسی مدار فوق فرض شده است که کلّیهٔ فلیپ‌فلاپ‌ها در ابتدا Reset شده باشند. به‌علاوه، فلیپ‌فلاپ‌ها را با لبهٔ پایین‌روندهٔ ساعت در نظر گرفته‌ایم.

همان‌طور که مشاهده می‌کنید، فلیپ‌فلاپ طبقهٔ C در حکم یک تقسیم‌کنندهٔ فرکانس پالس ساعت عمل می‌کند،چون پالس ساعت فلیپ‌فلاپ طبقهٔ B از خروجی طبقهٔ C دریافت شده‌است، خروجی این طبقه بار دیگر فرکانس پالس ساعت را تقسیم بر۲ می‌کند $(Q_B = \frac{Q_C}{۲} = \frac{\frac{Clock}{۲}}{۲} = \frac{Clock}{۴})$ و به همین ترتیب، فلیپ‌فلاپ طبقهٔ A فرکانس پالس ساعت را تقسیم بر ۸ می‌کند. در شکل ۵-۵۹ دیاگرام زمانی یک شمارندهٔ سه بیتی را مشاهده می‌کنید.

$$Q_A = \frac{Q_B}{۲} = \frac{\frac{Clock}{۴}}{۲} = \frac{Clock}{۸}$$

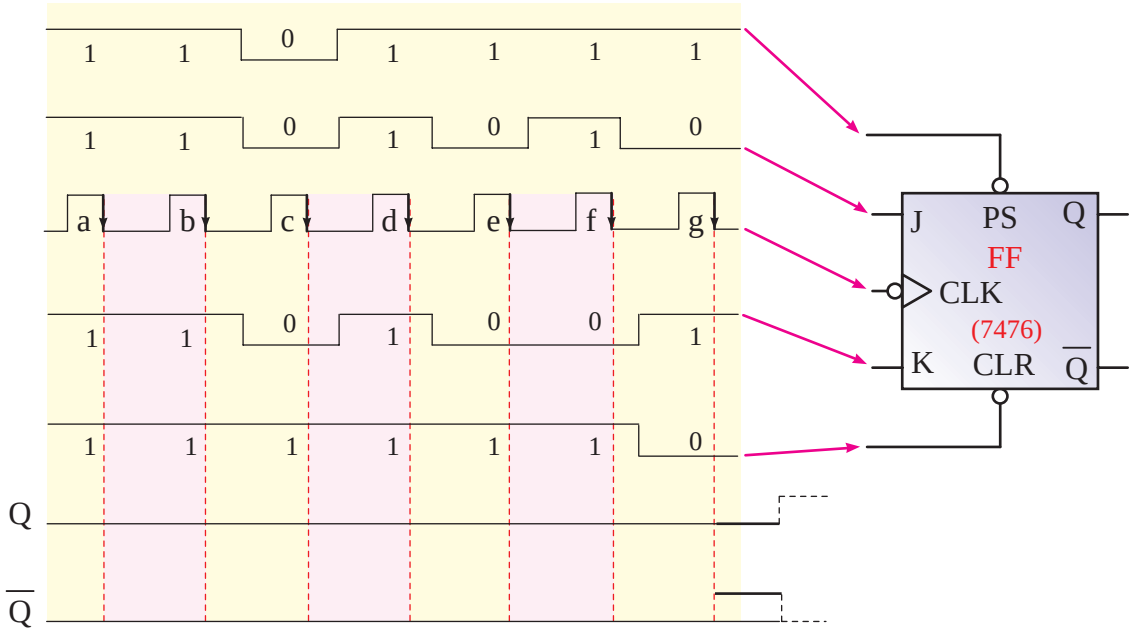


شکل ۵۹-۵- دیاگرام زمانی یک شمارندهٔ سه بیتی

۵-۸ الگوی پرسش

۱- در شکل ۵-۶۰ فرض کنید که فلیپ‌فلاپ JK-MS در آغاز کار در حالت Reset قرار دارد نمودار دیاگرام تغییرات خروجی‌های Q و $\overline{Q}$ را رسم کنید.

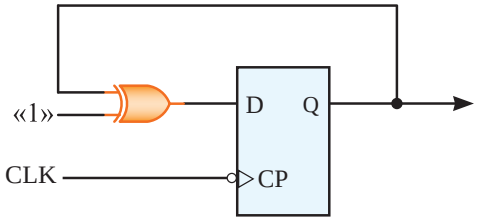
راهنمایی: فلیپ‌فلاپ را براساس جدول ۵-۱۱ تحلیل کنید.

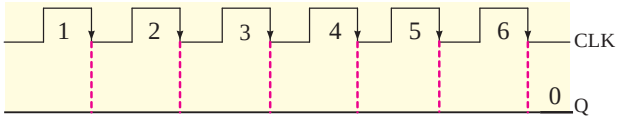


شکل ۶۰-۵- نمودار دیاگرام زمانی مربوط به سؤال ۱ الگوی پرسش

۲- خروجی Q یک D-FF عامل با لبهٔ پایین‌روندهٔ پالس ساعت را مطابق شکل ۶۱-۵ به ورودی آن برمی‌گردانیم.

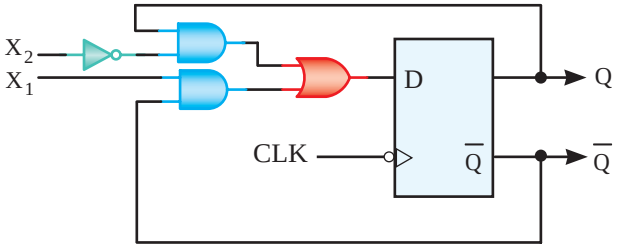
با فرض این‌که در آغازکار فلیپ‌فلاپ Reset است، دیاگرام زمانی تغییر وضعیت‌های بعدی آن را رسم کنید، رفتار این مدار، رفتار کدام یک از فلیپ‌فلاپ‌ها را نشان می‌دهد؟





شکل ۶۱- ۵- مدار و نمودار زمانی سؤال ۲ الگوی پرسش

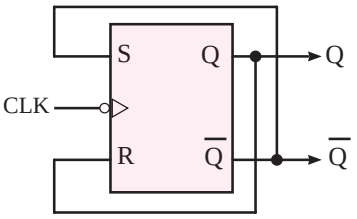
۳- فرض کنید فلیپ‌فلاپ شکل ۶۲-۵ در آغاز Reset باشد و با لبهٔ پایین روندهٔ پالس ساعت عمل کند. با توجه به این فرضیه جدول صحت مدار را کامل کنید. این جدول رفتار کدام یک از فلیپ‌فلاپ‌ها را نشان می‌دهد؟

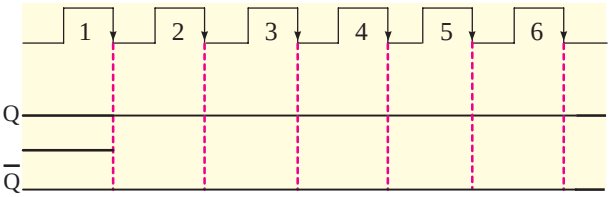


Clock	X_2	X_1	$Q_{(t-1)}$	Q(t)	$\overline{Q}$(t)
⎍	0	0	0		
⎍	0	0	1		
⎍	0	1	0		
⎍	0	1	1		
⎍	1	0	0		
⎍	1	0	1		
⎍	1	1	0		
⎍	1	1	1		

شکل ۶۲-۵- مدار و جدول صحت سؤال ۳ الگوی پرسش

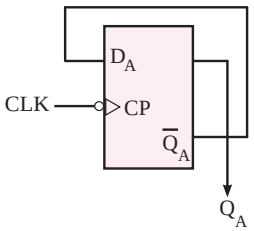
۴- با فرض آن که فلیپ‌فلاپ شکل ۶۳-۵ در ابتدا Reset باشد، تغییرات بعدی وضعیت خروجی Q را در نمودار رسم کنید. نتیجهٔ حاصل، رفتار کدام یک از فلیپ‌فلاپ‌ها را نشان می‌دهد؟

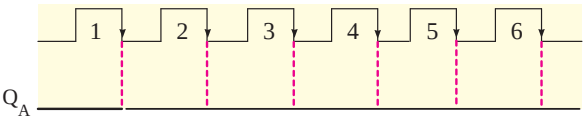




شکل ۶۳-۵- مدار دیاگرام زمانی سؤال ۴ الگوی پرسش

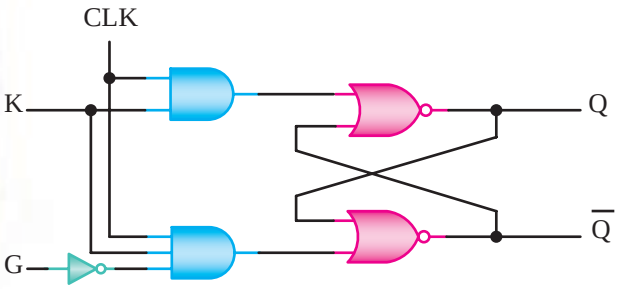
۵- فرض کنید فلیپ‌فلاپ شکل ۶۴-۵ در آغاز در حالت Reset قرار دارد. پالس دیاگرام زمانی Q_A را در نمودار رسم کنید. رفتار این مدار معادل کدام فلیپ‌فلاپ است؟





شکل ۶۴-۵- مدار دیاگرام زمانی سؤال ۵ الگوی پرسش

۶- جدول صحت مدار شکل ۶۵-۵ را تکمیل کنید.



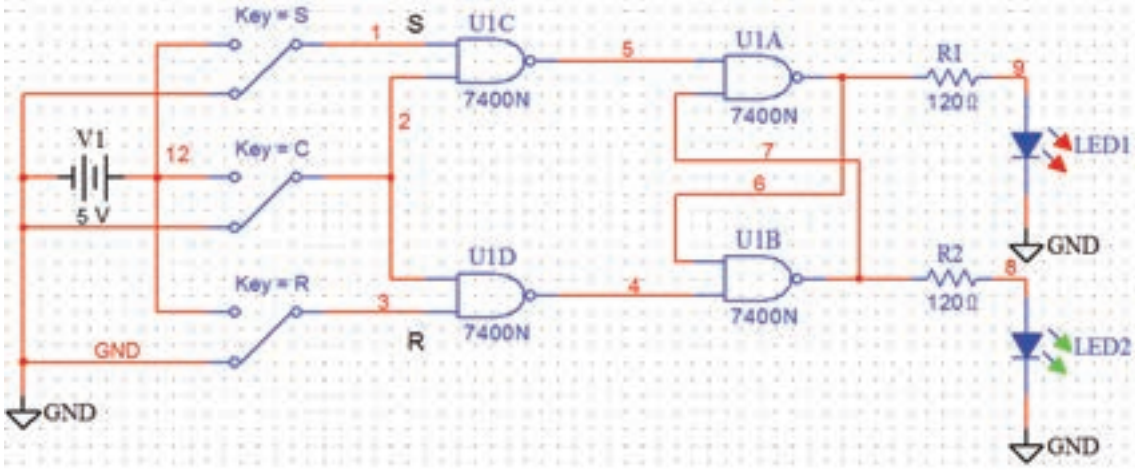
شکل ۶۵-۵- مدار سؤال ۶ الگوی پرسش

جدول ۱۵-۵- جدول سؤال ۶ الگوی پرسش

CLK	K	G	Q(t)

۹-۵- کار با نرم‌افزار

مدار شکل ۶۶-۵ فلیپ‌فلاپ با پالس ساعت را نشان می‌دهد. مدار را توسط نرم‌افزار مولتی‌سیم ببندید و صحت عملکرد آن را مطابق جدول صحت مربوطه بررسی کنید.



شکل ۶۶-۵- مدار فلیپ‌فلاپ با پالس ساعت