$$Y = \overline{A \oplus B}$$

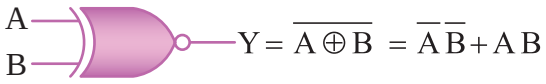
خروجی — ورودی — ورودی

$$Y = \overline{A}\,\overline{B} + A\,B$$

یا

دروازهٔ منطقی NOR انحصاری (XNOR) را به صورت شکل ۲-۳۴ نمایش می‌دهند.

رابطه منطقی XNOR را به صورت : $Y=A \odot B$ نیز نشان می‌دهند [1].

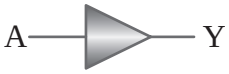


استاندارد بین المللی و امریکایی

شکل ۲-۳۴- نماد دروازهٔ XNOR

چون دروازه‌های منطقی XOR و XNOR از ترکیب دروازه‌های منطقی AND، OR و NOT است بنابراین ساختمان ترانزیستوری آنها نیز ترکیبی از ساختمان گیت‌های اصلی است. به دلیل پیچیدگی مدار از آوردن آنها در این قسمت صرف‌نظر کرده‌ایم.

۲-۳-۵- دروازهٔ بافر Buffer: این دروازهٔ منطقی مانند گیت NOT یک ورودی و یک خروجی دارد. شکل ۲-۳۵ گیت بافر را نشان می‌دهد.



شکل ۲-۳۵-گیت بافر

رابطهٔ منطقی این گیت به‌صورت $Y = A$ است. گیت‌بافر معمولاً به عنوان جداکننده بین دو طبقه استفاده می‌شود و از بارگذاری روی خروجی جلوگیری می‌نماید. در مدارهای دیجیتالی گیت بافر وقتی در خروجی گیت اصلی قرار می‌گیرد، تراز ولتاژ ورودی را عیناً به خروجی مدار انتقال می‌دهد. در داخل گیت بافر مدار تقویت کنندهٔ جریان وجود دارد که میزان جریان دهی خروجی را افزایش می‌دهد.

با استفاده از مدار بافر، مقدار fan out افزایش می‌یابد، یعنی می‌توان تعداد گیت‌های بیشتری را به خروجی گیت اصلی وصل نمود. در این حالت تغذیهٔ خروجی آسیب نمی‌بیند و مدار بارگذاری نمی‌شود.

در ادامه فصل در ارتباط با fan out توضیح بیشتری ارائه خواهد شد.

جدول ۲-۱۸ جدول صحت گیت بافر را نشان می‌دهد.

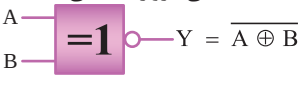
جدول ۲-۱۸- جدول صحت گیت بافر

A	Y
۰	۰
۱	۱

تمرین کلاسی ۲-۶: جریان خروجی یک گیت AND حدود ۲۰ میلی‌آمپر است و می‌تواند یک LED را تغذیه کند، در صورتی که بخواهیم تعداد LEDها را افزایش دهیم، چه تغییری در مدار باید ایجاد کنیم؟

جدول ۲-۱۹ گیت‌های منطقی پایه و ترکیبی را همراه با نماد گرافیکی (استاندارد بین المللی)، تابع منطقی و جدول صحت آنها را نشان می‌دهد.

۱- نماد انگلیسی دروازهٔ منطقی XNOR به صورت



است.

پیش گفتار

دروازه‌های منطقی پایه و ترکیبی به صورت مدارهای الکترونیکی یک پارچه یا با استفاده از رله‌ها، کلیدها و ... ساخته می‌شوند.

از مزایای دروازه‌های ترکیبی این است که در آنها به جای دو یا چند دروازهٔ منطقی پایه فقط از یک دروازه استفاده می‌شود.

۱-۲-ترازهای ولتاژ (Voltage levels):

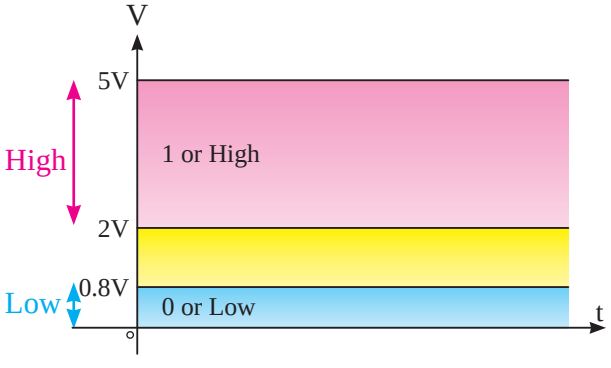
مدارهای منطقی مدارهایی هستند که می‌توانند دو نوع ولتاژ زیر را از یکدیگر تشخیص دهند:

الف) ولتاژ بالا (High)

ب) ولتاژ پایین (Low)

معمولاً مقدار واقعی ولتاژ چندان مهم نیست و در یک محدودهٔ مشخصی از ولتاژ ممکن است این دو حالت اتفاق بیفتد بنابراین، این ولتاژها فقط به‌صورت بالا (High) یا پایین (Low) و یا به اختصار H و L بیان می‌شوند ولتاژهای H و L را ترازهای ولتاژ (Voltage levels) نیز می‌گویند.

به‌عنوان مثال ممکن است ولتاژ بالا را بین ۲ ولت تا ۵ ولت و ولتاژ پایین را بین صفر ولت تا ۰/۸ولت در نظر بگیرند.مقدار ولتاژها را در این دو فاصله با دو حرف H و L که مخفف High و Low است می‌شناسند (شکل ۱-۲).



شکل ۱-۲- ترازهای ولتاژ

معمولاً به جای استفاده از حروف H و L اکثراً از نمادهای۱و ۰برای توصیف حالت ورودی‌ها و خروجی‌های مدارهای منطقی استفاده می‌کنند. ورودی‌ها و خروجی‌ها با دو حالت زیر تعریف می‌شوند.

الف) منطق مثبت (Positive logic)

ب) منطق منفی (Negative logic)

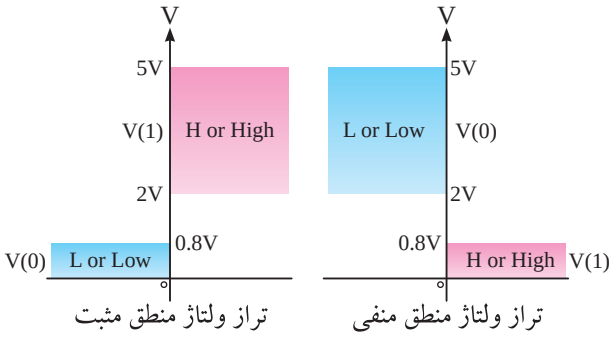
در منطق مثبت عدد «۱» نشان دهندهٔ ولتاژ بالا (H) و صفر نشان دهندهٔ ولتاژ پایین (L) است.

در منطق منفی عدد «۱» نشان دهندهٔ ولتاژ پایین (L) و صفر نشان دهندهٔ ولتاژ بالا (H) است.

تقریباً به‌صورت قراردادی، حرف L را در منطق مثبت به کم‌ترین مقدار مثبت و حرف H را به بیشترین مقدار مثبت اختصاص می‌دهند.در منطق منفی حرف L را به بیشترین و حرف H را به کم‌ترین مقدار ولتاژ نسبت می‌دهند.

به عنوان مثال در منطق مثبت ولتاژ ۰/۸ ولت L و ولتاژ ۵ ولت H است در صورتی که منطق منفی ولتاژ ۰/۸ ولت H و ولتاژ ۵ ولت L است.

شکل ۲-۲ ترازهای ولتاژ منطبق مثبت و منفی را نشان می‌دهد.



شکل ۲-۲-ترازهای مثبت و منفی

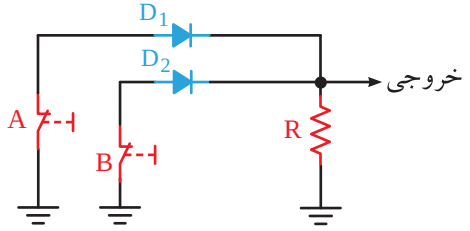
۲-۲- دروازه‌های منطقی پایه:

دروازه‌های منطقی پایه یا گیت‌ها (gates) مدارهایی هستند که تعداد یک یا بیشتر از یک ورودی و یک خروجی دارند. اگر

سیگنال‌های ورودی در یک ترکیب مشخص در ورودی‌ها ایجاد شود، نتیجه را با توجه به شرایط ورودی و نوع گیت استفاده شده به خارج هدایت می‌کنند.

گیت‌هایی که در این قسمت مورد بررسی قرار می‌دهیم دارای دو ورودی هستند ولی می‌توان آنها را برای مدارهایی با بیشتر از دو ورودی نیز تعمیم داد.

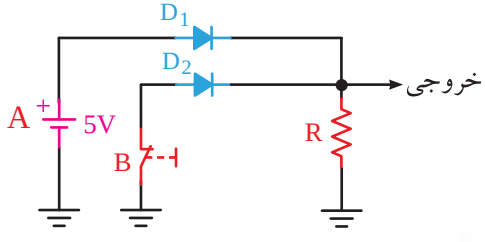
۱-۲-۲-گیـــت OR (یا): ساختمـــان مدار گیت OR با دو ورودی را با استفاده از دیود ایده‌آل در شکل ۲ـ۳ مشاهده می‌کنید.



شکل ۳-۲- ساختمان دیودی گیت OR در حالت قطع D_1 و D_2

در مدار شکل ۳-۲ که با استفاده از دو دیود ساخته شده است، اگر به هر دو ورودی A و B ولتاژ L را اعمال کنیم، دیودها به حالت قطع می‌روند و خروجی مدار در حالت L قرار می‌گیرد.

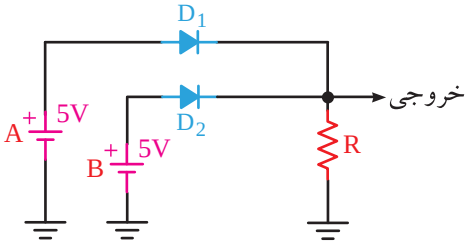
در شکل ۴ـ۲ به ورودی A ولتاژ H و به ورودی B ولتاژ L را اعمال می‌کنیم، دیود D_1 هدایت می‌کند و دیود D_2 در حالت قطع قرار می‌گیرد. خروجی مدار در حالت H قرار می‌گیرد. چون در این حالت دیود D_1 مانند یک کلید بسته عمل می‌کند و ولتاژ خروجی تقریباً برابر با ولتاژ ورودی می‌شود.



شکل ۴-۲- ساختمان دیودی گیت OR در حالت هدایت دیود D_1

به همین ترتیب اگر به ورودی B ولتاژ H و به ورودی A ولتاژ L را اعمال کنیم، دیود D_2 هدایت می‌کند و دیود D_1 به حالت قطع می‌رود. خروجی مدار در حالت H قرار می‌گیرد و ولتاژ خروجی تقریباً برابر با ولتاژ ورودی می‌شود.

اگر به هر دو ورودی A و B ولتاژ H را اعمال کنیم، هر دو دیود D_1 و D_2 هدایت می‌کنند و مانند کلید بسته عمل خواهند کرد در این حالت ولتاژ خروجی تقریباً برابر ولتاژ ورودی می‌شود، (شکل ۵-۲).



شکل ۵-۲- ساختمان دیودی گیت OR در حالت هدایت D_1 و D_2

جدول ۱-۲ وضعیت دیودها را در حالت‌های مختلف نشان می‌دهد.

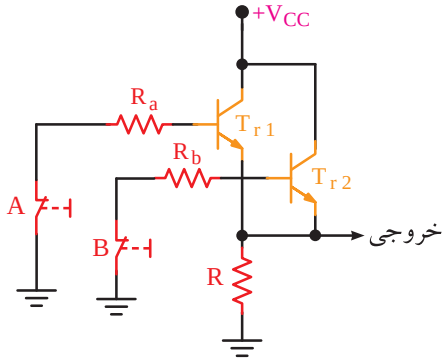
جدول ۱-۲- وضعیت دیودها در گیت OR

A B	D_1	D_2	V_O
L L	قطع	قطع	L
L H	قطع	هدایت	H
H L	هدایت	قطع	H
H H	هدایت	هدایت	H

ساختمان مدار یک گیت OR با دو ورودی را با استفاده از ترانزیستور در شکل ۶ -۲ مشاهده می‌کنید.

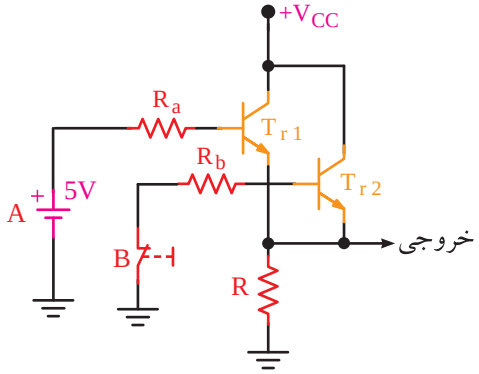
در این مدار امیترها و کلکتورهای ترانزیستورها به هم وصل شده‌اند و خروجی مدار نیز از امیتر مشترک دو ترانزیستور گرفته شده است.

اگر به هر دو ورودی A و B ولتاژ L اعمال شود هیچ یک از ترانزیستورها هدایت نمی‌کند و ولتاژ خروجی در حالت L قرار می‌گیرد.



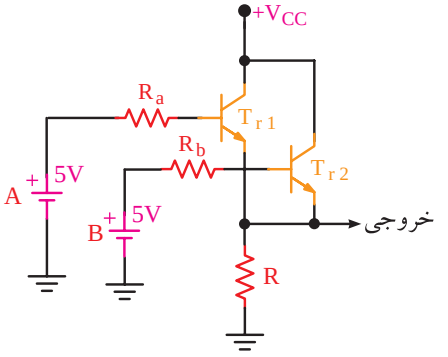
شکل ۶-۲- ساختمان ترانزیستوری گیت OR در حالت قطع هر دو ترانزیستور

اگر به یکی از ورودی‌هایA یا B ولتاژ H اعمال کنیم، ترانزیستور مربوطه هدایت می‌کند و جریان از طریق همان ترانزیستور به مقاومت R می‌رسد، در نتیجه ولتاژ خروجی تقریباً برابر با ولتاژ داده شده به ورودی می‌شود (شکل ۷-۲).



شکل ۷-۲- ساختمان ترانزیستورگیت OR در حالت وصل ترانزیستور Tr_1 و قطع ترانزیستور Tr_2

اگر به هر دو ورودیA وB ولتاژ H بدهیم، مدار مانند حالت قبل عمل می‌کند و ولتاژ خروجی تقریباً برابر با ولتاژ داده شده به ورودی‌ها خواهد شد (شکل۸ -۲).



شکل۸-۲- ساختمان ترانزیستور گیت OR در حالت هدایت هر دو ترانزیستور

جدول۲-۲ وضعیت ترانزیستورها را در حالت‌های مختلف ورودی‌ها نشان می‌دهد.

جدول ۲-۲- وضعیت ترانزیستورها در حالت‌های مختلف ورودی

A B	Tr_1	Tr_2	V_o
L L	قطع	قطع	L
L H	قطع	وصل	H
H L	وصل	قطع	H
H H	وصل	وصل	H

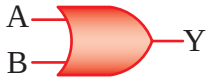
برای هر گیت می‌توان جدول صحت یا جدول درستی تعریف کرد و مقادیر ورودی و خروجی را بر اساس صفر و یک منطقی در آن نشان داد.

جدول۳-۲-جدول صحت گیت OR را نشان می‌دهد.

جدول ۳-۲- جدول صحت گیت OR

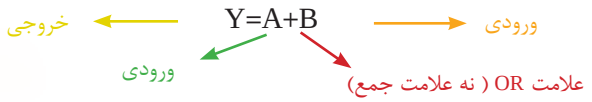
ورودی‌ها A B	خروجی Y
۰ ۰	۰
۰ ۱	۱
۱ ۰	۱
۱ ۱	۱

همان‌طورکه از جدول درستی گیت OR پیداست، خروجی دروازهٔ منطقی OR زمانی در وضعیت یک منطقی قرار می‌گیرد که دست کم یکی از ورودی‌های آن در وضعیت یک منطقی باشد.گیت OR را با نماد شکل ۹-۲ نشان می‌دهند[1].

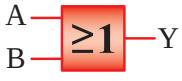


شکل ۹-۲- استاندارد بین‌المللی و امریکایی نماد دروازه منطقی OR

برای اینکه نشان دهیم متغیر A و متغیر B با یکدیگر OR شده‌اند، از رابطهٔ زیر استفاده می‌کنیم:



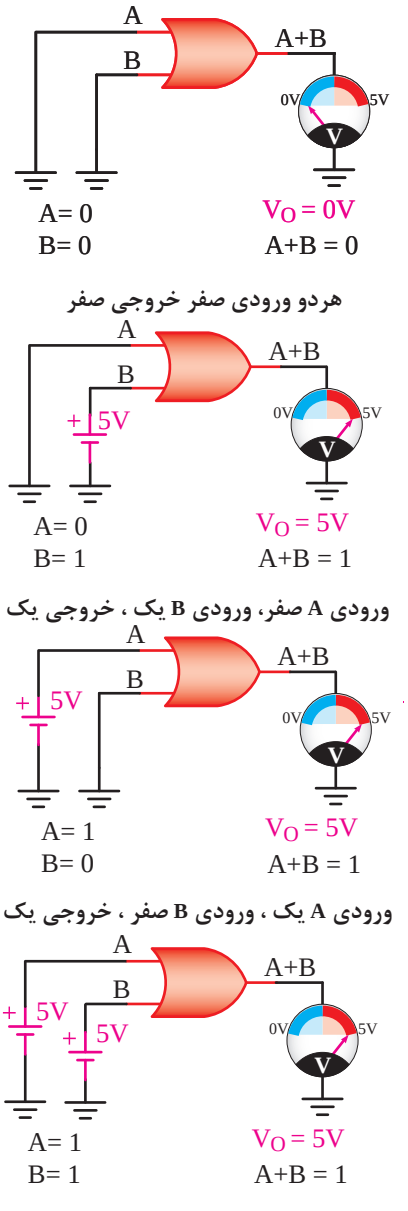
۱- در استاندارد انگلیسی نماد دروازهٔ منطقی OR به صورت



است.

حاصل A + B(A OR B) یا Y (خروجی دروازهٔ OR) زمانی یک است که A یا B یا هر دو در وضعیت یک منطقی قرار گیرند. چنانچه خروجی صفر باشد، A و B هردو در وضعیت صفر منطقی هستند.

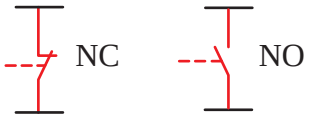
شکل ۲-۱۰ حالات مختلف عملکرد دروازهٔ OR را با استفاده از نمادهای آن نشان می‌دهد.



شکل ۲-۱۰- عملکرد دروازه‌های OR با توجه به‌حالت‌های مختلف ورودی

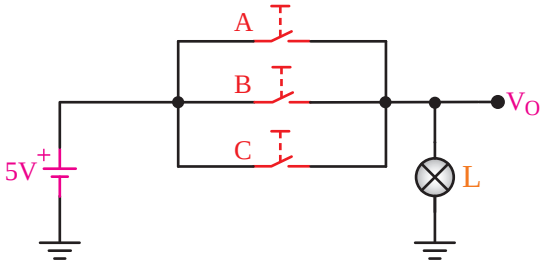
کلیدهای فشاری nc(normally closed) درحالت عادی بسته و no (normally open) در حالت عادی باز، از جمله کلیدهایی هستند که در مدار معادل کلیدی گیت‌های منطقی استفاده دارند.

شکل ۲-۱۱ این کلیدها را نشان می‌دهد.

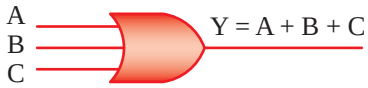


شکل ۲-۱۱- نماد کلیدهای no و nc

یک دروازهٔ OR می‌تواند بیش از دو ورودی داشته باشد؛ برای مثال، درشکل ۲-۱۲یک دروازه با سه ورودی، همراه با مدار معادل کلیدی آن نشان داده شده است[1]:



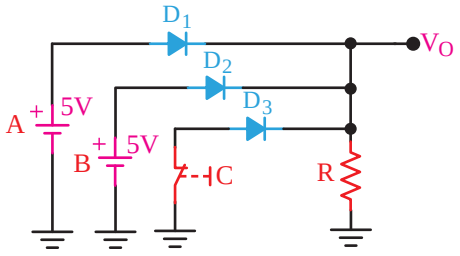
الف) مدار معادل کلیدی دروازهٔ OR با سه ورودی



ب) نماد دروازهٔ OR با سه ورودی

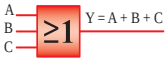
شکل ۲-۱۲- مدار معادل کلید دروازهٔ OR با سه ورودی و نماد آن

مدار دیودی گیت OR با سه ورودی را در شکل ۲-۱۳ مشاهده می‌کنید. در این شکل دیودهای D_1 و D_2 در حالت هدایت و دیود D_3 در حالت قطع است، خروجی در وضعیت H قرار دارد.



شکل ۲-۱۳- مدار دیودی گیت OR با سه ورودی

۱- در استاندارد انگلیسی نماد دروازه منطقی OR با سه ورودی به صورت



است.

تمرین کلاسی ۱-۲: مدار دیودی

گیت OR با سه ورودی در حالتی که هر سه دیود در وضعیت قطع باشند را رسم کنید. خروجی در این وضعیت چه حالتی دارد؟

تمرین کلاسی ۲-۲: مدار دیودی

گیت OR با سه ورودی در حالتی که هر سه دیود در وضعیت وصل باشند را رسم کنید. خروجی در این وضعیت چه حالتی دارد؟

جدول ۴-۲ جدول صحت یک دروازهٔ OR با سه ورودی را نشان می‌دهد.

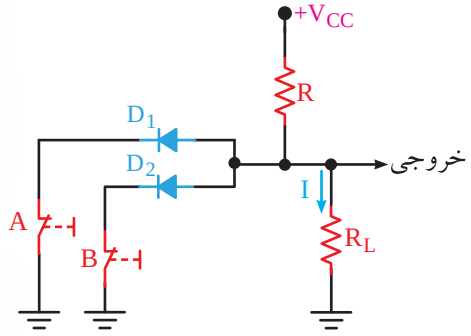
جدول ۴-۲- جدول صحت دروازهٔ منطقی OR با سه ورودی

A	B	C	Y
۰	۰	۰	۰
۰	۰	۱	۱
۰	۱	۰	۱
۰	۱	۱	۱
۱	۰	۰	۱
۱	۰	۱	۱
۱	۱	۰	۱
۱	۱	۱	۱

۲-۲-۲-دروازهٔ منطقی AND (و): ساختمان مدار دروازه منطقی AND با دو ورودی را با استفاده از دو دیود می‌توان نشان داد.

زمانی ولتاژ خروجی بیشترین مقدار(حالت H) را دارد که دیودها قطع باشند. درصورتی که دیودها در حالت اتصال کوتاه قرار گیرند (هدایت کنند)، ولتاژ خروجی حداقل (حالت L) می‌شود. چرا؟ شرح دهید.

شکل ۱۴-۲ دروازه منطقی AND را با دو دیود نشان می‌دهد.

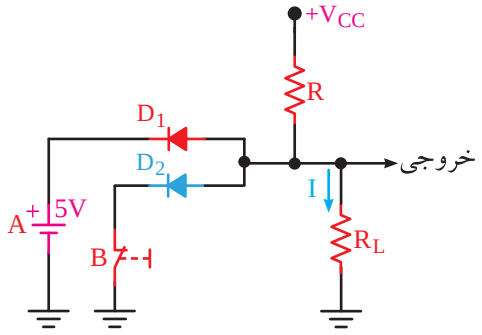


شکل ۱۴-۲- ساختمان دیودی گیت AND در حالت اتصال کوتاه دودیود D_1 و D_2

در این شکل خروجی در حالت L قرار می‌گیرد و هیچ جریانی از مقاومت R_L عبور نمی‌کند.

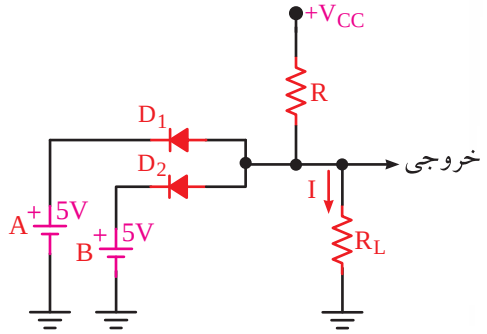
اگر یکی از دیودها در وضعیت وصل باشد و دیگری در حالت قطع، باز هم خروجی در وضعیت L قرار دارد و جریانی از مقاومت R_L عبور نمی‌کند.

شکل ۱۵-۲ گیت AND در حالتی که D_2 هدایت و D_1 قطع است را نشان می‌دهد.



شکل ۱۵-۲- گیت دیودی AND درحالت اتصال کوتاه D_2 و قطع D_1

اگر هر دو دیود D_1 و D_2 در حالت قطع باشند، یعنی ورودی‌ها وضعیت H را دارند، در نتیجه خروجی در حالت H قرار می‌گیرد و جریان I از مقاومت R_L عبور می‌کند. شکل ۱۶-۲ این حالت را نشان می‌دهد.



شکل ۱۶-۲- گیت دیودی AND در حالت قطع هر دو دیود

جدول ۵-۲ جدول صحت گیت AND را در حالت دیودی نشان می‌دهد.

جدول ۵ -۲- جدول صحت گیت دیودی AND

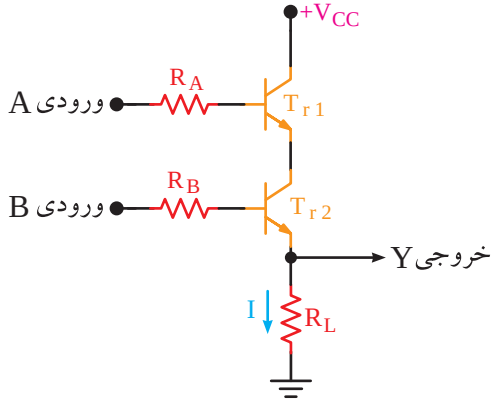
A B	D_1	D_2	V_o
L L	هدایت	هدایت	L
L H	هدایت	قطع	L
H L	قطع	هدایت	L
H H	قطع	قطع	H

جهت هنرجویان علاقه‌مند: توجه داشته باشید که مقدار ولتاژ خروجی در حالت H بستگی به مقدار مقاومت‌های R و R_L دارد. چرا؟ شرح دهید.

ساختمان مدار یک گیت AND با دو ورودی را با استفاده از ترانزیستور در شکل۱۷-۲ مشاهده می‌کنید.

در این مدار دو ترانزیستور به صورت سری در مسیر ولتاژ $+V_{CC}$ و زمین قرار گرفته است. به علت قرارداشتن ترانزیستورها در وضعیت سری فقط در حالتی که ولتاژ H به هر دو ورودیA و B اعمال کنیم جریان برقرار خواهد شد و در نتیجه مقدار خروجی مدار در حالت H یا ۱ منطقی است.

در غیر این حالت ولتاژ خروجی مدار برابر حالت L یا صفر منطقی خواهد بود.



شکل ۱۷-۲- ساختمان ترانزیستوری گیت AND

جهت هنرجویان علاقه‌مند:

ساختمان ترانزیستوری گیت AND درچهار حالت:

ورودی A = L ، ورودی B =L

ورودی A = L ، ورودی B =H

ورودی A = H ، ورودی B =L

ورودی A = H ، ورودی B =H

رسم کنید و به کلاس ارائه نماید و طرز کار هر ترانزیستور رادر تمام حالت‌ها شرح دهید .

جدول ۶ -۲ جدول صحت گیت ترانزیستوری AND را نشان می‌دهد.

جدول ۶ -۲- جدول صحت گیت ترانزیستوری AND

ورودی A	ورودی B	Tr_1	Tr_2	خروجی Y
L	L	قطع	قطع	L
L	H	قطع	وصل	L
H	L	وصل	قطع	L
H	H	وصل	وصل	H

برای گیت AND نیز می‌توان جدول صحت یا جدول درستی را براساس مقادیر صفر و یک منطقی تعریف کرد. جدول ۷-۲ جدول صحت گیت AND را مطابق مقادیرمنطقی نشان می‌دهد.

جدول ۷-۲- جدول صحت گیت AND

A B	Y
۰ ۰	۰
۰ ۱	۰
۱ ۰	۰
۱ ۱	۱

ورودی‌های A و B را متغیرهای ورودی می‌نامیم. همان طورکه ذکر شد، هر متغیر در مدارهای دیجیتالی فقط می‌تواند دو مقدار تعریف شدهٔ صفر و یک را به خود اختصاص دهد. در صورتی که در جبر معمولی این محدودیت وجود ندارد.

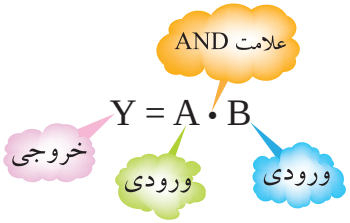
دروازهٔ AND را با نماد[1] شکل۱۸-۲ نشان می‌دهند.

شکل استاندارد بین المللی و امریکایی

شکل ۱۸-۲-نماد دروازهٔ AND

نکتهٔ مهم: در فرایند تألیف این کتاب نمادهای استفاده شده استاندارد بین المللی دارند.

برای نشان دادن این موضوع که متغیر A و متغیر B با یک دیگر AND شده‌اند از رابطهٔ زیر استفاده می کنیم.

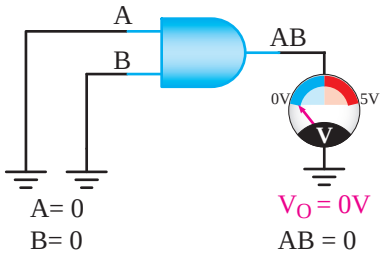


برای ساده نویسی می‌توان علامت نقطه بین متغیرها را حذف کرد و رابطه را به صورت زیر نوشت.

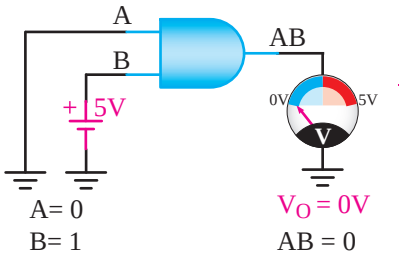
Y=AB

حاصل AB(A AND B) یا Y (خروجی دروازه‌ای AND) زمانی که A و B هر دو یک باشند برابر با یک و چنان‌چه یکی یا هر دو ورودی صفر باشند، برابر با صفر است.

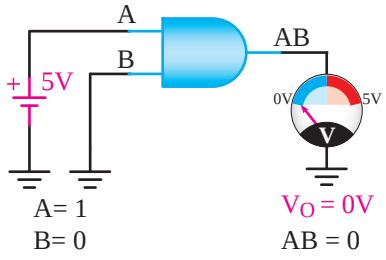
شکل ۱۹-۲ عملکرد دروازهٔ AND را در حالات مختلف نشان می‌دهد.



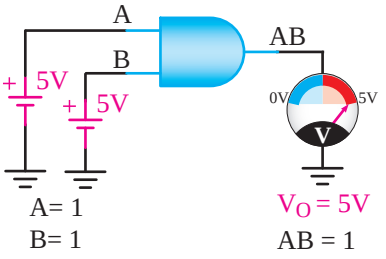
هر دو ورودی صفر، خروجی صفر



ورودی A صفر، ورودی B یک، خروجی صفر

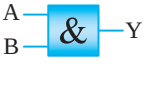


ورودی A یک، ورودی B صفر، خروجی صفر



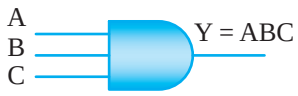
هر دو ورودی یک،خروجی یک

شکل ۱۹-۲- عملکرد دروازهٔ منطقی AND

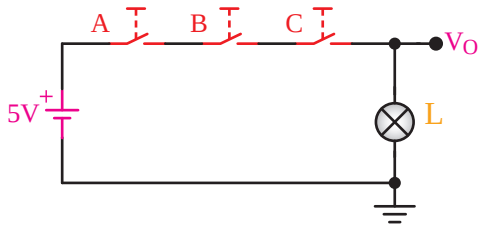
۱- در استاندارد انگلیسی برای گیت AND از نماد 

استفاده می‌شود.

یک دروازه AND می‌تواند بیش از دو ورودی داشته باشد؛ برای مثال، درشکل ۲۰-۲یک دروازه با سه ورودی، همراه با مدار معادل کلیدی آن نشان داده شده است.



الف) نماد دروازهٔ منطقی[1] AND



ب) مدار معادل کلیدی دروازهٔ منطقی AND

شکل ۲۰-۲- نماد AND با سه ورودی و مدار معادل کلیدی آن

جدول صحت مدار گیت AND با سه ورودی در جدول ۸ -۲ نشان داده شده است.

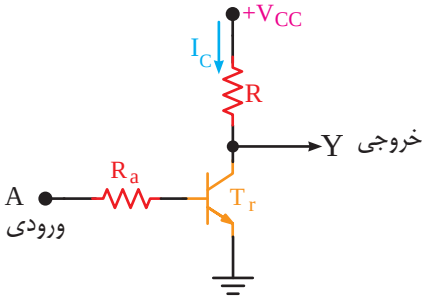
جدول۸-۲- جدول صحت مدار گیتAND با سه ورودی

A	B	C	Y
۰	۰	۰	۰
۰	۰	۱	۰
۰	۱	۰	۰
۰	۱	۱	۰
۱	۰	۰	۰
۱	۰	۱	۰
۱	۱	۰	۰
۱	۱	۱	۱

تمرین کلاسی ۳-۲:

مدار گیت AND با ۴ ورودی را ترسیم و تحلیل کنید، جدول صحت آن را بکشید.

۳-۲-۲- گیت NOT (نه): مدار معادل گیت NOT منطقی را در فصل اول مشـــاهده کردید. برای یادآوری مجدداً آن را در شکل ۲۱-۲ نشان می‌دهیم.



شکل ۲۱-۲- ساختمان ترانزیستور گیت NOT

در ترانزیستور فوق اگر ولتاژ ورودی صفر باشد، ولتاژ بیس صفر می‌شود و ترانزیستور در حالت قطع قرار می‌گیرد. در این حالت به علت صفر شدن I_c، جریانی از مقاومت R عبور نمی‌کند و ولتاژ روی کلکتور ترانزیستورنسبت به زمین برابر با V_{cc}می‌شود. یعنی خروجی مدار در حالت H قرار می‌گیرد. اکنون اگر ولتاژ H را به ورودی مدار بدهیم، ترانزیستور به حالت اشباع می‌رود و خروجی را در حالت L می‌برد.

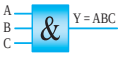
جدول های ۹-۲ جدول صحت یک گیت NOT را نشان می‌دهد.

جدول ۹-۲- جدول صحت گیت NOT

ورودی A	Tr	خروجی Y
L	قطع	H
H	وصل	L

A	Y
۰	۱
۱	۰

همانطور که مشاهده می‌شود، خروجی عکس ورودی است یعنی وقتی ورودی صفر است خروجی برابر با یک و هنگامی‌که ورودی یک است خروجی صفر می‌شود.

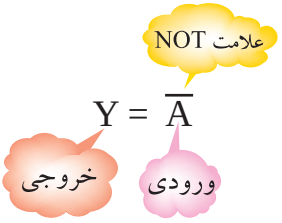
۱- نماد انگلیسی دروازهٔAND با سه ورودی به‌صورت  است.

شکل ۲۲-۲- نماد دروازهٔ منطقی NOT را نشان می‌دهد[1].

استاندارد بین المللی و آمریکایی[2]

شکل ۲۲-۲- نماد دروازه‌ای منطقی NOT

برای نشان دادن این که خروجی برابر با NOT ورودی است، از رابطهٔ زیر استفاده می‌کنیم.

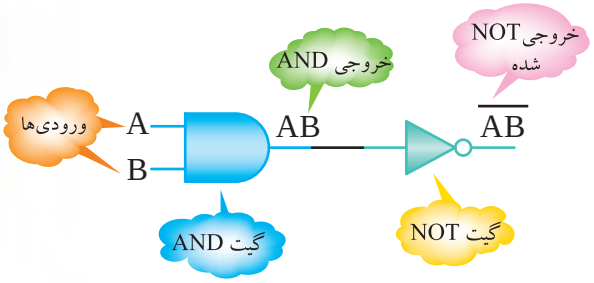


$\bar{A}$ را به صورت «A بار» یا «A، نات» می‌خوانیم.

۲-۳- دروازه‌های منطقی ترکیبی

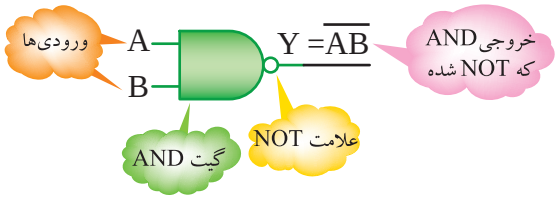
با ترکیب برخی از دروازه‌های اساسی با یکدیگر دروازه‌های منطقی جدیدی ساخته می‌شوند که در ساخت مدارهای الکترونیکی دیجیتالی و کامپیوتری می‌توانند بسیار مفید باشند. دروازه‌های منطقی ترکیبی نیز به صورت مدارهای الکترونیکی یک پارچه یا با استفاده از رله‌ها و کلیدها ساخته می‌شوند. از مزایای دروازه‌های ترکیبی این است که به جای دو یا چند دروازهٔ اساسی می‌توانیم فقط از یک دروازه استفاده کنیم. در ادامه به تشریح دروازه‌های ترکیبی می‌پردازیم.

۲-۳-۱- دروازهٔ منطقی NAND (Not AND): دروازهٔ منطقی NAND از ترکیب دروازهٔ AND و NOT بوجود می‌آید. به عبارت دیگر، ابتدا ورودی‌های این دو دروازه با یک دیگر AND می‌شوند و حاصل آن (که صفر یا یک است) NOT می‌گردد. شکل ۲۳-۲ عملکرد دروازهٔ NAND را نشان می‌دهد.



شکل ۲۳-۲- عملکرد دروازهٔ NAND

همان‌طور که در دروازه‌های منطقی دیگر مشاهده کردید نماد انگلیسی نیز برای دروازه‌های منطقی وجود دارد[3] برای ساده شدن ترسیم دروازه های منطقی NAND، می‌توانیم به جای شکل ۲۳-۲ از نمادهای شکل ۲۴-۲ استفاده کنیم[4].

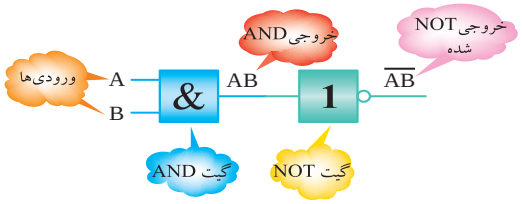


شکل ۲۴-۲- نماد دروازهٔ منطقی NAND

۱- لازم به ذکر است که در اصل، علامت دایره در نماد دروازهٔ منطقی NOT بیانگر عمل NOT می‌باشد. این علامت را در قسمت‌های بعد نیز در ورودی یا خروجی دروازه‌های منطقی مختلف خواهید دید. بنابراین هرگاه یک سیگنال از علامت دایره عبور کند معکوس خواهد شد. در بعضی کتب، به‌جای علامت دایره به معنی NOT از یک مثلث مطابق شکل ——▷— نیز استفاده می‌کنند.

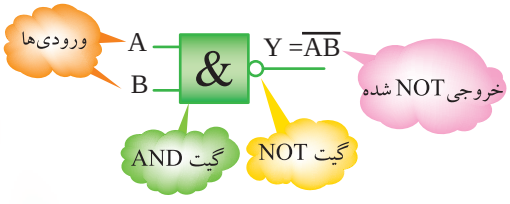
۲- نماد استاندارد انگلیسی دروازهٔ منطقی NOT به صورت A —[1]— Y است.

۳- نماد انگلیسی عملکرد گیت NAND به صورت



است.

۴- در استاندارد انگلیسی گیت NAND به صورت



است.

جدول ۱۰-۲ جدول صحت دروازهٔ منطقی NAND را نشان می‌دهد.

جدول ۱۰-۲- جدول صحت دروازهٔ منطقی NAND و AND

A	B	AB	$\overline{AB}$
۰	۰	۰	۱
۰	۱	۰	۱
۱	۰	۰	۱
۱	۱	۱	۰

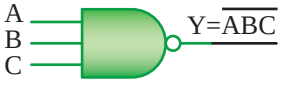
جدول صحت ۱۰-۲ را می‌توانیم به صورت خلاصه‌تر مطابق جدول ۱۱-۲ بنویسیم.

جدول ۱۱-۲- جدول خلاصه شدهٔ دروازهٔ NAND

A	B	Y
۰	۰	۱
۰	۱	۱
۱	۰	۱
۱	۱	۰

همان‌طور که از جدول ۱۱-۲ پیداست، خروجی دروازهٔ NAND زمانی در وضعیت یک منطقی قرار می‌گیرد که دست کم یکی از ورودی‌های آن در وضعیت صفر منطقی باشد.

دروازهٔ منطقی NAND نیز مانند دروازهٔ منطقی AND می‌تواند بیش از دو ورودی داشته باشد. شکل ۲۵-۲ نماد یک دروازهٔ منطقی NAND را با سه ورودی نشان می‌دهد.



استاندارد بین المللی و امریکایی

شکل ۲۵-۲- نماد گیت NAND با سه ورودی

جهت هنرجویان علاقه‌مند:
آیا می‌توانید نماد استاندارد انگلیسی گیت NAND با سه ورودی را رسم کنید؟

جدول صحت دروازهٔ منطقی NAND با سه ورودی به صورت جدول ۱۲-۲ است.

جدول ۱۲-۲- جدول صحت گیت NAND با سه ورودی

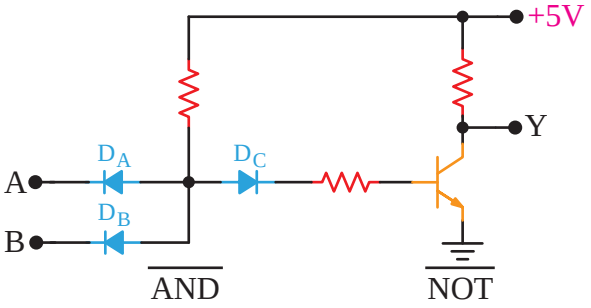
A	B	C	$Y=\overline{ABC}$
۰	۰	۰	۱
۰	۰	۱	۱
۰	۱	۰	۱
۰	۱	۱	۱
۱	۰	۰	۱
۱	۰	۱	۱
۱	۱	۰	۱
۱	۱	۱	۰

نکتهٔ مهم: در گیت NAND زمانی خروجی صفر می‌شود که همهٔ ورودی‌ها یک باشند.

همان‌گونه که ملاحظه می‌کنید، حاصل $\overline{ABC}$ می‌تواند صفر یا یک باشد. این موضوع نشان می‌دهد که ابتدا سه متغیر A، B و C با یکدیگر AND شده‌اند و حاصل آن یعنی خروجی دروازهٔ AND، NOT شده است.

تمرین کلاسی ۴-۲: نماد گیت NAND را با چهار ورودی رسم کنید و جدول صحت آن را تنظیم نمایید.

ساختمان دروازهٔ منطقی NAND: دروازه‌منطقی NAND در بعضی از فناوری‌های ساخت مدارهای مجتمع، از (ICها) دروازهٔ پایه محسوب می‌شود، به طوری که سایر دروازه‌های منطقی با استفاده از این نوع دروازهٔ منطقی ساخته می‌شوند. در شکل ۲-۲۶ مدار الکترونیکی یک نمونه دروازهٔ منطقی NAND را مشاهده می‌کنید.



شکل ۲-۲۶ - مدار الکترونیکی سادهٔ دروازهٔ منطقی NAND

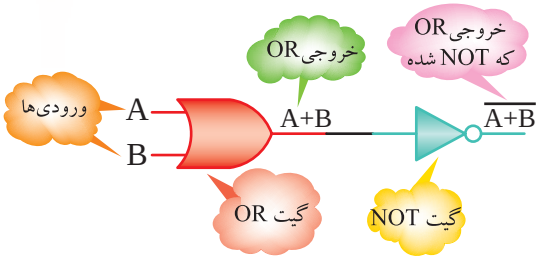
همانطور که در شکل ۲-۲۶ مشاهده می‌کنید مدار الکترونیکی دروازهٔ منطقی NAND ترکیبی از مدار الکترونیکی دروازهٔ منطقی AND و مدار الکترونیکی دروازهٔ منطقی NOT است که با هم عملکرد NAND را بوجود می‌آورند. علت قراردادن دیود D_C در مدار، جلوگیری از تاثیر ولتاژهای ناخواسته در خروجی است که به آن حاشیه نویز می‌گویند. در انتهای همین فصل در این باره توضیح خواهیم داد.

ساختمان داخلی دروازه‌های منطقی که در الکترونیک و کامپیوتر کاربرد دارند ، شامل قطعات و مدارهای الکترونیکی است. در طراحی ساختمان یک دروازهٔ منطقی به منظور افزایش سرعت عملکرد مدار، تا حد امکان از حداقل قطعات استفاده می‌شود.

۲-۳- دروازه منطقی NOR (NOT OR):

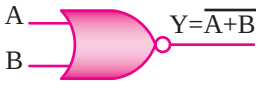
دروازه منطقی NOR از ترکیب دروازه‌های OR و NOT بوجود می‌آید. به عبارت دیگر، ابتدا ورودی‌های این دروازهٔ منطقی با یک دیگر OR می‌شوند و حاصل آن (که صفر یا یک است) را NOT می‌کنند.

در شکل ۲-۲۷ عملکرد دروازهٔ NOR نشان داده شده است[1].



شکل ۲-۲۷- عملکرد دروازهٔ منطقی NOR

برای ساده شدن ترسیم دروازهٔ منطقی NOR می‌توان به‌جای شکل ۲-۲۷ از نماد شکل ۲-۲۸ استفاده کرد[2].

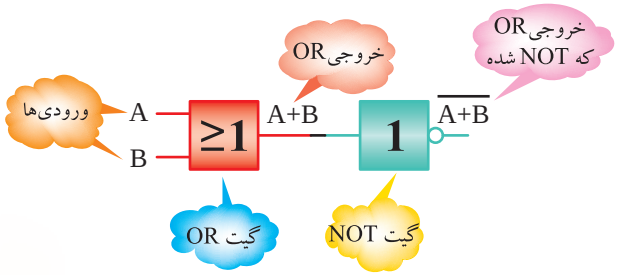


استاندارد بین المللی و امریکایی

شکل ۲-۲۸- نماد گیت NOR

جدول ۲-۱۳ جدول صحت دروازهٔ منطقی OR و NOR را نشان می‌دهد.

۱- در استاندارد انگلیسی عملکرد گیت NOR به صورت



است.

۲- نماد NOR در استاندارد انگلیسی

جدول ۱۳-۲- جدول صحت گیت‌های OR و NOR

A	B	A + B	$\overline{A+B}$
۰	۰	۰	۱
۰	۱	۱	۰
۱	۰	۱	۰
۱	۱	۱	۰

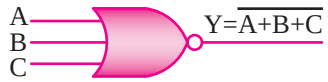
جدول صحت ۱۳- ۲ را می‌توانیم به صورت خلاصه‌تر مطابق جدول ۱۴- ۲ بنویسیم.

جدول ۱۴-۲-جدول خلاصه شدهٔ دروازهٔ منطقی NOR

A	B	Y = $\overline{A+B}$
۰	۰	۱
۰	۱	۰
۱	۰	۰
۱	۱	۰

همان‌طور که از جدول صحت ۱۴-۲ پیداست، خروجی دروازهٔ NOR زمانی در وضعیت یک منطقی قرار می‌گیرد که **همهٔ** ورودی‌های آن در وضعیت صفر منطقی باشند.

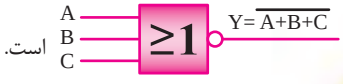
دروازهٔ NOR نیز مانند سایر دروازه‌های منطقی می‌تواند بیش از دو ورودی داشته باشد. شکل ۲۹-۲ یک دروازهٔ NOR با سه ورودی را نشان می‌دهد[1].



شکل ۲۹-۲-نماد گیت NOR با سه ورودی

جدول ۱۵-۲ جدول صحت گیت NOR با سه ورودی را نشان می‌دهد.

۱- در استاندارد انگلیسی نماد NOR با سه ورودی به صورت



است.

جدول ۱۵-۲- جدول صحت گیت NOR با سه ورودی

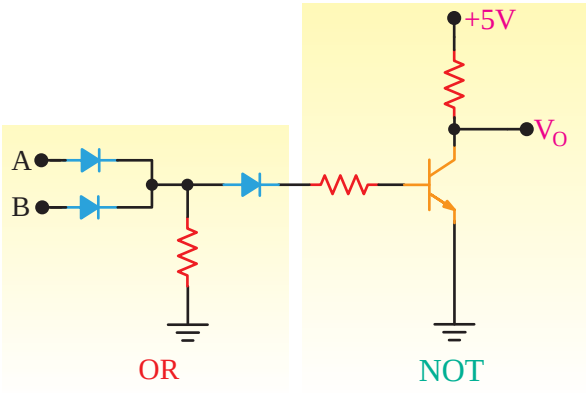
A	B	C	Y
۰	۰	۰	۱
۰	۰	۱	۰
۰	۱	۰	۰
۰	۱	۱	۰
۱	۰	۰	۰
۱	۰	۱	۰
۱	۱	۰	۰
۱	۱	۱	۰

نکتهٔ مهم: توجه داشته باشید زمانی خروجی گیت NOR یک می‌شود که همهٔ ورودی‌ها صفر باشند.

حاصل $\overline{A+B+C}$ می‌تواند صفر یا یک باشد. این عبارت نشان می‌دهد که ابتدا سه متغیر A، B و C با یکدیگر OR می‌شوند و حاصل آن (حاصل OR که صفر یا یک است) NOT می‌گردد. دروازهٔ NOR با بیش از سه ورودی نیز ساخته شده است.

تمرین کلاسی ۵-۲: نمادگیت NOR را با ۴ ورودی رسم کنید و جدول صحت آن را تنظیم نمایید.

ساختمان ورودی گیت NOR شکل ۳۰-۲ مدار الکترونیکی بسیار ساده‌ای از دروازهٔ منطقی NOR را نشان می‌دهد.



شکل ۳۰-۲- مدار الکترونیکی ساده گیت NOR

شکل۳۰-۲ نشان می‌دهد که مدار الکترونیکی دروازهٔ منطقی NOR ترکیبی از مدار الکترونیکی دروازهٔ منطقی OR و مدار الکترونیکی دروازهٔ منطقی NOT که با هم عملکرد NOR را به وجود می‌آورند.

جهت هنرجویان علاقه‌مند: آیا می‌توانید مدار الکترونیکی دیگری برای دروازه‌های منطقی NAND و NOR رسم کنید و آن‌را تحلیل نمایید. نتیجهٔ تحقیق خود را به کلاس ارائه کنید.

۳-۳-۲- دروازهٔ OR انحصاری XOR

(Exclusive OR): ایـــن دروازه فقط دارای دو ورودی اســـت و خروجی آن زمانی یک اســـت که دو ورودی در سطوح منطقی متفاوت باشند (ورودی‌ها یکسان نباشد). جدول صحـــت ۱۶ - ۲ مربوط بـــه دروازهٔ OR انحصاری است.

جدول ۱۶-۲- جدول صحت دروازهٔ OR انحصاری

A	B	Y
۰	۰	۰
۰	۱	۱
۱	۰	۱
۱	۱	۰

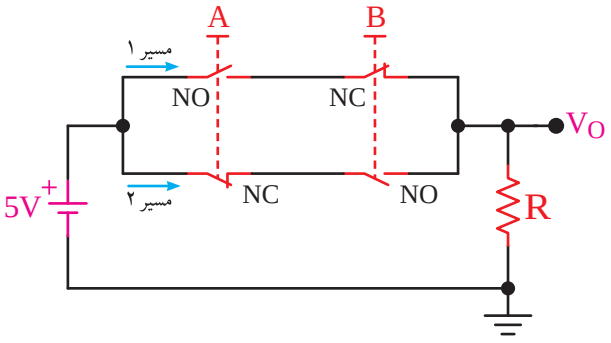
برای بررسی عملکرد دروازه منطقی OR انحصاری می‌توان از مدار کلیدی استفاده کرد.

یادآوری مهم: به نکتهٔ زیر توجه کنید و آن را به خاطر بسپارید.

شستی‌های درحالت عادی باز: این کلیدها در شرایط عادی و حالت آزاد، باز هستند و در صورتی که تغییر حالت پیدا کنند یا به آنها فشار وارد شود، به صورت حالت بسته در می‌آیند. شستی‌های در حالت عادی بازرا normally open می‌نامند و آنها را با NO نمایش می‌دهند.

شستی‌های در حالت عادی بسته: این شستی‌ها در حالت عادی بسته هستند و اگر به آنها فشار وارد شود باز می‌شوند. این شستی‌ها را Normally closed یا NC می‌نامند. در ادامه ازاین کلیدها با اصطلاح NO و NC نام خواهیم برد.

مدار کلیدی گیت XOR را در شکل ۳۱-۲ مشاهده می‌کنید.



شکل ۳۱-۲- مدار معادل کلیدی دروازهٔ OR انحصاری

شستی‌های A و B، شستی‌های دوتایی دوبله NO و NC هستند که با فشار دادن اهرم آنها، یکی از کنتاکت‌های آن بسته می‌شود و کنتاکت دیگر آن باز می‌گردد. از این نوع شستی‌ها برای راه‌اندازی مدارهای فرمان سیستم‌های قدرت مانند موتورهای الکتریکی استفاده می‌شود.

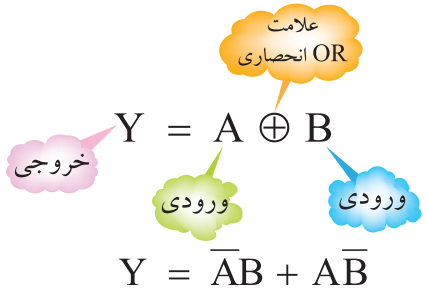
فرض می‌کنیم وضعیت صفر منطقی به گونه‌ای باشد که هیچ نوع فشاری به شستی وارد نشود (شستی‌ها NO و NC حالت طبیعی خود را داشته باشد) و وضعیت یک منطقی حالتی باشد که به شستی فشار وارد می‌کنیم. اکنون فرض کنید به هیچ کدام از شستی‌ها نیرو وارد نکنیم (A = ۰ و B = ۰). در این صورت، هر دو مسیر عبور جریان قطع و V_O = ۰V است.

حال اگر به هر دو شستی نیرو وارد کنیم (A = ۱ و B = ۱)، وضعیت حالات اتصال NO و NC شستی‌های دوبل عوض می‌شود و باز هم هردو مسیر عبور جریان قطع می‌شود، در این حالت V_O = ۰V خواهد شد.

چنان‌چه فقط به یکی از شستی‌ها نیرو وارد کنیم (A = ۰ و B = ۱ یا A = ۱ و B = ۰)، یکی از مسیرها بسته می‌شود و V_O را به ۵ ولت می‌رساند.

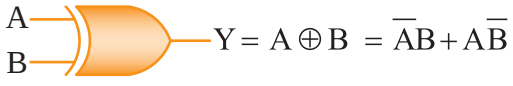
بنابراین، خروجی این دروازه زمانی در وضعیت یک منطقی قرار می‌گیرد که دو ورودی آن از نظر سطح منطقی به یک صورت نباشند (عکس یک دیگر باشند).

برای این که نشان دهیم متغیر A با متغیر B، OR انحصاری شده است، از رابطهٔ زیر استفاده می‌کنیم :

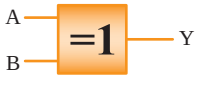


یا

دروازهٔ OR انحصاری را به صورت شکل ۲-۳۲ نمایش می‌دهند[۱].



شکل ۲-۳۲- نماد گیت XOR در استاندارد آمریکایی و بین المللی

۱- نماد انگلیسی دروازهٔ منطقی XOR به صورت  است.

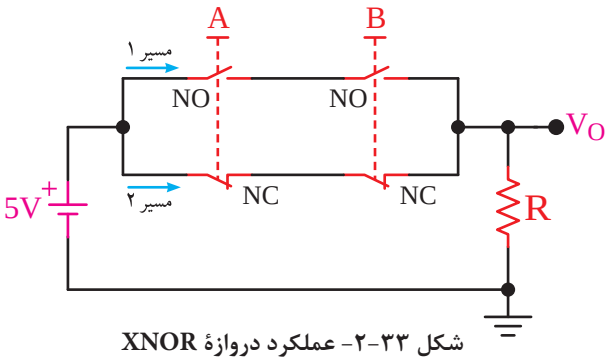
۲-۳-۴- دروازهٔ NOR انحصاری (Exclusive NOR-XNOR):

این دروازه نیز مانند XOR فقط دو ورودی دارد و خروجی آن زمانی یک است که هر دو ورودی آن در یک سطح منطقی باشند(هر دو ورودی یک یا صفر باشند.) جدول صحت ۲-۱۷ مربوط به دروازهٔ NOR انحصاری است.

جدول ۲-۱۷- جدول صحت XNOR

A	B	Y
۰	۰	۱
۰	۱	۰
۱	۰	۰
۱	۱	۱

مدار کلیدی شکل ۲-۳۳ عملکرد دروازهٔ منطقی X-NOR را نشان می‌دهد.



شکل ۲-۳۳- عملکرد دروازهٔ XNOR

همانطور که از شکل ۲-۳۳ پیداست، اگر هیچ نیرویی به شستی A و B وارد نگردد، (A = ۰ و B=۰) مسیر جریان در مدار بسته است، و V_O = ۵V می‌شود و اگر هر دو شستی را فشار دهیم (A = ۱ و B = ۱) بازهم مسیر جریان مدار بسته است، و V_O = ۵V می‌شود. حال اگر **فقط یکی از شستی‌ها** را فشار دهیم (A = ۱ و B = ۰ یا A = ۰ و B = ۱) مسیر جریان در مدار باز می‌شود و V_O=۰V می‌گردد.

برای این که نشان دهیم متغیر A با متغیر B، NOR انحصاری (XNOR) شده است از رابطه زیر استفاده می‌کنیم.

$$Y = \overline{A \oplus B}$$

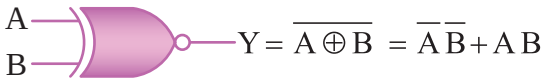
خروجی — ورودی — ورودی

$$Y = \overline{A}\,\overline{B} + AB$$

یا

دروازهٔ منطقی NOR انحصاری (XNOR) را به صورت شکل ۲-۳۴ نمایش می‌دهند.

رابطه منطقی XNOR را به صورت : $Y=A \quad B$ نیز نشان می‌دهند [1].

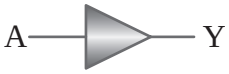


استاندارد بین المللی و امریکایی

شکل ۲-۳۴- نماد دروازهٔ XNOR

چون دروازه‌های منطقی XOR و XNOR از ترکیب دروازه‌های منطقی AND، OR و NOT است بنابراین ساختمان ترانزیستوری آنها نیز ترکیبی از ساختمان گیت‌های اصلی است. به دلیل پیچیدگی مدار از آوردن آنها در این قسمت صرف‌نظر کرده‌ایم.

۲-۳-۵- دروازهٔ بافر Buffer: این دروازهٔ منطقی مانند گیت NOT یک ورودی و یک خروجی دارد. شکل ۲-۳۵ گیت بافر را نشان می‌دهد.



شکل ۲-۳۵-گیت بافر

رابطهٔ منطقی این گیت به‌صورت $Y = A$ است. گیت‌بافر معمولاً به عنوان جداکننده بین دو طبقه استفاده می‌شود و از بارگذاری روی خروجی جلوگیری می‌نماید. در مدارهای دیجیتالی گیت بافر وقتی در خروجی گیت اصلی قرار می‌گیرد، تراز ولتاژ ورودی را عیناً به خروجی مدار انتقال می‌دهد. در داخل گیت بافر مدار تقویت کنندهٔ جریان وجود دارد که میزان جریان دهی خروجی را افزایش می‌دهد.

با استفاده از مدار بافر، مقدار fan out افزایش می‌یابد، یعنی می‌توان تعداد گیت‌های بیشتری را به خروجی گیت اصلی وصل نمود. در این حالت تغذیهٔ خروجی آسیب نمی‌بیند و مدار بارگذاری نمی‌شود.

در ادامه فصل در ارتباط با fan out توضیح بیشتری ارائه خواهد شد.

جدول ۲-۱۸ جدول صحت گیت بافر را نشان می‌دهد.

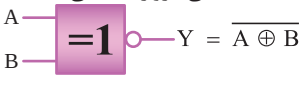
جدول ۲-۱۸- جدول صحت گیت بافر

A	Y
۰	۰
۱	۱

تمرین کلاسی ۲-۶: جریان خروجی یک گیت AND حدود ۲۰ میلی‌آمپر است و می‌تواند یک LED را تغذیه کند، در صورتی که بخواهیم تعداد LEDها را افزایش دهیم، چه تغییری در مدار باید ایجاد کنیم؟

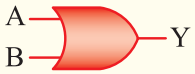
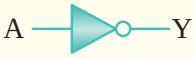
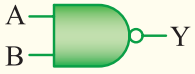
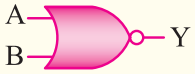
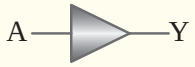
جدول ۲-۱۹ گیت‌های منطقی پایه و ترکیبی را همراه با نماد گرافیکی (استاندارد بین المللی)، تابع منطقی و جدول صحت آنها را نشان می‌دهد.

۱- نماد انگلیسی دروازهٔ منطقی XNOR به صورت



است.

جدول ۱۹-۲- گیت‌های پایه و ترکیبی همراه با نماد، تابع منطقی و جدول درستی

نام دروازه	نماد (سمبل گرافیکی)	تابع منطقی	جدول درستی
AND		$Y = A\,B$	A B Y 0 0 0 0 1 0 1 0 0 1 1 1
OR		$Y = A + B$	A B Y 0 0 0 0 1 1 1 0 1 1 1 1
NOT		$Y = \overline{A}$	A Y 0 1 1 0
NAND		$Y = \overline{A\,B} = (A\,B)'$	A B Y 0 0 1 0 1 1 1 0 1 1 1 0
NOR		$Y = \overline{A + B} = (A + B)'$	A B Y 0 0 1 0 1 0 1 0 0 1 1 0
XOR		$Y = A \oplus B = \overline{A}B + A\overline{B}$	A B Y 0 0 0 0 1 1 1 0 1 1 1 0
XNOR		$Y = \overline{A \oplus B} = \overline{A}\,\overline{B} + A\,B$	A B Y 0 0 1 0 1 0 1 0 0 1 1 1
Buffer		$Y = A$	A Y 0 0 1 1

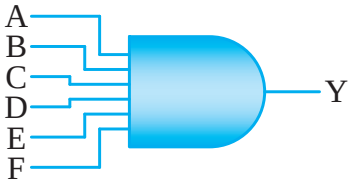
تمرین کلاسی ۲-۷: برای رابطهٔ دروازه‌های منطقی XOR و XNOR با استفاده از دروازه‌های منطقی پایه، مداری طراحی کنید.

۲-۴- مشخصات ویژهٔ دروازه‌های منطقی

مشخصات خانوادهٔ آی سی های دیجیتال معمولاً از طریق تحلیل مدار گیت‌های پایه ای در هر خانواده با هم مقایسه می‌شوند. مهمترین پارامترهای مورد ارزیابی و مقایسه در این خانواده‌ها مقادیر fan-out ، fan -in، حاشیهٔ نویز، تأخیر در انتشار و توان تلف شده است.

اکنون به بررسی مختصری دربارهٔ این مشخصه‌ها می‌پردازیم.

۲-۴-۱- fan-in: حداکثر تعداد ورودی که یک گیت منطقی می‌تواند قبول کند را fan-in آن گیت می‌گویند. مثلاً اگر یک گیت محدود به ۶ ورودی باشد، گوییم fan-in این گیت برابر۶ است. شکل ۲-۳۶ گیت AND را با ۶ ورودی نمایش می‌دهد.

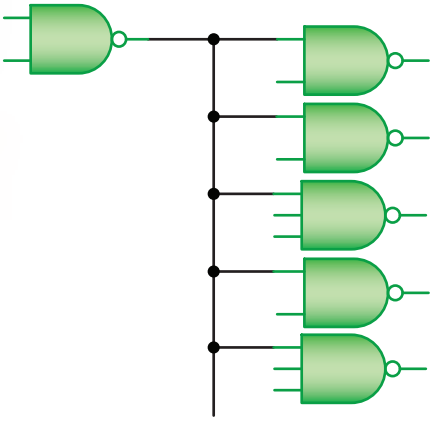


شکل ۲-۳۶- گیت AND با ۶ ورودی

۲-۴-۲- fan-out: حداکثرتعداد گیت‌هایی که می‌تواند از طریق خروجی یک گیت تغذیه شود را fan-out آن گیت گوییم. مثلاً اگر یک گیت دارای fan-out برابر با ۵ باشد خروجی این گیت می‌تواند به ۵ ورودی گیت‌های مختلف یا یکسان وصل شود و آنها را تغذیه کند، به عبارت دیگر با اتصال ۵ گیت به خروجی گیت مورد نظر، ولتاژ خروجی برای حالات منطقی صفر ویک حفظ می‌شود.

شکل ۲-۳۷ یک نمونه کاربرد گیت NAND را با fan - out برابر با ۵ نشان می‌دهد.

fan-out را گنجایش خروجی یک گیت مشخص نیز می‌نامند به عبارت دیگر بدون ایجاد اختلال در کار معمولی این گیت قابل متصل شدن به تعداد گیت‌های تعریف شده در fan-out است.

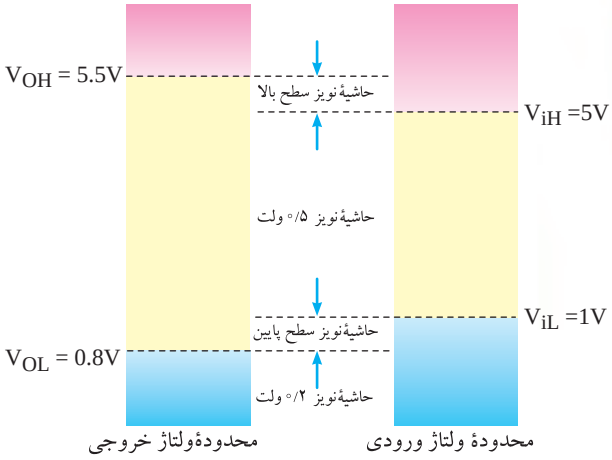


شکل ۲-۳۷- گیت NAND با fan-out برابر ۵

۲-۴-۳- حاشیهٔ نویز Marginal noise: حاشیهٔ نویز در یک گیت منطقی، تأثیر دامنهٔ نویز در ورودی مدار منطقی است. به عبارت دیگر میزان امنیتی است که با ظاهر شدن نویز (هر نوع ولتاژ ناخواسته) در ورودی یک مدار منطقی، بتوانیم اطلاعات را بدون خطا انتقال دهیم و دریافت کنیم. به عبارت دیگر اگر دامنهٔ ولتاژ ناخواسته بیشتر از حاشیهٔ نویز تعریف شده باشد، موجب تغییر وضعیت مدار شده و خروجی نادرست را نتیجه می‌دهد. مثلاً اگر حاشیهٔ نویز تعریف شده برابر ۰/۸ ولت باشد در این حالت، سیگنال نویز نباید به مقداری بیشتر از ۰/۸ ولت برسد. در غیر این صورت موجب بروز خطایی در مدار خواهد شد.

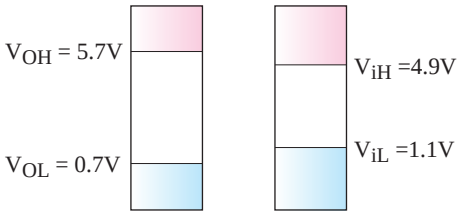
تقریباً در همه‌جا، سیگنال‌های الکترونیکی نامطلوبی وجود دارند که قادر به القاء ولتاژها درسیم‌های رابط بین مدارهای منطقی هستند شکل ۲-۳۸ حاشیهٔ نویز را در محدودهٔ ولتاژ ورودی و محدودهٔ ولتاژ خروجی نشان می‌دهد.حاشیهٔ نویز سطح بالا بین سطح بالای ولتاژ ورودی و سطح بالای ولتاژ خروجی قرار دارد و به همین ترتیب حاشیهٔ نویز سطح

پایین در حد فاصل سطح پایین ولتاژ ورودی و سطح پایین ولتاژ خروجی قرار می‌گیرد.



شکل ۳۸-۲- حاشیهٔ نویز

مثال ۱-۲: حاشیهٔ نویز سطح بالا و سطح پایین را در شکل ۳۹-۲ بدست آورید.



شکل ۳۹-۲- مربوط به مثال

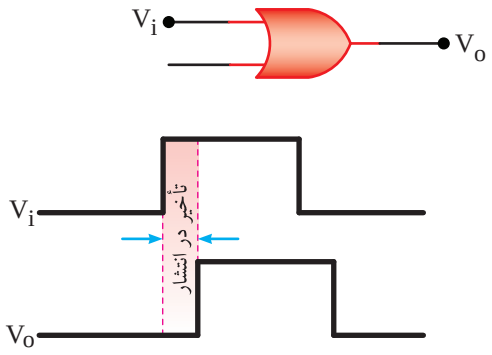
حل :

حاشیه نویز سطح بالا ۰/۸ = ۵/۷-۴/۹

حاشیه نویز سطح پایین ۰/۴ = ۱/۱-۰/۷

۴-۲- تأخیر در انتشار Propagation delay: تأخیر در انتشار عبارت است از زمانی که خروجی یک دروازهٔ منطقی لازم دارد تا تغییر ورودی را از یک حالت به حالت دیگر ظاهر نماید، به عبارت دیگر هر چه تأخیر کمتر باشد سرعت انتقال اطلاعات بیشتر می‌شود.

بنابراین تأخیر در انتشار، یکی از پارامترهای مهمی است که سرعت عملکرد یک سیستم منطقی را مشخص می‌کند. زمان تأخیر انتشار بسیار کوتاه و در حدود چند نانو ثانیه (nsec) است. هر چه تعداد گیت‌ها کمتر باشد تأخیر در انتشار کمتر است. شکل ۴۰-۲ تأخیر در انتشار را در یک دروازهٔ منطقی نشان می‌دهد.



شکل ۴۰-۲- تأخیر در انتشار دروازهٔ منطقی OR

۵-۴-۲-توان تلف شده Power dissipation:

مقدار توانی که در هر گیت به صورت حرارت تلف می‌شود را توان تلف شدهٔ آن گیت می‌گویند و مقدار توان تلف شده برحسب میلی‌وات اندازه‌گیری می‌شود.

۵-۲- استفاده از data book

معمولاً در ساخت دروازه‌های منطقی که عملاً به صورت آی‌سی (IC) در اختیار ما قرار می‌گیرند، از ترانزیستورهای معمولی یا ترانزیستورهای MOSFET[1] استفاده می‌شود.

اگر در یک آی سی از فناوری ترانزیستورهای معمولی استفاده شود، نام آن با حروف SN۷۴ آغاز می‌شود شماره‌هایی که بعد از عدد ۷۴ می‌آید نوع دروازهٔ منطقی یا مدارهای منطقی دیگر را مشخص می‌کند. با مراجعه به کتاب‌های اطلاعات آی‌سی (Transistor Transistor Logic)- (TTL Data Book) می‌توان به نوع آی‌سی پی‌برد. به این نوع آی‌سی‌ها، سری TTL می‌گویند.

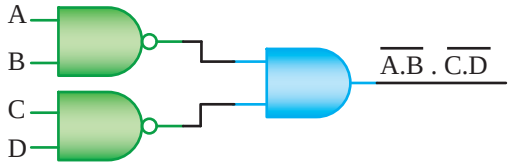
۱ـ در مورد ترانزیستورهای Mosfet به طور اجمالی در کتاب الکترونیک عمومی۲ بحث شده است.

اگر در ساخت آی‌سی مدارهای منطقی از فناوری ترانزیستور MOSFET استفاده شده باشد نام آی‌سی با حروف CD۴۰ شروع می‌شود. شماره‌هایی که بعد از عدد ۴۰ قرار می‌گیرند، نوع دروازهٔ منطقی یا مشخصه‌های دیگر آن را مشخص می‌کند. به این نوع آی‌سی‌ها سری CMOS می‌گویند.

ولتاژ تغذیهٔ آی‌سی‌های سری TTL از ۴/۷۵ ولت تا ۵/۲۵ ولت و ولتاژ تغذیهٔ آی‌سی‌های سری CMOS از ۳ ولت تا ۱۵ ولت است. ولتاژ سطح منطقی یک در این نوع آی سی‌ها، حدود ولتاژ تغذیهٔ آن است.

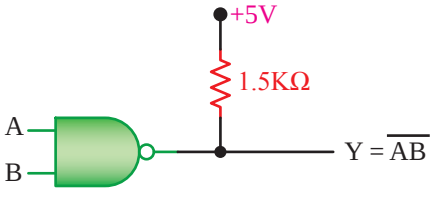
خروجی آی‌سی‌های سری TTL در دو نوع معمولی (Totem pole) و کلکتور باز (Open Collector) ساخته می‌شود.

در نوع معمولی مدار را به همان صورتی که طرح کرده‌ایم می‌توانیم بسازیم برای مثال برای ساختن مدار شکل ۲-۴۱ در عمل سه دروازهٔ منطقی استفاده شده‌است.



شکل ۲-۴۱- مدار دروازهٔ منطقی - معمولی (Totem Pole)

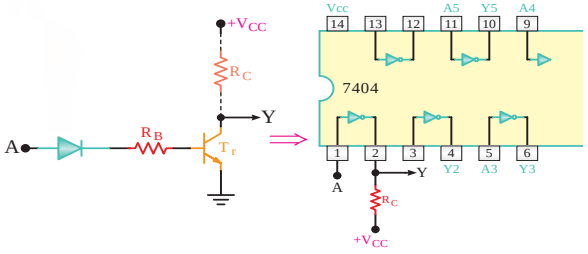
در آی‌سی‌های نوع کلکتور باز خروجی دروازه‌های منطقی را با یک مقاومت حدود ۱ KΩ به $+V_{CC}$ متصل می‌کنیم. شکل ۲-۴۲ نحوهٔ اتصال این مقاومت را نشان می‌دهد.



شکل ۲-۴۲- مدار دروازهٔ منطقی کلکتور باز

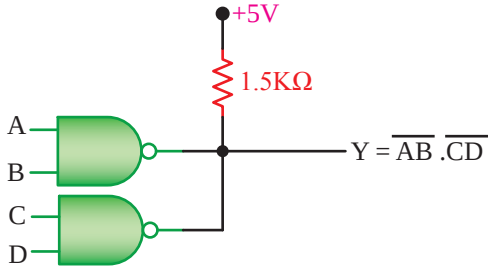
ساختمان داخلی گیت NOT را می‌توانید در شکل ۲-۴۳ مشاهده کنید.

R_C که از خارج به آی سی متصل می‌شود را مقاومت pull up می‌گویند. Pull up به معنی بالا کشیدن است و در اینجا به معنی کامل کردن مدار داخلی به کار می‌رود.



شکل ۲-۴۳- ساختمان داخلی یک گیت نوع کلکتور باز

هنگام تعویض یک دروازهٔ منطقی معیوب با یک دروازهٔ منطقی سالم باید به نوع دروازه (معمولی یا کلکتور باز) توجه کنید. زیرا شکل ظاهری و نماد هر دو نوع آی سی مشابه است. معمولاً در کتاب‌های مرجع برای هر شمارهٔ آی‌سی، نوع معمولی یا کلکتور بازبودن را مشخص می‌کنند. در اغلب این کتاب‌ها فرض را بر این می‌گیرند که همهٔ آی‌سی‌ها معمولی‌اند و فقط آی‌سی‌های کلکتور باز را مشخص می‌کنند. یکی از مزایای آی‌سی‌های کلکتور باز این است که اگر خروجی آنها را به یکدیگر وصل کنیم، مانند دروازهٔ منطقی AND عمل می‌کنند. (شکل ۲-۴۴)



شکل ۲-۴۴- دروازهٔ منطقی AND کلکتور باز

به این نوع AND، AND سیمی می‌گویند. توجه داشته باشید که دروازه‌های معمولی را به هیچ عنوان نباید به یک‌دیگر متصل کنید.

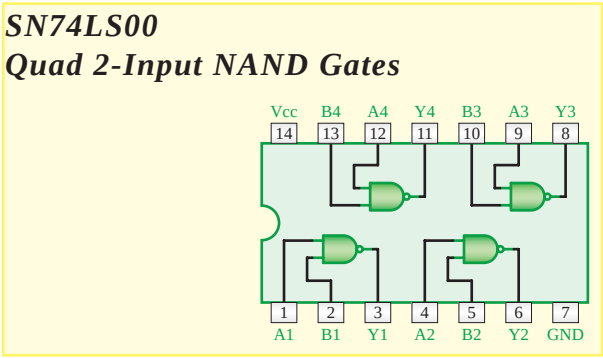
همهٔ دروازه‌های منطقی که در ماشین حساب‌ها و دستگاه‌های مشابه آن به کار می‌روند، الکترونیکی هستند و از سرعت قطع و وصل بسیار بالایی برخوردارند. در صنعت، گاهی به دروازه‌های منطقی نیاز داریم که بتوانند ولتاژهای بالا (مثلاً ۲۲۰ ولت برق شهر) را درخروجی خود با سرعت بسیار بالا قطع و وصل کنند.

در این گونه موارد، دروازه‌های منطقی که با استفاده از رله‌های الکترومغناطیسی یا قطعات الکترونیک صنعتی ساخته می‌شوند را به کار می‌برند.

۱-۵-۲- برگهٔ اطلاعات IC(Data sheet):

دروازه‌های منطقی پایه را معمولاً به‌صورت آی‌سی(IC) می‌سازند و غالباً در هر آی‌سی ۲ تا ۶ دروازهٔ منطقی قرار می‌گیرند. اطلاعات مربوط به ICها را معمولاً در کتاب اطلاعات Data book به صورت برگه‌های اطلاعاتی Data sheet قرار می‌دهند.

شکل ۴۵-۲ قسمتی از برگهٔ اطلاعات آی‌سی شمارهٔ SN۷۴LS۰۰ که مربوط به دروازهٔ منطقی NAND است را نشان می‌دهد. اطلاعات برگه‌ای از یک Data book است.



شکل ۴۵-۲- آی سی N۷۴LS۰۰ مربوط به دروازهٔ منطقی NAND

همان‌طور که در شکل ۴۵-۲ مشاهده می‌کنید این آی‌سی دارای ۱۴ پایه است که پایهٔ ۱۴ مربوط به تغذیهٔ V_{CC} و پایهٔ ۷ مربوط به اتصال زمین (GND) است. در داخل آی سی ۴ عدد دروازهٔ منطقی NAND به طور جداگانه قرار دارد.

در جدول ۲۰ـ۲، جدول مربوط به مشخصات محدودهٔ عملیاتی تضمین شدهٔ دروازهٔ منطقی NAND را مشاهده می‌کنید و در جدول ۲۱ـ ۲ ترجمهٔ فارسی جدول ۲۰ـ۲ آمده است.

جدول ۲۰-۲-جدول مربوط به دروازهٔ منطقی NAND

GUARANTEED OPERATING RANGES

Symbol	Parameter	Min	Typ	Max	Unit
V_{CC}	Supply Voltage	4.75	5.0	5.25	V
T_A	Operating Ambient Temperature Range	0	25	70	°C
I_{OH}	Output Current - High			- 0.4	mA
I_{OL}	Output Current - Low			8.0	mA

جدول ۲۱-۲- جدول فارسی مربوط به دروازهٔ منطقی NAND

علامت	مشخصه	کمترین	نوع	بیشترین	واحد
V_{CC}	ولتاژ تغذیه	۴/۷۵	۰/۵	۵/۲۵	V
T_A	حد محدودهٔ دمای عملکرد	۰	۲۵	۷۰	°C
I_{OH}	جریان بالای خروجی			- ۰/۴	mA
I_{OL}	جریان پایین خروجی			۰/۸	mA

در شکل ۴۶ - ۲ نمای ظاهری این آی‌سی‌ها را در دو نوع پلاستیکی مشاهده می‌کنید.

SOIC مدارمجتمع با پایه‌های کوچک
D Suffix با پسوند D
Case 751A شمارهٔبدنه ۷۵۱A

SOIC: Small Outline Integrated Circuit

Plastic پلاستیکی
N Suffix با پسوند N
Case 646 شمارهٔبدنه ۶۴۶

شکل ۴۶ - ۲- نمای ظاهری آی سی N۷۴LS۰۰

جدول دیگری نیز معمولاً در برگه‌های اطلاعات Data sheet مربوط به دروازهٔ منطقی وجود دارد که مربوط به مشخصات تعداد پایه‌های آی‌سی و آرایش است،جدول ۲۲-۲ قسمتی از جدول اطلاعات آی سی است.

جدول ۲۲-۲- مشخصات تعداد پایه های آی سی و نحوهٔ آرایش آن

ORDERING INFORMATION

Device	Package
SN74LS00N	Pin Dip 14
SN74LS00D	14Pin

بسته‌بندی	قطعه
۱۴ پایه دو ردیفه	SN۷۴LS۰۰N
۱۴ پایه	SN۷۴LS۰۰D

درهرصفحه از اطلاعات مربوط به یک آی‌سی مشخصات دیگری نیز نوشته می‌شود که بر حسب نیاز مورد استفاده قرار می‌گیرد. بررسی این صفحات را در صورت نیاز خودتان انجام دهید.

۲-۵-۲- آشنایی با سری خانوادهٔ TTL: اطلاعات کامل و جزئیات مداری خانواده‌های TTL در مراجع متعدد آمده است.

حروفی که همراه با شمارهٔ تراشه (IC) می‌آید دسته‌بندی می‌شود که در این قسمت به تشریح تعدادی از این دسته‌بندی‌ها می‌پردازیم.

الف) تراشه های TTL استاندارد (Std TTL): در دسترس‌ترین، ارزان‌ترین و در عین حال متنوع‌ترین نوع آی‌سی‌هاست. این آی‌سی‌ها دارای تأخیر انتشار حدود ۱۰ nsec و توان مصرفی هر دروازه حدود ۱۰ mw می‌باشد.

نکتهٔ مهم: اطلاعات مربوط به دسته‌بندی تراشه‌ها صرفاً جهت آشنایی آمده است و فراگیر باید بتواند با مراجعه به منابع از اطلاعات استفاده کند. لذا نیازی به خاطر سپردن این اطلاعات نیست و در صورت پرسش در آزمون باید اطلاعات Data sheet در اختیار هنرجو قرار گیرد.

ب) تراشه‌های TTL شاتکی کم‌مصرف پیشرفته (ALS TTL): شبیه سری LS است ولی در فرایندهای ساخت آن از فناوری پیشرفته‌تری استفاده شده است. ضریب تقویت بالا، تأخیر انتشار حدود ۴nsec و توان مصرفی هر دروازه حدود ۱mw از ویژگی‌های این نوع آی سی است.

پ) تراشه‌های TTL شاتکی پیشرفته (AS TTL): برای سرعت‌های بسیار بالا ساخته شده است که این افزایش سرعت میزان جریان مصرفی آن را زیاد کرده است. تأخیر انتشار در این نوع آی سی‌ها حدود ۱/۵ nsec و توان مصرفی هر دروازه حدود ۲۲ mw است.

ت) تراشه‌های TTL شاتکی سریع (F TTL): از نظر سرعت و توان مصرفی مانند سری AS است.

ث) تراشه های TTL توان بالا (H TTL): به‌علت جریان مصرفی بسیار بالا از رده خارج شده است.

ج) تراشه‌های TTLشاتکی توان پایین (L TTL): به علت سرعت پایین از رده خارج شده است.

چ) تراشه‌های TTL شاتکی کم مصرف(LS TTL): نسبت به سری استاندارد سرعت بیشتری دارد و توان مصرفی آن $\frac{1}{5}$ برابر نوع استاندارد و شبیه سری ALS است.

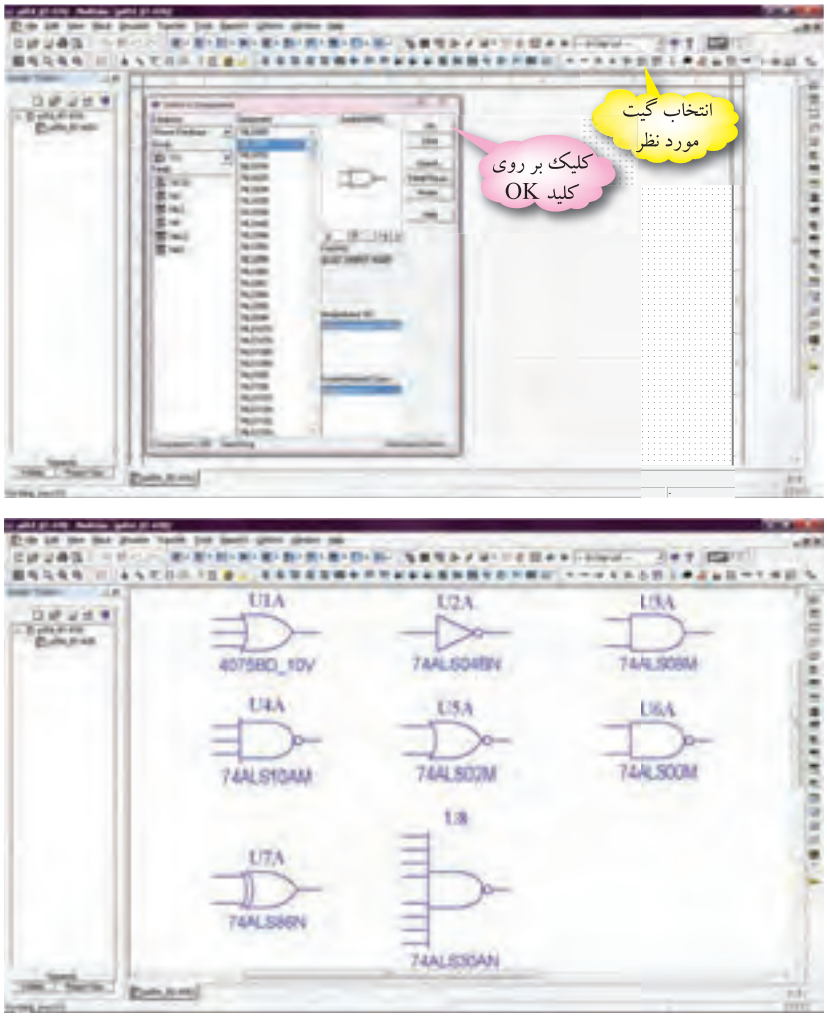
ح) تراشه‌های TTL شاتکی (S TTL): نوع اصلاح شده با سرعت بالا و مصرف پایین است.

توجه: اطلاعات مربوط به سری خانوادهٔ TTL فقط جهت آشنایی است و در آزمون‌ها سؤالی در این رابطه داده نمی‌شود.

۶-۲- استفاده از نرم افزار

با استفاده از نرم‌افزار مولتی سیم می‌توانید دروازه‌های منطقی را برروی میز کار نرم افزار بیاورید و در مدارهای مختلفی که در فصل بعدی آموزش می‌بینید از آن‌ها استفاده کنید.

در شکل ۴۷-۲ طریقهٔ استفاده از کلیدهای مربوط به دروازه‌های منطقی را مشاهده می‌کنید.



شکل ۴۷-۲- نمونه‌ای از دروازه‌های منطقی در نرم افزار

تمرین کلاسی ۸ -۲: انواع دروازه‌های منطقی را در نرم‌افزار مولتی‌سیم شناسایی کنید و نتیجهٔ فعالیت خود را به کلاس ارائه کنید.

۷-۲- الگوی پرسش

۱- مفاهیم زیر را تعریف کنید.

ولتاژ بالا - ولتاژ پایین - منطق مثبت - منطق منفی

۲- مدار دیودی گیت AND را رسم کنید و طرز کار آن را شرح دهید.

۳- یک دروازهٔ AND با چهار ورودی را رسم کنید و جدول صحت آن را بنویسید.

۴- مدار ترانزیستوری گیت OR را رسم و طرز کار آن را شرح دهید.

۵- یک گیت NOT را در مسیر یکی از ورودی‌های گیت OR قرار می‌دهیم. تابع خروجی آن را بنویسید.

۶- در طراحی ساختمان یک دروازهٔ منطقی چه عاملی بر سرعت عملکرد آن تأثیر دارد؟

۷- جدول صحت دروازهٔ X-OR را با سه ورودی بنویسید.

۸- مشخصات ویژهٔ دروازه‌های منطقی را به‌طور خلاصه توضیح دهید.

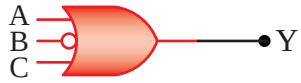
۹- fan-in یک دروازهٔ منطقی برابر با ۴ است این دروازهٔ منطقی چه ویژگی خاصی دارد؟

۱۰- در صورتی که حاشیهٔ نویز یک گیت منطقی ۰/۳۶ ولت باشد و یک سیگنال ناخواسته با ولتاژ ۰/۴ ولت به ورودی آن وارد شود، آیا خللی در کارگیت به وجود می‌آورد؟ چرا؟

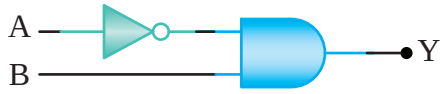
۱۱- جدول صحت و خروجی تابع هر یک از شکل‌های زیر را بنویسید.

الف)

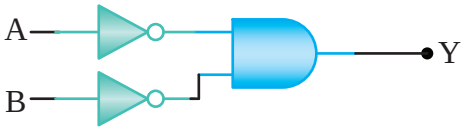
ب)



پ)



۱۲- با استفاده از جدول صحت نشان دهید که مدار زیر مانند یک گیت NOR عمل می‌کند.



۱۳- جدول صحت را برای گیت‌های زیر که هر یک دارای سه ورودی هستند، بنویسید.

NAND - AND - OR - NOR

۱۴- چگونه خروجی یک گیت NAND با سه ورودی همواره صفر منطقی است؟

۱۵- تحت چه شرایطی یک گیت NOR دارای خروجی ۱ است؟ شرح دهید.

۱۶- اطلاعات مربوط به تراشهٔ SN۷۴LS۰۰ که در زیر آمده است را از جدول استخراج و درجدولی توضیح دهید.

SN74LS00

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (Unless otherwise specified)

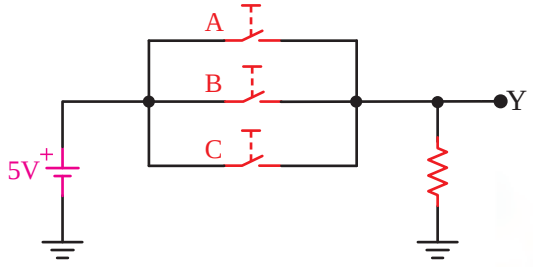
Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
V_{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage forAll Inputs
V_{IL}	Input LOW Voltage			0.8	V	Guaranteed Input LOW Voltage for All Inputs
V_{IK}	Input Clamp Diode Voltage		−0.65	−1.5	V	V_{CC} = MIN , I_{IN} = −18 mA
V_{OH}	Output HIGH Voltage	2.7	3.5		V	V_{CC} = MIN , I_{OH}= MAX , V_{IN} =V_{IH} or V_{IL} per Truth Table
V_{OL}	Output LOW Voltage		0.25	0.4	V	I_{OL}= 4.0 mA; V_{CC}= V_{CC}MIN , V_{IN}=V_{IL} or V_{IH} per Truth Table
			0.35	0.5	V	I_{OL}= 8.0 mA
I_{IH}	Input HIGH Current			20	µA	V_{CC}= MAX , V_{IN}= 2.7 V
				0.1	mA	V_{CC}= MAX , V_{IN}= 7.0 V
I_{IL}	Input LOW Current			−0.4	mA	V_{CC}= MAX , V_{IN}= 0.4 V
I_{OS}	Short Circuit Current (Note 1)	−20		−100	mA	V_{CC}= MAX
I_{CC}	Power Supply Current Total , Output HIGH Total , Output LOW			1.6 4.4	mA	V_{CC}= MAX

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

شکل سؤال ۱۶

توجه: شماره آی سی‌ها جهت آشنایی با مدار داخلی آنهاست و نیاز به حفظ کردن آنها و شمارهٔ پایه‌ها نیست. در صورت استفاده باید به برگه‌های اطلاعاتی هریک در data book مراجعه شود و در آزمون‌ها با ارائهٔ نقشه می‌توان مشخصات فنی را مورد سؤال قرار داد.

۱۷- شکل زیر عملکرد چه نوع دروازهٔ منطقی را نشان می‌دهد رابطه و جدول صحت آن را بنویسید.



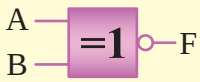
جهت هنرجویان علاقه‌مند:

۱۸- جدول صحت، رابطه و نام دروازه‌های منطقی هر یک از نمادهای زیر را بنویسید.

الف)

ب)

پ)



برای پاسخ به این سؤال از زیر نویس‌های این فصل استفاده کنید.

۱۹- نمادهای دیگر هر یک از موارد سؤال ۱۸ را رسم کنید

۲۰- هنگام تعویض یک دروازهٔ منطقی معیوب با یک دروازهٔ منطقی سالم چه نکته‌ای را مورد توجه باید قرار داد؟

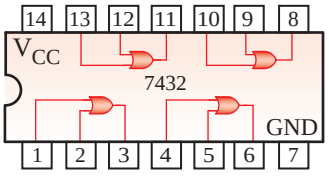
۲۱- آیا در هنگام ساخت مدار می‌توان ترکیبی از دروازه های CMOS و TTL را به کار برد؟

۲۲- اگر تعداد دروازه‌های موجود در یک تراشه بیش از تعداد مورد نیاز باشد، آیا موجب بروز مشکل می‌شود؟

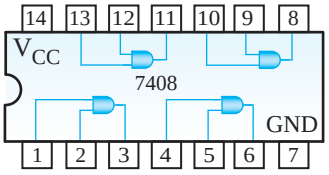
۸-۲- معرفی مشخصات پایه‌های آی‌سی‌های گیت‌های منطقی

شکل ۴۸-۲ نقشهٔ تعدادی از آی‌سی‌های پرکاربرد را در دیجیتال نشان می‌دهد. در این شکل شمارهٔ پایه‌های آی‌سی، تعداد گیت‌ها و ارتباط گیت‌ها با پایه‌ها مشخص شده است. در آی‌سی های شکل ۴۸-۲ پایهٔ ۱۴ تغذیهٔ آی سی و پایهٔ ۷ زمین آی‌سی است.

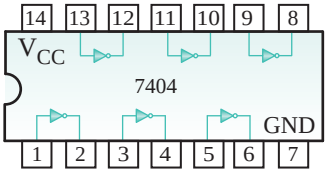
شکل ظاهری آی سی



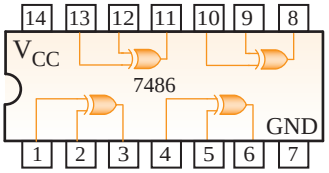
الف) آی سی ۷۴۳۲ گیت OR



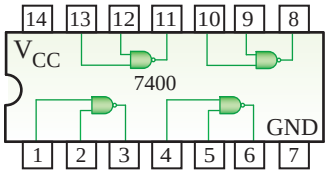
ب) آی سی ۷۴۰۸ گیت AND



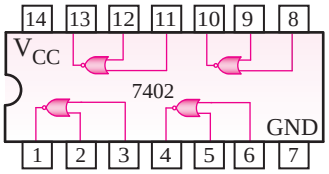
پ) آی سی ۷۴۰۴ گیت NOT



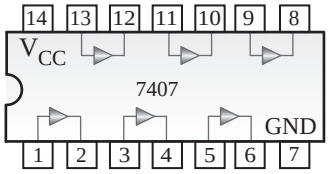
ت) آی سی ۷۴۸۶ گیت XOR



ث) آی سی ۷۴۰۰ گیت NAND



ج) آی سی ۷۴۰۲ گیت NOR



چ) آی سی ۷۴۰۷ گیت بافر

شکل ۴۸-۲- نقشهٔ آی‌سی‌های پر کاربرد