

مدارهای ترتیبی — فلیپ فلاپ‌ها

هدف کلی: آموزش مدارهای ترتیبی و فلیپ‌فلاپ‌ها

کل زمان اختصاص داده شده به فصل: ۲۰ ساعت آموزشی

هدف‌های رفتاری: در پایان این فصل از فراگیرنده انتظار می‌رود که :

- ۱- مفهوم یک سلول حافظه را شرح دهد.
- ۲- مدارهای ترتیبی را تشریح کند.
- ۳- مدار الکترونیکی یک فلیپ‌فلاپ را رسم کند.
- ۴- انواع فلیپ‌فلاپ‌های RS را شرح دهد.
- ۵- بلوک دیاگرام ساده یک فلیپ‌فلاپ نوع RS را رسم کند.
- ۶- دلیل استفاده از فلیپ‌فلاپ نوع RS ساعتی را بیان کند.
- ۷- فلیپ‌فلاپ RS با استفاده از گیت NOR و قرار دهد.
- ۸- تقسیم‌بندی فلیپ‌فلاپ‌ها را براساس عملکرد ورودی پالس ساعت شرح دهد.
- ۹- دلیل استفاده از فلیپ‌فلاپ نوع JK را شرح دهد.
- ۱۰- نحوه ایجاد یک فلیپ‌فلاپ نوع D و کاربرد آن را شرح دهد.
- ۱۱- فلیپ‌فلاپ نوع T و کاربرد آن را توضیح دهد.
- ۱۲- کلیه هدف‌های رفتاری در حیطه عاطفی که در فصل اول آمده است را باید در این فصل مورد توجه قرار دهد.
- ۱۳- به سوال‌های الگوی پرسش پاسخ دهد.

5 0 1 0 1 DIGITAL 5

Flip-Flop	فلیپ فلاپ	Master	اصلی	Data Type	نوع داده
Bistable Multivibrator	مولتی ویبراتور با دو حالت ثابت	Slave	فرعی	Delay	تأخیری
Clock Pulse	پالس ساعت	Toggle	حالت کلیدی مخصوص	Counter	شمارنده
Set	تنظیم کردن	Preset	پیش تنظیم	Race Around	دور خود چرخیدن
Reset	به حالت اولیه برگرداندن	Clear	پاک کردن		
Bounce	لرزش — پرش				

واژه‌های بنیادی فصل پنجم

پیش‌گفتار

تغییر وضعیت یا پذیرش اطلاعات جدید را به کمک یک سیگنال کنترل خاص، که پالس ساعت (Clock Pulse) نامیده می‌شود، تعیین می‌کنند.

۱-۵ - فلیپ‌فلاپ‌ها (Flip-Flops)

مدار ترتیبی که دو وضعیت پایدار دارند را فلیپ‌فلاپ می‌گویند.

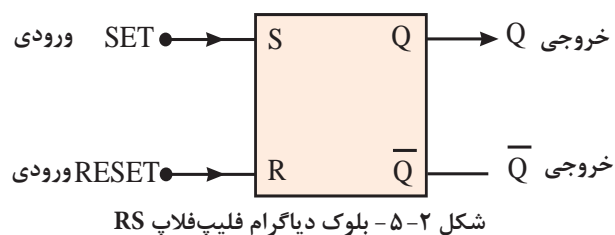
فلیپ‌فلاپ‌ها را در چهار دسته JK, RS, D و T تقسیم‌بندی می‌کنند.

۲-۵ - فلیپ‌فلاپ RS (Reset Set Flip-Flop)

مدارهای ترتیبی هستند که دو وضعیت Set و Reset پایدار دارند.

۱-۲-۵ - فلیپ‌فلاپ RS حافظه: سلول‌های حافظه ساده‌ترین مدارهای ترتیبی هستند. این سلول‌ها را فلیپ‌فلاپ می‌نامند. بلوک دیاگرام مدار فلیپ‌فلاپ RS را در شکل ۲-۵ مشاهده می‌کنید.

در این مدار R حرف اول Reset به معنی بازگرداندن به حالت اولیه و S حرف اول Set به معنی ایجاد حالت مورد نظر است.



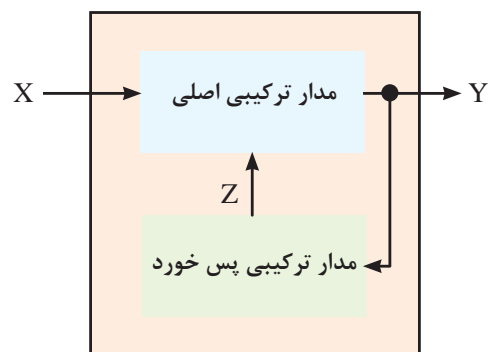
یک سلول حافظه باید قابلیت حفظ اطلاعات ثبت شده (نگهداری) را داشته باشد. به عبارت دیگر، یک سلول حافظه باید دارای قابلیت‌های زیر باشد:

- پذیرش اطلاعات در هر زمان،
- حفظ اطلاعات پذیرفته‌شده تا هر زمان،
- جایگزینی اطلاعات جدید به جای اطلاعات قبلی در هر زمان.

همان‌طور که مشاهده کردید خروجی مدارهای منطقی که تا کنون بررسی کردیم در هر لحظه تابع معینی از ورودی‌های آن‌ها در همان لحظه بود. به عبارت دیگر با تغییر هم‌زمان ورودی‌های مدارها، خروجی‌های آن نیز متناسب با ورودی‌ها تغییر می‌کردند. مدارهای ترکیبی توانایی نگهداری حالت‌های ورودی را ندارند. ماشین‌های حسابگر و سیستم‌های کنترل، برای نگهداری اطلاعات و استفاده مکرر از آن‌ها نیاز به حافظه دارند. مدارهای دارای حافظه را مدارهای ترتیبی می‌نامند. این مدارها قابلیت نگهداری (در حافظه نگه داشتن) ترتیب پیامدها را دارند. یک مدار ترتیبی شامل دو بخش اساسی به شرح زیر است:

الف) بخشی که بر اساس وضعیت قبلی خروجی‌های مدار، توابعی را ایجاد می‌کند. این بخش، مدار پس‌خورد نامیده می‌شود.

ب) بخشی که وضعیت مدار را بر اساس حالت ورودی‌های مدار و ورودی‌های دریافتی از مدار فیدبک مشخص می‌کند و وضعیت جدید سیستم را به وجود می‌آورد. این بخش را مدار اصلی می‌نامند. شکل ۱-۵ بلوک دیاگرام مدار ترتیبی را نشان می‌دهد.



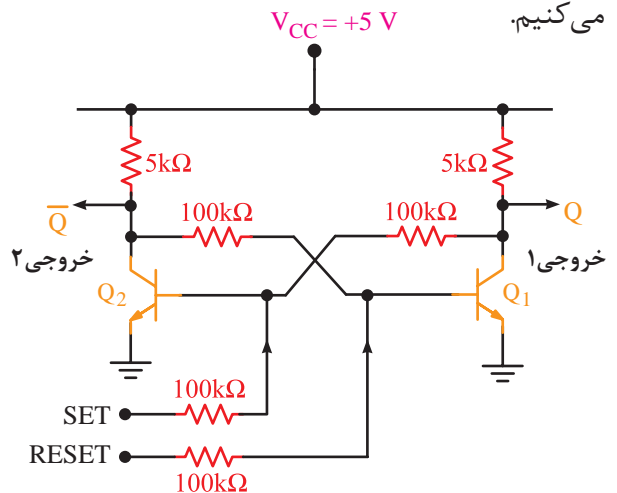
شکل ۱-۵ - بلوک دیاگرام یک مدار ترتیبی

ممکن است یک مدار ترتیبی بیش از یک ورودی یا خروجی داشته باشد. در اغلب مدارهای ترتیبی زمان

۲-۵- مدار الکترونیکی فلیپ فلاپ RS:

فلیپ فلاپها مدارهای الکترونیکی با دو وضعیت پایدار هستند. این گونه مدارها را مولتی ویراتور بی استابل (Bistable multivibrator) می نامند.

در شکل ۳-۵ مدار الکترونیکی یک نمونه از این فلیپ فلاپها را مشاهده می کنید. این فلیپ فلاپ را RS-FF می نامند. در این مدار باید همیشه یکی از ترانزیستورها در حالت قطع و دیگری در حالت اشباع باشد. ورودی های Set و Reset را به ترتیب به بیس ترانزیستورهای Q_1 و Q_2 می دهیم و خروجی های Q و \bar{Q} به ترتیب از کلکتور ترانزیستورهای Q_1 و Q_2 دریافت می کنیم.



شکل ۳-۵ - مدار الکترونیکی یک نمونه فلیپ فلاپ

اگر یک پالس ساعت به ورودی Set برسد، ترانزیستور Q_2 را به حالت اشباع می برد و موجب کاهش شدید ولتاژ کلکتور آن می شود. این کاهش ولتاژ، ترانزیستور Q_1 را به حالت قطع می کشاند؛ زیرا ولتاژ کافی به پایه بیس آن نمی رسد تا روشن بماند. در این حالت شرایط زیر برقرار می شود.

ترانزیستور Q_1 قطع $V_{C1} \approx V_{CC} = +5\text{volt}$

$Q \equiv \text{High} \equiv \langle 1 \rangle$

و

ترانزیستور Q_2 اشباع $V_{C2} = V_{CE(\text{Sat})} \approx 0.2\text{V}$

$\bar{Q} \equiv \text{Low} \equiv \langle 0 \rangle$

در این شرایط می گوئیم فلیپ فلاپ Set شده است. در صورتی که یک پالس به ورودی Reset برسد، ترانزیستور Q_1 را به حالت اشباع می برد و ولتاژ کلکتور ترانزیستور Q_1 را کاهش می دهد. کاهش ولتاژ، بیس ترانزیستور Q_2 را به حالت خاموشی می برد و شرایط زیر حاکم می شود.

ترانزیستور Q_1 اشباع $V_{C1} = V_{CE(\text{Sat})} \approx 0.2\text{V}$

$Q \equiv \text{Low} \equiv \langle 0 \rangle$

و

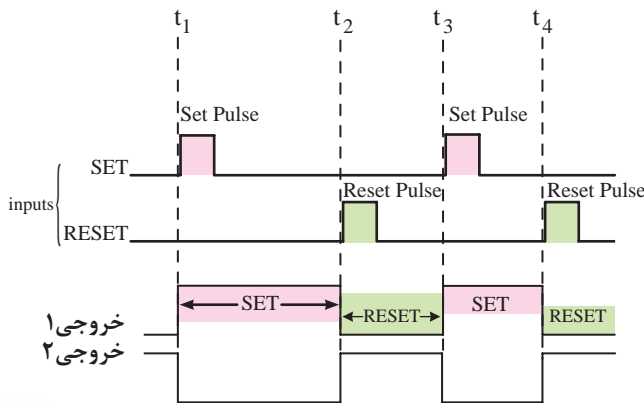
ترانزیستور Q_2 قطع $V_{C2} \approx V_{CC} = +5\text{volt}$

$\bar{Q} \equiv \text{High} \equiv \langle 1 \rangle$

در این حالت می گوئیم فلیپ فلاپ Reset شده است. با قطع پالس های Set و Reset، مدار، آخرین وضعیت خود را حفظ می کند. این وضعیت را حالت ذخیره می نامیم.

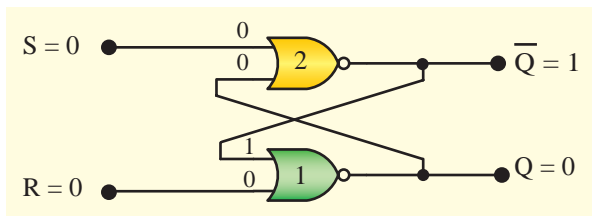
با اعمال همزمان پالس های Set و Reset به هر دو ترانزیستور، این وضعیت یک حالت ناخواسته یا تعریف نشده است که در فرایند کار مدار باید از ایجاد این حالت پرهیز کنیم.

در شکل ۴-۵ نمودار زمانی پالس های Set و Reset و خروجی های Q و \bar{Q} رسم شده است.



شکل ۴-۵ - پاسخ مدار به ورودی های Set و Reset

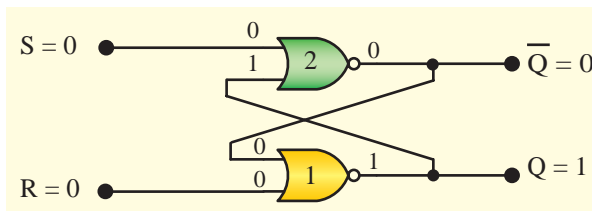
نمی‌کند. شکل ۶-۵ این حالت را نشان می‌دهد.



شکل ۶-۵ - حالت اول $R = 0$ و $S = 0$

حالت دوم: حال اگر $S = R = 0$ و حالت قبلی فلیپ‌فلاپ به صورت $Q = 1$ و $\bar{Q} = 0$ باشد، ورودی‌های دروازه (۱) هر دو در حالت صفر منطقی قرار دارد و خروجی آن در حالت یک باقی می‌ماند، از طرفی چون یکی از ورودی‌های دروازه (۲) در حالت یک منطقی است، خروجی این دروازه نیز در حالت صفر باقی می‌ماند. به این ترتیب باز هم وضعیت خروجی‌ها تغییر نمی‌کند.

شکل ۷-۵ این حالت را نشان می‌دهد.



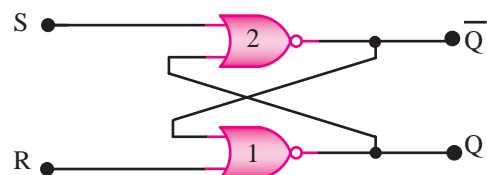
شکل ۷-۵ - حالت دوم $S = 0$ و $R = 0$

حالت سوم: اکنون حالتی را در نظر می‌گیریم که $S = 0$ و $R = 1$ باشد. در این حالت بدون توجه به وضعیت قبلی فلیپ‌فلاپ، به دلیل اینکه یکی از ورودی‌های دروازه (۱) در حالت یک منطقی است، خروجی این دروازه صفر می‌شود. با صفر شدن خروجی دروازه (۱) هر دو ورودی دروازه (۲) در حالت صفر منطقی قرار می‌گیرد و خروجی آن به حالت یک منطقی می‌رود.

به بیان دیگر اگر $S = 0$ و $R = 1$ باشد، بدون توجه به وضعیت قبلی، سیستم به حالت $Q = 0$ و $\bar{Q} = 1$ می‌رود، شکل ۸-۵ این حالت را نشان می‌دهد.

با مراجعه به جدول دوم کتاب آزمایشگاه مجازی مدار فلیپ‌فلاپ RS را شبیه‌سازی کنید و عملکرد آن را مورد تحلیل قرار دهید.

۳-۲-۵ - فلیپ‌فلاپ RS با استفاده از گیت NOR: در شکل ۵-۵ مدار معادل فلیپ‌فلاپ که با دروازه‌های NOR اجرا شده است را مشاهده می‌کنید. در این شکل خروجی گیت شماره ۱ به ورودی گیت شماره ۲ و خروجی گیت شماره ۲ به ورودی گیت شماره ۱ فیدبک شده است. تفکیک مدارهای پس‌خورد (فیدبک) و اصلی از یکدیگر امکان‌پذیر نیست. این گونه مدارها را مدارهای ادغام شده در یکدیگر می‌نامند.



شکل ۵-۵ - مدار SR-FF با گیت‌های NOR

مدار دارای دو ورودی اصلی S و R و دو ورودی \bar{Q} و Q از طریق مدار فیدبک است. لذا می‌تواند $2^3 = 8$ حالت مختلف داشته باشد. می‌دانیم در دروازه NOR اگر یکی از ورودی‌ها در حالت «یک» منطقی باشد، خروجی آن در حالت «صفر» منطقی قرار می‌گیرد. با در نظر گرفتن این نکته و با توجه به تأخیر در انتشار گیت‌های منطقی به تشریح مرحله به مرحله مدار می‌پردازیم.

حالت اول: اگر ورودی‌های S و R هر دو در حالت صفر منطقی باشد و حالت قبلی فلیپ‌فلاپ به صورت $Q = 0$ و $\bar{Q} = 1$ باشد؛ هر دو ورودی دروازه (۲) در حالت صفر قرار می‌گیرد لذا خروجی آن در حالت یک باقی می‌ماند (سطر اول جدول صحت NOR) از سوی دیگر یکی از ورودی‌های دروازه (۱) در حالت یک قرار دارد لذا خروجی این دروازه نیز در حالت صفر باقی می‌ماند. به عبارت دیگر، وضعیت خروجی‌ها تغییر

فوق را می‌توانیم به صورت جدول ۵-۱ خلاصه کنیم.
جدول ۵-۱ - جدول صحت فلیپ فلاپ SR

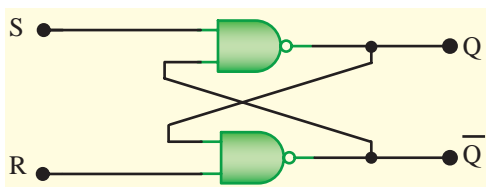
وضعیت ورودی ها	وضعیت قبلی FF-RS خروجی	وضعیت فعلی FF-RS خروجی
S R	$Q_{(t-1)}$ $\bar{Q}_{(t-1)}$	$Q_{(t)}$ $\bar{Q}_{(t)}$
0 0	0 1	0 1
0 0	1 0	1 0
0 1	0 1	0 1
0 1	1 0	0 1
1 0	0 1	1 0
1 0	1 0	1 0
1 1	0 1	0 0
1 1	1 0	0 0

برای بهتر به خاطر سپردن جدول ۵-۱ آن را به صورت جدول ۵-۲ خلاصه می‌کنیم.

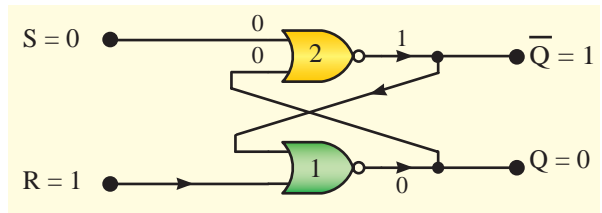
جدول ۵-۲ - مختصر شدهٔ SR-FF با دروازه‌های NOR

S	R	$Q_{(t)}$	
0	0	$Q_{(t-1)}$	← حفظ وضعیت قبلی
0	1	0	← Reset
1	0	1	← Set
1	1	*	← غیر مجاز

۵-۲-۴ - فلیپ فلاپ RS با استفاده از گیت NAND
 NAND: فلیپ فلاپ SR را می‌توان با دروازه‌های NAND نیز طراحی کرد. در شکل ۵-۱۱ مدار یک فلیپ فلاپ که با دروازه‌های NAND طراحی شده‌است را مشاهده می‌کنید، در جدول ۵-۳ جدول صحت آن دیده می‌شود.

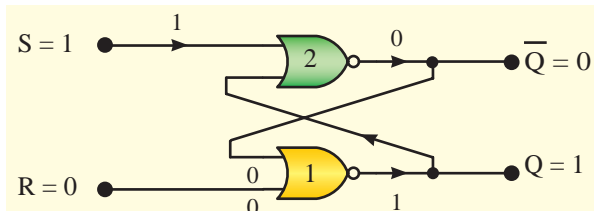


شکل ۵-۱۱ - فلیپ فلاپ SR با گیت‌های NAND



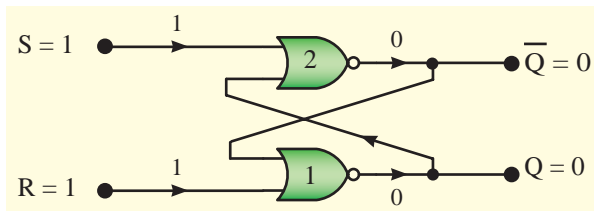
شکل ۵-۸ - حالت سوم $R=1$ و $S=0$

حالت چهارم: اگر $S=1$ و $R=0$ باشد، چون یکی از ورودی‌های دروازهٔ (۲) در حالت یک منطقی است و خروجی آن به حالت صفر منطقی می‌رود. در این صورت، هر دو ورودی دروازهٔ (۱) در حالت صفر منطقی قرار می‌گیرد و خروجی این دروازه نیز یک می‌شود به بیانی دیگر اگر $S=1$ و $R=0$ باشد، بدون توجه به وضعیت قبلی سیستم، $Q=1$ و $\bar{Q}=0$ می‌شود. شکل ۵-۹ این حالت را نشان می‌دهد.



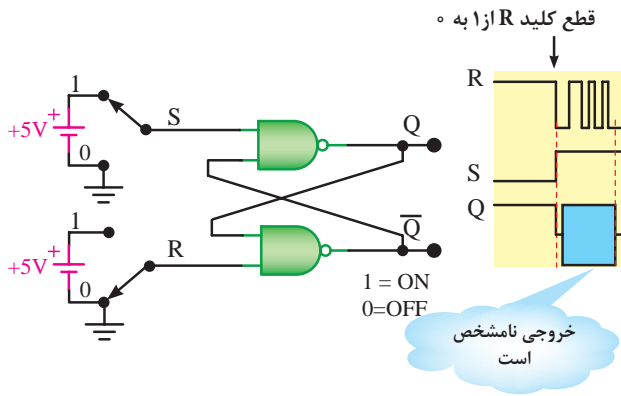
شکل ۵-۹ - حالت چهارم $S=1$ و $R=0$

حالت پنجم: حالتی را در نظر می‌گیریم که $S=R=1$ شود. در این حالت نیز چون دست کم یکی از ورودی‌های هر دو دروازهٔ (۱) و (۲) در حالت یک منطقی است، خروجی‌های هر دو دروازه در حالت صفر منطقی قرار می‌گیرد. شکل ۵-۱۰ این حالت را نشان می‌دهد.

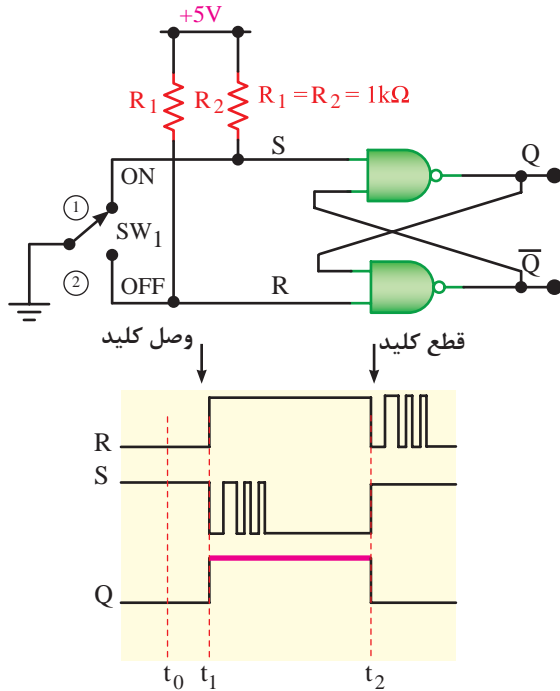


شکل ۵-۱۰ - حالت پنجم $S=1$ و $R=1$

اگر وضعیت خروجی‌های فلیپ فلاپ را قبل از تغییر حالت با $Q_{(t-1)}$ و $\bar{Q}_{(t-1)}$ وضعیت خروجی‌های آن را بعد از تغییر حالت با $Q_{(t)}$ و $\bar{Q}_{(t)}$ نشان دهیم، تحلیل



شکل ۱۲-۵- اثر لرزش کلید در مدار فلیپ‌فلاپ SR با گیت NAND
این قطع و وصل‌ها ممکن است باعث بروز اشتباهاتی در عملکرد مدارهای منطقی ترتیبی شود برای حذف این لرزش‌ها از مدار شکل ۱۳-۵ استفاده می‌کنیم. مقاومت‌های Pull up یا افزایشده سطح ولتاژ



شکل ۱۳-۵- مدار فلیپ‌فلاپ SR بدون اثر لرزش کلید

در شکل ۱۳-۵ اگر کلید را در حالت (۱) فرض کنیم فلیپ‌فلاپ Set می‌شود. حال اگر کلید تغییر وضعیت دهد، به محض اولین اتصال با کنتاکت (۲) مقدار $S=1$ می‌شود و فلیپ‌فلاپ را Reset می‌کند. جدا شدن کنتاکت متحرک کلید از کنتاکت ثابت (۲)، در فلیپ‌فلاپ حالت ذخیره ($S=R=1$) به وجود می‌آید. لذا خروجی‌های آن تغییر وضعیت نمی‌دهد. همین‌طور

جدول ۳-۵ جدول صحت فلیپ‌فلاپ SR با گیت NAND

S	R	$Q(t)$	
0	0	*	← غیر مجاز
0	1	1	← Set
1	0	0	← Reset
1	1	$Q(t-1)$	← حالت ذخیره

تمرین کلاسی ۱-۵: جدول صحت ۴ حالتی مدار شکل ۱۱-۵ را به دست آورید و آن را با جدول صحت ۴ حالتی فلیپ‌فلاپ طراحی شده با دروازه‌های NOR مقایسه کنید.

فلیپ‌فلاپ SR را به نام قفل SR (SR-Latch) نیز می‌نامند. زیرا پس از، از بین رفتن فرمان‌های Set یا Reset فلیپ‌فلاپ طبق جدول ۴-۵ در آخرین وضعیت خود قفل می‌شود.

جدول ۴-۵- جدول فلیپ‌فلاپ قفل SR

S	R	$Q(t)$	
0	0	*	← غیر مجاز
0	1	1	← Set
1	0	0	← Reset
1	1	$Q(t-1)$	← حالت ذخیره

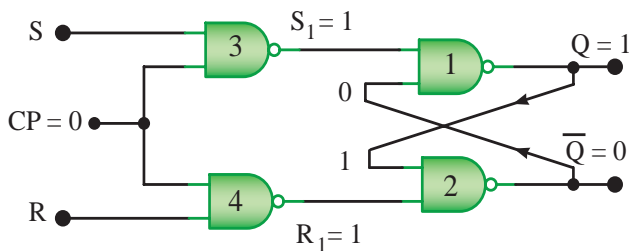
یکی از کاربردهای مدار شکل ۱۱-۵ حذف لرزش کلیدهای مکانیکی (Bounce) است. وقتی یک کلید، تغییر وضعیت می‌دهد به دلیل لرزش ناشی از این تغییر وضعیت، در طی چند میلی ثانیه اول قطع و وصل‌های مکرر در بین کنتاکت ثابت و کنتاکت متحرک کلید پدید می‌آید، شکل ۱۲-۵ وضعیت اثر لرزش کلیدها را نشان می‌دهد.

Clock Pulse یا پالس ساعت ورودی (CP) به عنوان یک سیگنال فعال ساز عمل می کند. هنگامی که $CP=0$ است، S_1 و R_1 یک می شود. در این شرایط خروجی Q و \bar{Q} تغییر وضعیت نمی دهند و حالت قبل خود را حفظ می کنند، شکل ۱۵-۵ و ۱۶-۵ این حالت ها را نشان می دهد.

در واقع این شکل ها نشان می دهد که وضعیت S و R هر چه باشد چون پالس ساعت در وضعیت صفر منطقی است، خروجی حالت قبل خود را حفظ می کند و ثابت می ماند.

ورودی های S و R اثری در

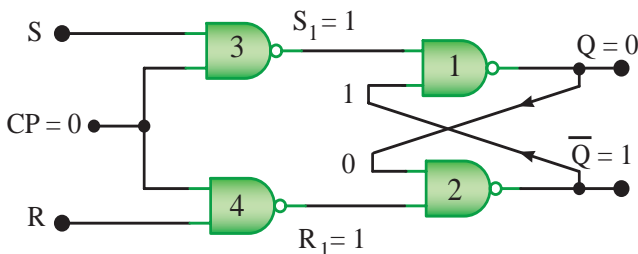
خروجی ندارند.



شکل ۱۵-۵ - خروجی $Q=1$ حالت قبل را حفظ می کند و ثابت می ماند.

ورودی های S و R اثری در

خروجی ندارند.



شکل ۱۶-۵ - خروجی $Q=0$ حالت قبل را حفظ می کند و ثابت می ماند.

اگر $CP=1$ شود خروجی گیت NAND شماره ۳ و ۴ براساس ورودی های S و R تغییر می کند و در این حالت خروجی Q و \bar{Q} مطابق جدول درستی فلیپ فلاپ $S-R$ می شود شکل ۱۷-۵ مدار فلیپ فلاپ $S-R$ ساعتی را در زمان اعمال پالس ساعت نشان می دهد.

به هنگام تغییر وضعیت از ۲ به ۱ نیز با اولین تماس کنتاکت متحرک با کنتاکت ثابت ۱ فلیپ فلاپ Set می شود.

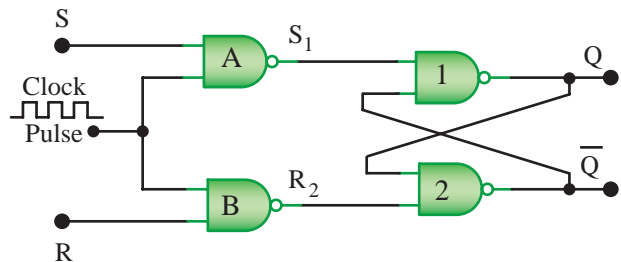
۵-۲-۵ - فلیپ فلاپ SR ساعتی: فلیپ فلاپ SR

دو اشکال اساسی دارد:

۱) عکس العمل نشان دادن فوری نسبت به تغییر وضعیت ورودی ها

۲) وجود حالت تعریف نشده (غیر مجاز)

نخستین اشکال، عکس العمل نشان دادن فوری نسبت به تغییر وضعیت ورودی ها است. یعنی به محض آن که ورودی های مدار تغییر کند، خروجی های آن نیز متناسب با این تغییر وضعیت ها، تغییر می کند. برای رفع این مشکل، مدار فلیپ فلاپ SR را مطابق شکل ۱۴-۵ اصلاح می کنیم. در این مدار پالس ساعت (Clock Pulse) به عنوان یک سیگنال فعال ساز عمل می کند.



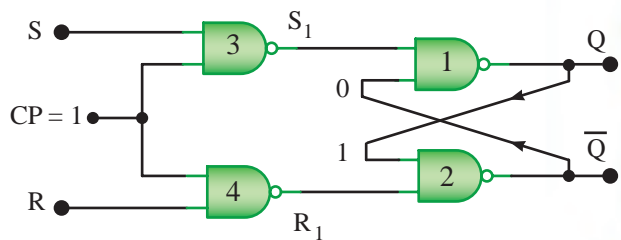
شکل ۱۴-۵ - مدار فلیپ فلاپ SR ساعتی

جدول ۵-۵ جدول صحت فلیپ فلاپ SR ساعتی را نشان می دهد.

جدول ۵-۵ - جدول صحت فلیپ فلاپ SR ساعتی

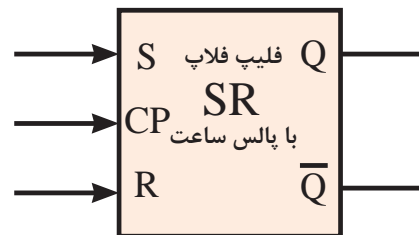
Clock	S	R	Q
0	0	0	تغییر نمی کند
0	0	1	" "
0	1	0	" "
0	1	1	" "
1	0	0	تغییر نمی کند
1	0	1	0 Reset
1	1	0	1 Set
1	1	1	غیر مجاز

صفر منطقی باشد، ورودی‌های دروازه‌های (۱) و (۲) که فلیپ‌فلاپ RS را می‌سازند، در حالت $S_1 = R_1 = 1$ هستند و فلیپ‌فلاپ در حالت ذخیره باقی می‌ماند. به عبارت دیگر، ورودی‌های S و R را حس نمی‌کند. وقتی پالس ساعت حالت یک منطقی داشته باشد، دروازه‌های ۳ و ۴ شکل ۵-۱۷ باز شده و اطلاعات ورودی توسط فلیپ‌فلاپ خوانده می‌شود.



شکل ۵-۱۷ - CP=1 است. Q و Q-bar از مقادیر S و R تبعیت می‌کنند.

شکل ۵-۱۸ - بلوک دیاگرام فلیپ‌فلاپ SR ساعتی را نشان می‌دهد.

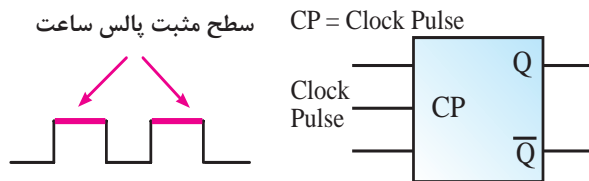


شکل ۵-۱۸ - بلوک دیاگرام فلیپ‌فلاپ SR ساعتی

۳-۵- تقسیم‌بندی فلیپ فلاپ‌ها براساس پالس ساعت

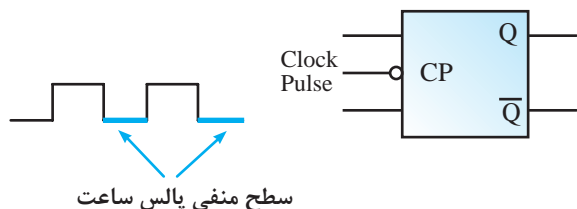
چگونگی عملکرد فلیپ‌فلاپ‌ها را براساس پالس ساعت نیز تقسیم‌بندی می‌کنند. در این تقسیم‌بندی چهار حالت به وجود می‌آید.

حالت اول: عامل با سطح مثبت پالس ساعت: اگر فلیپ‌فلاپ با سطح مثبت پالس ساعت عمل کند (عامل با سطح مثبت)، یعنی در شرایطی که Clock در حالت پایدار یک است، اطلاعات ورودی را بپذیرد آن را به صورت شکل ۵-۲۰ نشان می‌دهند.



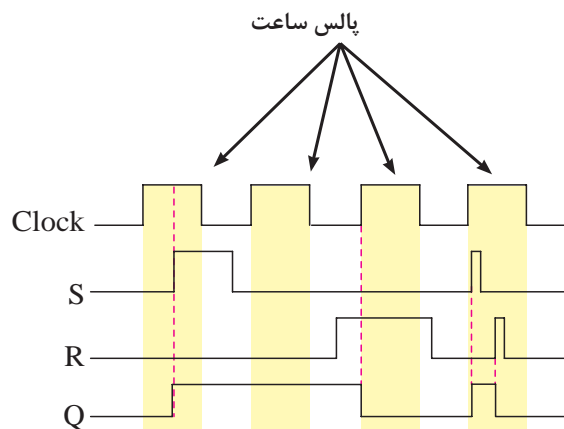
شکل ۵-۲۰ - فلیپ‌فلاپ عامل با سطح مثبت پالس ساعت

حالت دوم: عامل با سطح منفی پالس ساعت: چنانچه فلیپ‌فلاپ با سطح منفی پالس ساعت عمل کند (عامل با سطح منفی)، در شرایطی که Clock Pulse در حالت پایدار صفر است و اطلاعات ورودی را بپذیرد آن را به صورت شکل ۵-۲۱ نشان می‌دهند.



شکل ۵-۲۱ - فلیپ‌فلاپ عامل با سطح منفی پالس ساعت

در شکل ۵-۱۹ - نمودار زمانی ورودی‌ها و خروجی مدار فلیپ‌فلاپ SR ساعتی را مشاهده می‌کنید. ورودی‌های S و R فقط در زمان حضور Clock می‌توانند مؤثر واقع شوند.



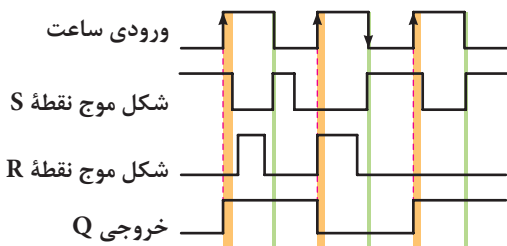
شکل ۵-۱۹ - نمودار زمانی ورودی‌ها و خروجی فلیپ‌فلاپ SR ساعتی

شکل موج ورودی‌ها و خروجی Q در نمودار زمانی مدار با توجه به جدول صحت فلیپ‌فلاپ SR ساعتی مطابق جدول ۵-۵ رسم شده است. در شکل ۵-۱۹ مادامی که پالس ساعت در حالت

شکل ۲۵-۵ نمودار زمانی ورودی‌های فلیپ‌فلاپ و خروجی آن را بر اساس حالت‌های مختلف پالس ساعت در جدول ۶-۵ نشان می‌دهد.

جدول ۶-۵ - جدول صحت فلیپ‌فلاپ RS ساعتی با ورودی پالس ساعت

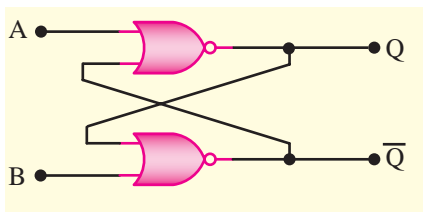
Clock	S	R	Q
0	x	x	بدون تغییر
1	x	x	" "
	x	x	" "
	0	0	بدون تغییر
	0	1	0 Reset
	1	0	1 Set
	1	1	ممنوع



شکل ۲۵-۵ - نمودار زمانی پالس ساعت به ورودی‌ها و عملکرد خروجی فلیپ‌فلاپ SR ساعتی

۴-۵ - الگوی پرسش

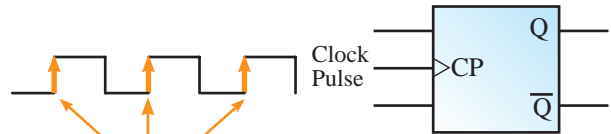
۱-۴-۵ - در شکل ۲۶-۵ اگر $A = 1$ و $B = 1$ باشد Q و \bar{Q} در چه حالت منطقی قرار دارند؟



شکل ۲۶-۵ - مربوط به سؤال ۱ الگوی پرسش

۲-۴-۵ - در شکل ۲۷-۵ الف و ب وضعیت خروجی Q و \bar{Q} فلیپ‌فلاپ RS ساعتی با گیت NAND را تعیین کنید.

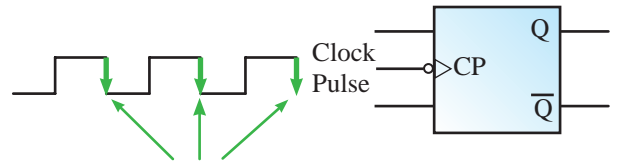
حالت سوم: عامل با لبه بالا رونده پالس ساعت: اگر فلیپ‌فلاپ بالبه بالا رونده (مثبت) پالس ساعت عمل کند (عامل با لبه بالا رونده)، یعنی در شرایطی که پالس ساعت لبه بالا رونده را طی می‌کند، اطلاعات را بپذیرد آن را به صورت شکل ۲۲-۵ نشان می‌دهند.



لبه بالا رونده (مثبت) پالس ساعت

شکل ۲۲-۵ - فلیپ‌فلاپ عامل با لبه بالا رونده پالس ساعت

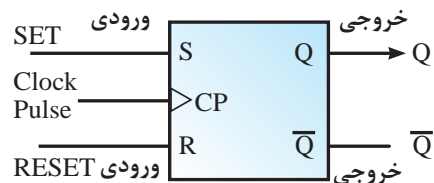
حالت چهارم: عامل با لبه پایین رونده پالس ساعت: اگر فلیپ‌فلاپ با لبه پایین رونده (منفی) پالس ساعت عمل کند (عامل با لبه پایین رونده)، یعنی در شرایطی که پالس ساعت لبه پایین رونده را طی می‌کند، اطلاعات را بپذیرد آن را به صورت شکل ۲۳-۵ نمایش می‌دهند.



لبه پایین رونده (منفی) پالس ساعت

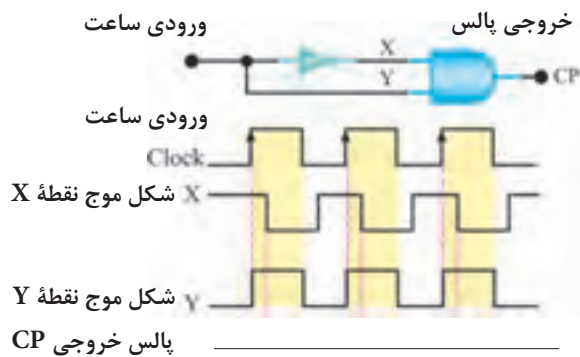
شکل ۲۳-۵ - فلیپ‌فلاپ عامل با لبه پایین رونده پالس ساعت

وضعیت بی‌اهمیت Don't care: در مدارهای منطقی اگر وضعیت منطقی متغیر با یک خط ورودی (صفر یا یک بودن آن) اثری روی خروجی نداشته باشد، آن را وضعیت بی‌اهمیت می‌نامند و با X نشان می‌دهند. در شکل ۲۴-۵ و جدول ۶-۵ عملکرد ورودی‌های S و R با حالت X و عملکرد پالس ساعت در فلیپ‌فلاپ SR ساعتی نشان داده شده است.



شکل ۲۴-۵ - فلیپ‌فلاپ RS ساعتی با پالس ساعت

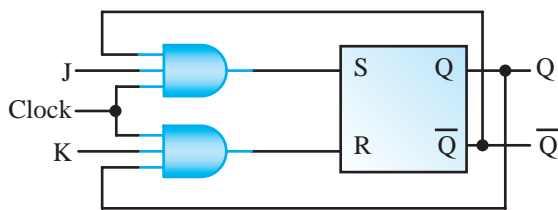
زمانی ورودی‌های آن و مشخصه تأخیر در انتشار، نمودار خروجی را رسم کنید.



شکل ۳۰-۵- مربوط به سؤال ۵ الگوی پرسش

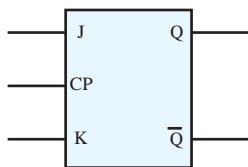
۵-۵- فلیپ فلاپ J-K

یکی از اشکال‌های فلیپ فلاپ R-S مربوط به حالت تعریف نشده آن یعنی وضعیت $S = R = 1$ است. زیرا در این حالت وضعیت غیر مجاز پیش می‌آید. برای اصلاح این حالت از فلیپ فلاپ J-K استفاده می‌شود. در شکل ۳۱-۵ مدار فلیپ فلاپ J-K رسم شده است. فلیپ فلاپ دارای مدار داخلی با گیت NOR است.



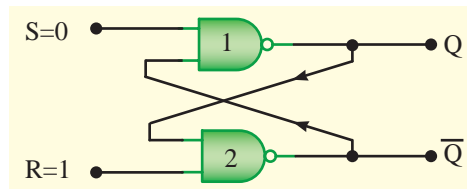
شکل ۳۱-۵- فلیپ فلاپ J-K

بلوک دیاگرام فلیپ فلاپ J-K را در شکل ۳۲-۵ مشاهده می‌کنید.



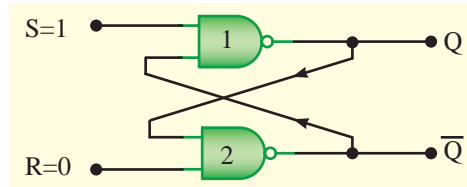
شکل ۳۲-۵- نماد بلوکی فلیپ فلاپ J-K

جدول درستی فلیپ فلاپ J-K در جدول ۷-۵ آمده است.



در $R=1$ و $S=0$

الف

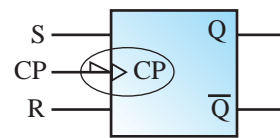


در $R=0$ و $S=1$

ب

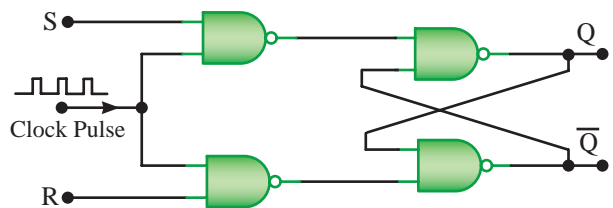
شکل ۲۷-۵- مربوط به سؤال ۲ الگوی پرسش

۳-۴-۵- فلیپ فلاپ شکل ۲۸-۵ با کدام مشخصه پالس ساعت کار می‌کند؟



شکل ۲۸-۵- مربوط به سؤال ۳ الگوی پرسش

۴-۴-۵- مدار SR-FF شکل ۲۹-۵ را در نظر بگیرید. در فاصله زمانی که پالس ساعت فعال است (در حالت «یک» منطقی قرار دارد) چنانچه در این شرایط وضعیت ورودی‌های فلیپ فلاپ تغییر کند خروجی‌های آن در چه وضعیتی قرار می‌گیرند؟ آیا تغییر وضعیت خروجی‌ها در سیستم اختلال ایجاد می‌کند یا خیر؟ شرح دهید.



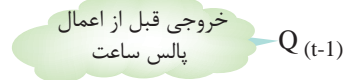
شکل ۲۹-۵- مربوط به سؤال ۴ الگوی پرسش

۵-۴-۵- با استفاده از مدار شکل ۳۰-۵ و نمودار

جدول ۷-۵ - جدول صحت فلیپ‌فلاپ J-K



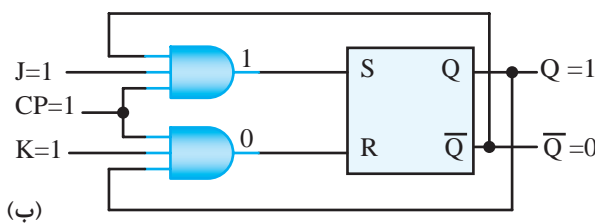
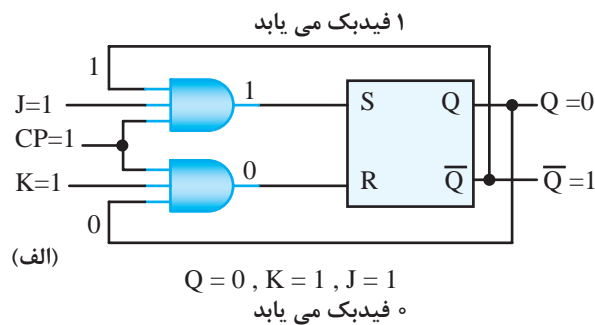
J	K	$Q(t)$
0	0	$Q(t-1)$
0	1	0
1	0	1
1	1	$\overline{Q}(t-1)$



وضعیت را که شبیه قطع و وصل کردن یک کلید است حالت کلیدی می‌نامند.

باید توجه داشت تغییر وضعیت Q و \overline{Q} زمانی رخ می‌دهد که پالس ساعت فعال باشد، ($CP=1$) طبیعی است اگر پالس ساعت فعال نباشد یعنی $CP=0$ شود Q و \overline{Q} تغییر وضعیت نمی‌دهند و حالت اولیه خود را حفظ می‌کنند.

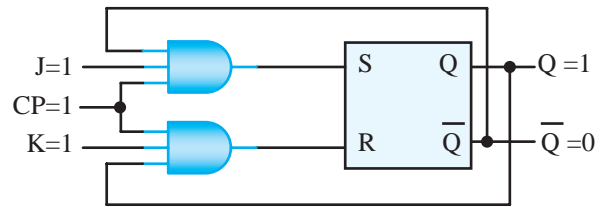
۱-۵-۵-۵- عیب فلیپ‌فلاپ J-K: همان‌طور که مشاهده کردید فلیپ‌فلاپ J-K توانسته است حالت تعریف نشده فلیپ‌فلاپ R-S را برطرف کند. چون خروجی‌های Q و \overline{Q} مستقیماً به ورودی‌ها فیدبک شده‌اند. اگر در این حالت پالس ساعت برابر با (۱) باقی بماند، به دلیل وجود فیدبک، مقادیر مرتباً تغییر می‌کنند و خروجی فلیپ‌فلاپ دائماً بین صفر و یک نوسان می‌کند. در شکل ۳۵-۵ الف و ب تغییر وضعیت Q و \overline{Q} نشان داده شده است.



شکل ۳۵-۵ - با فیدبک خروجی Q و \overline{Q} به ورودی وضعیت جدید $Q=1$ و $\overline{Q}=0$ ظاهر شده است.

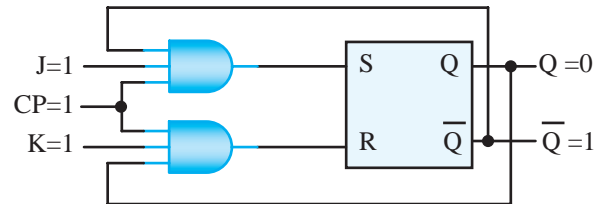
حال اگر مطابق شکل ۳۶-۵ پالس ساعت مساوی صفر ($CP=0$) شود، در این لحظه Q روی آخرین وضعیت خود ثابت می‌ماند. این حالت فلیپ‌فلاپ را

این جدول نشان می‌دهد حالت ممنوعه برطرف شده است یعنی هنگامی که $J=K=1$ می‌شود، اگر فلیپ‌فلاپ مطابق شکل ۳۳-۵ در حالت Set یعنی $Q=1$ قرار داشته باشد، وضعیت آن تغییر می‌کند و Reset می‌شود.



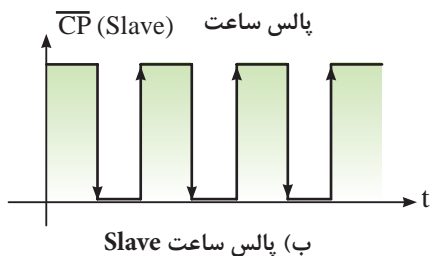
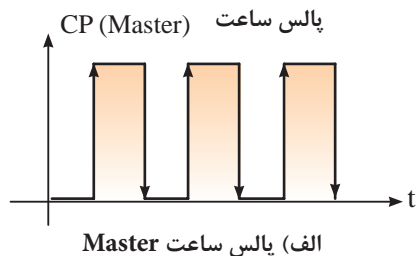
شکل ۳۳-۵ - $J=1$ و $K=1$ خروجی Q (۱) است

بنابراین مطابق شکل ۳۴-۵، خروجی $Q=1$ به حالت $Q=0$ تغییر حالت می‌دهد.



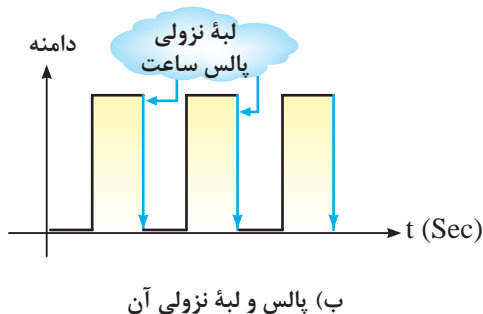
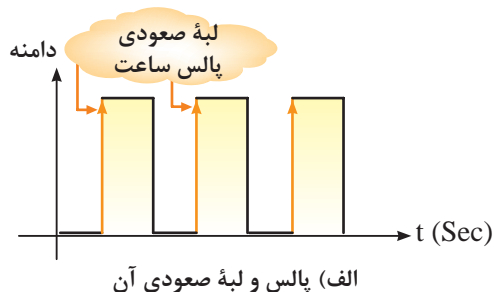
شکل ۳۴-۵ - در وضعیت $J=1$ و $K=1$

Q و \overline{Q} برعکس حالت قبل شده است. هم‌چنین اگر فلیپ‌فلاپ در وضعیت Reset یعنی $Q=0$ باشد با برقراری $J=K=1$ به وضعیت Set می‌رود یعنی $Q=1$ می‌شود به عبارت دیگر حافظه به حالتی برعکس وضعیت قبلی خود تغییر حالت می‌دهد. این



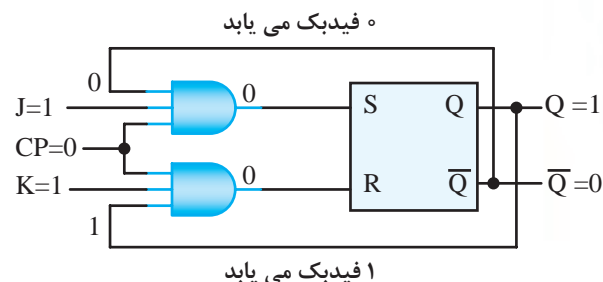
شکل ۳۸-۵ - پالس‌های Master و Slave

هنگامی که پالس از ولتاژ صفر به سمت سطح ولتاژ زیاد تغییر می‌کند، به این بخش لبه صعودی پالس (لبه بالا رونده) گویند. شکل ۳۹-۵ - الف لبه صعودی پالس را نشان می‌دهد. هنگامی که پالس از سطح ولتاژ زیاد به سمت سطح ولتاژ صفر نزول می‌کند این بخش، لبه نزولی پالس (پایین رونده) نام دارد. شکل ۳۹-۵ - ب لبه نزولی پالس را نشان می‌دهد.



شکل ۳۹-۵ - پالس ساعت و لبه‌های صعودی و نزولی

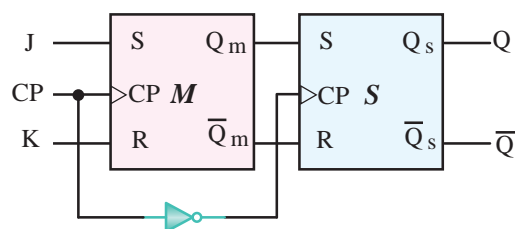
پدیده دور خود چرخیدن Race Around می‌گویند. در این حالت وضعیت خروجی بین صفر و یک در حال نوسان است. برای برطرف کردن این عیب از فلیپ‌فلاپ JK-MS استفاده می‌شود.



شکل ۳۶-۵ - Q و Q-bar فیدبک می‌شوند چون CP=0 است خروجی تغییر نمی‌کند

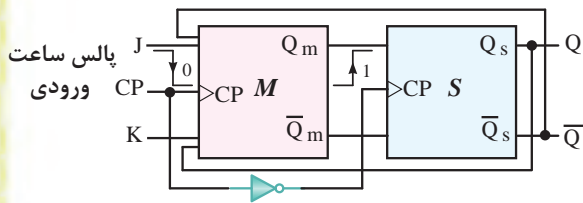
۲-۵-۵-۵ - فلیپ‌فلاپ JK-MS (JK-Master slave):

فلیپ‌فلاپ JK-MS از دو فلیپ‌فلاپ S-R مجزا و مشابه هم درست شده است که یکی مستر (اصلی - Master) و دیگری اسلیو (فرعی - Slave) نام دارد. این فلیپ‌فلاپ‌ها هر دو بالبه بالا رونده عمل می‌کنند. شکل ۳۷-۵ بلوک دیاگرام این فلیپ‌فلاپ را نشان می‌دهد. خطوط فیدبک از Q و Q-bar به ورودی‌ها رسم نشده است.



شکل ۳۷-۵ - بلوک دیاگرام فلیپ‌فلاپ JK-MS بدون رسم مسیر فیدبک

با توجه به بلوک دیاگرام شکل ۳۷-۵ درمی‌یابیم پالس ساعت فلیپ‌فلاپ Master معکوس (NOT) می‌شود و به‌عنوان پالس ساعت فلیپ‌فلاپ Slave عمل می‌کند. شکل‌های ۳۸-۵ و ب وضعیت پالس ساعت Master و Slave را نسبت به هم نشان می‌دهد.



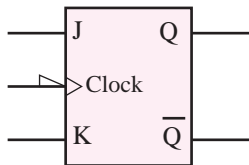
شکل ۴۲-۵- هنگامی که Q و Q̄ به ورودی مدار فیدبک می‌رسند CP=۰ است.

جدول درستی فلیپ‌فلاپ JK-MS مانند جدول درستی فلیپ‌فلاپ JK است. فقط در فلیپ‌فلاپ JK-MS اطلاعات در لبه نزولی پالس ساعت وارد حافظه می‌شوند.

جدول ۵-۸ جدول درستی فلیپ‌فلاپ JK-MS را نشان می‌دهد بلوک دیاگرام فلیپ‌فلاپ JK-MS را در شکل ۴۳-۵ ملاحظه می‌کنید.

جدول ۵-۸- درستی فلیپ‌فلاپ JK-MS

J	K	CP	Q _t
0	0		Q _(t-1) حالت قبلی را حفظ می‌کند
0	1		0 RESET
1	0		1 SET
1	1		Q̄ _(t-1) حالت قبلی عکس می‌شود

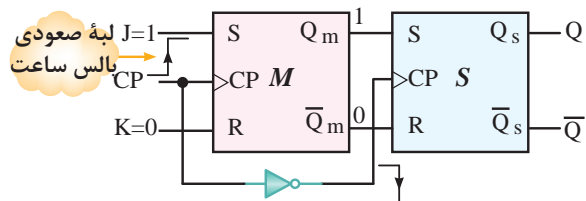


شکل ۴۳-۵- بلوک دیاگرام فلیپ‌فلاپ JK-MS

تمرین کلاسی ۲-۵: در شکل ۴۴-۵- الف مداریک فلیپ‌فلاپ JK را مشاهده می‌کنید. جدول ۵-۹ جدول صحت فلیپ‌فلاپ JK را نشان می‌دهد. شکل موج‌های ورودی و پالس ساعت در شکل ۴۴-۵- ب رسم شده است.

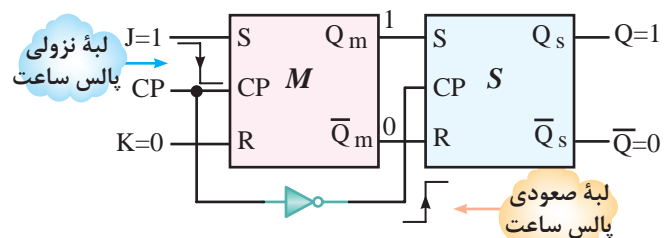
شکل موج خروجی Q و Q̄ را در نمودار شکل ۴۵-۵- ب رسم کنید.

در فلیپ‌فلاپ JK-MS در هنگام لبه صعودی پالس Master، اطلاعات ورودی وارد حافظه Master می‌شود. شکل ۴۰-۵ نشان می‌دهد که اطلاعات ورودی وارد حافظه Master شده است.

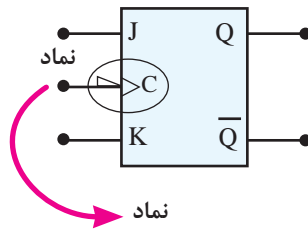


شکل ۴۰-۵- در هنگام لبه صعودی پالس ورودی، اطلاعات ورودی وارد حافظه Master می‌شود.

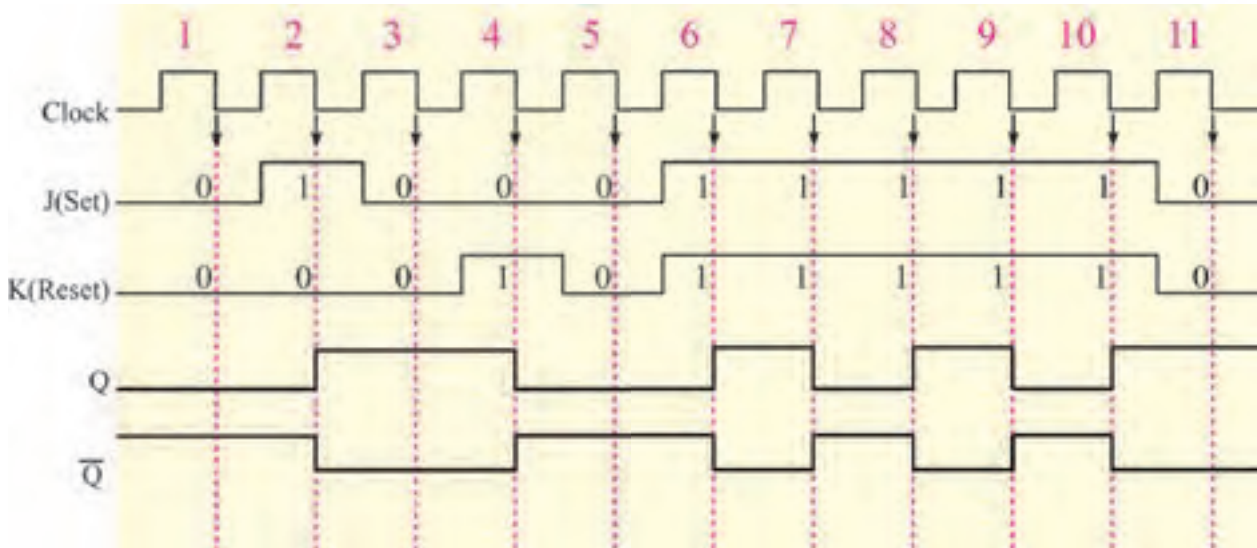
در هنگام لبه نزولی پالس ساعت ورودی، پالس ساعت فلیپ‌فلاپ Slave صعود می‌کند و اطلاعات حافظه Master، وارد حافظه Slave که حافظه خروجی است می‌شود. در شکل ۴۱-۵ لبه نزولی پالس ساعت Master و لبه صعودی پالس ساعت Slave و ورود اطلاعات حافظه Master به حافظه Slave نشان داده شده است. مشاهده می‌شود هنگامی که اطلاعات به خروجی فلیپ‌فلاپ Slave انتقال می‌یابد و می‌خواهد به ورودی فلیپ‌فلاپ Master فیدبک شود، دروازه فلیپ‌فلاپ Master بسته است یعنی CP=۰ است (شکل ۴۲-۵). بدین ترتیب اطلاعات برگشتی نمی‌تواند وارد حافظه Master شود و حافظه را به نوسان درآورد.



شکل ۴۱-۵- در هنگام لبه نزولی پالس ساعت ورودی، پالس ساعت Slave صعود می‌کند و اطلاعات وارد حافظه Slave می‌شود.



الف) نماد قراردادی فلیپ فلاپ JK با لبه پایین رونده پالس ساعت



ب) شکل موج ورودی‌ها و خروجی‌های فلیپ فلاپ

شکل ۴۴-۵ - مدار فلیپ‌فلاپ JK و نمودار زمانی ورودی‌های آن



جهت هنرجویان علاقه‌مند: با توجه به مدار شکل ۴۵-۵ و پالس ساعت ورودی

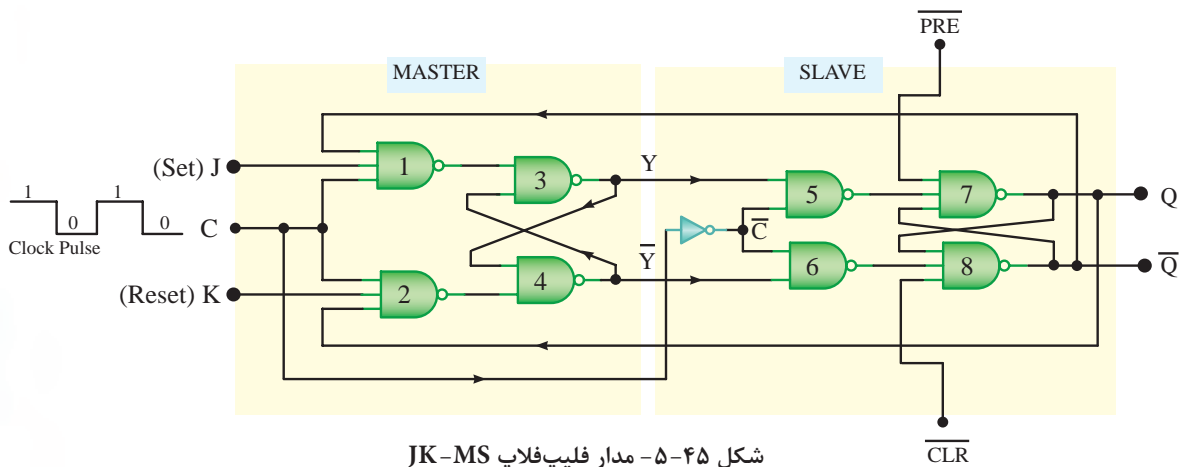
الف) چنانچه ورودی J را یک منطقی و ورودی K را صفر منطقی قرار دهیم و با توجه به این که $Q = 1$ و $\bar{Q} = 0$ است. خروجی‌های Master (اصلی) یعنی y و \bar{y} چه مقداری خواهند داشت؟

ب) اگر پالس ساعت لبه پایین‌رونده خود را طی کند، Q و \bar{Q} چه مقداری را خواهند داشت؟

پ) اگر ورودی $J = 1$ و $K = 1$ قرار دهیم، وضعیت خروجی‌های y و \bar{y} و Q و \bar{Q} را بنویسید.

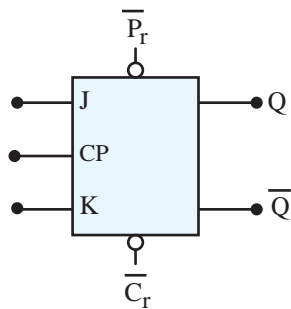
جدول ۹-۵ - جدول صحت فلیپ‌فلاپ JK

CP	J	K	Q_t
0	x	x	بدون تغییر $Q_{(t-1)}$
1	x	x	$Q_{(t-1)}$ " "
↓	0	0	بدون تغییر $Q_{(t-1)}$
↓	0	1	0 Reset عکس حالت قبل
↓	1	0	1 Set
↓	1	1	$\bar{Q}_{(t-1)}$ Toggle

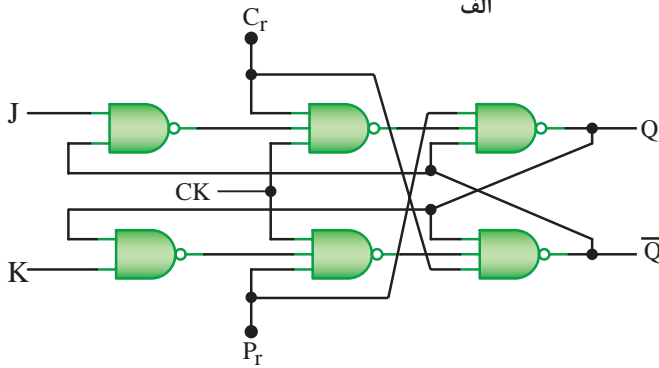


شکل ۴۵-۵- مدار فلیپ‌فلاپ JK-MS

خواهد شد. ایجاد شرایط $Pr = 0$ و $Cr = 0$ حالت ناپایدار ایجاد می‌کند. وضعیت $Pr = 1$ و $Cr = 1$ تغییری در حافظه به وجود نمی‌آورد.



الف



ب

شکل ۴۶-۵- ورودی‌های Preset و Clear و بلوک دیاگرام فلیپ‌فلاپ JK

$Pr = 0$	$Q = 1$
$Cr = 1$	

$Pr = 1$	$Q = 0$
$Cr = 0$	

۳-۵-۵- عملکرد ورودی‌های پیش‌تنظیم

Pre (Preset) و **Clr (Clear)**: در زمان وصل تغذیه به مدار فلیپ‌فلاپ، وضعیتی که حافظه در آن قرار می‌گیرد یعنی حالت Q، در انواع فلیپ‌فلاپ‌ها کاملاً تصادفی است. برای ایجاد یک حالت معین و تعریف شده اولیه از ورودی پیش‌تنظیم **Pre (Preset)** و پاک کردن **Clear (Clear)** استفاده می‌کنیم. **Clr** و **Pre** مانند شکل ۴۶-۵- ب مستقیماً روی Q و \bar{Q} اثر می‌گذارند. در شکل ۴۶-۵- الف بلوک دیاگرام فلیپ‌فلاپ JK با Pr و Clr نشان داده شده است. این فلیپ‌فلاپ با سطح مثبت پالس ساعت عمل می‌کند.



نکته: با توجه به این که پر کردن حافظه با حالت‌های $Pr = 0$ و پاک شدن آن، با حالت $Cr = 0$ انجام می‌شود، برای نمایش خطوط ورودی در نقشه‌ها، از نمادهای \bar{Pr} و \bar{Cr} استفاده می‌کنند. این نمادها فقط **Active Low** یعنی پر شدن و خالی شدن حافظه را با صفر نشان می‌دهد و قرار گرفتن علامت نات (\bar{Pr} و \bar{Cr}) روی نمادها به معنی تغییر حالت دادن ورودی نیست.

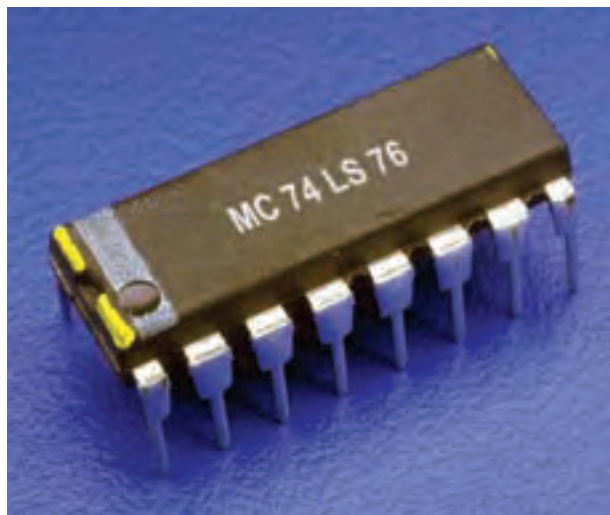
در صورتی که $Pr = 0$ و $Cr = 1$ باشد مقدار $Q = 1$ می‌شود، همچنین اگر $Pr = 1$ و $Cr = 0$ باشد مقدار $Q = 0$

در جدول ۵-۱۰ جدول درستی کامل یک فلیپ‌فلاپ JK که با لبه پایین رونده پالس ساعتکار می‌کند همراه با خط‌های Pr و Cr رسم شده است.

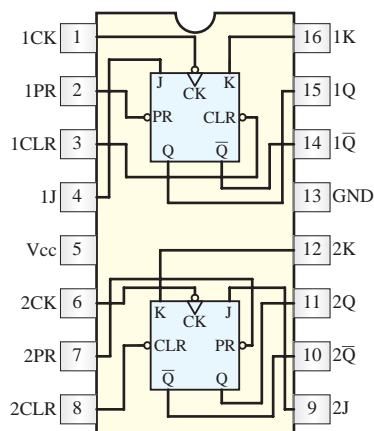
در جدول ۵-۱۰ جدول درستی کامل یک فلیپ‌فلاپ JK با لبه پایین رونده پالس ساعتکار می‌کند همراه با خط‌های Pr و Cr رسم شده است.

جدول ۵-۱۰ - جدول درستی کامل یک فلیپ‌فلاپ JK با ورودی Pr و Cr

P_r	C_r	CP	J	K	Q_t
0	0	X	X	X	حالت ناپایدار *
0	1	X	X	X	Preset پرشده 1
1	0	X	X	X	Clear پاک شده 0
1	1	-	X	X	حالت قبلی را حفظ می‌کند $Q_{(t-1)}$
1	1		0	0	$Q_{(t-1)}$
1	1		0	1	Reset 0
1	1		1	0	Set 1
1	1		1	1	حالت قبلی عکس می‌شود $\overline{Q}_{(t-1)}$



شکل ۵-۴۷ - شکل ظاهری آی‌سی ۷۴۷۶



شکل ۵-۴۸ - نماد داخلی آی‌سی ۷۴۷۶

همان‌طور که قبلاً بیان شد در هنگام وصل اولیه تغذیه مدارهای ترتیبی، حالتی که هر فلیپ‌فلاپ انتخاب می‌کند کاملاً تصادفی است. برای ایجاد یک حالت معین و تعریف شده اولیه، از ورودی‌های Clear و Preset استفاده می‌کنند. این ورودی‌ها مستقیماً بر Q و \overline{Q} تأثیر می‌گذارند و چون برای اثرگذاری آن‌ها روی فلیپ‌فلاپ به‌فعال بودن پالس ساعت نیاز نیست، ورودی‌های موازی یا ورودی‌های ناهم‌زمان (Asynchronous Inputs) نامیده می‌شود.

همان‌گونه که در شکل ۵-۴۶ ب مشاهده می‌کنید، این ورودی‌ها مستقیماً دروازه‌های انتهایی مدار را تحت تأثیر قرار می‌دهند. مطابق جدول ۵-۱۰، جدول صحت کامل فلیپ‌فلاپ JK با خط‌های Pr و Clr، باید از ایجاد حالت $Pr = Cr = 0$ که موجب ناپایداری مدار می‌شود، جلوگیری کرد.

۵-۶ - فلیپ‌فلاپ نوع D (تأخیری یا Delay)

این فلیپ‌فلاپ تنها دارای یک ورودی است که ورودی (D) نام دارد (شکل ۵-۴۹).

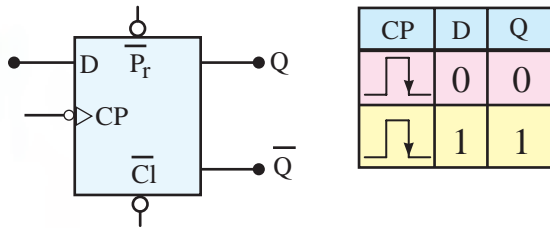
۴-۵-۵ - تراشه ۷۴LS۷۶: آی‌سی ۷۴LS۷۶ یک تراشه ۱۶ پایه است که در داخل آن دو عدد فلیپ‌فلاپ

جدول ۱۱-۵- جدول درستی یکی از فلیپ‌فلاپ‌های آی‌سی ۷۴۷۶

INPUTS					OUTPUTS	
Preset	Clear	Clock	J	K	Q	\bar{Q}
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H	H
H	H	↓	L	L	Q	\bar{Q}
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	TOGGLE	
H	H	H	X	X	Q	\bar{Q}

جدول درستی فلیپ‌فلاپ D مطابق جدول ۱۲-۵ است. در شکل ۵۱-۵ بلوک دیاگرام فلیپ‌فلاپ نوع D رسم شده است.

جدول ۱۲-۵ - جدول درستی فلیپ‌فلاپ D

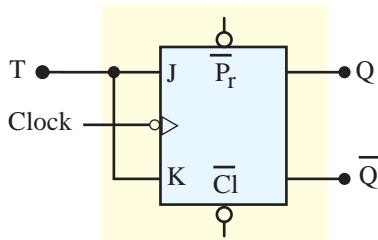


CP	D	Q
↓	0	0
↓	1	1

شکل ۵۱-۵ - بلوک دیاگرام فلیپ‌فلاپ D

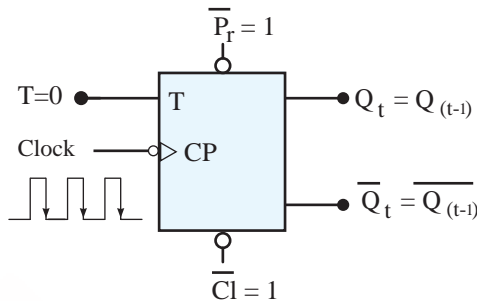
۵-۷ - فلیپ‌فلاپ نوع T (کلیدی یا Toggle)

اگر دو ورودی فلیپ‌فلاپ JK را به هم وصل کنیم و اتصال مشترک را T بنامیم، فلیپ‌فلاپ جدیدی ساخته می‌شود که به آن فلیپ‌فلاپ نوع T یا کلیدی گویند. شکل ۵۲-۵ نحوه تبدیل فلیپ‌فلاپ J-K را به T نشان می‌دهد. با توجه به شکل درمی‌یابیم که اطلاعات ورودی‌های J و K با هم برابرند.

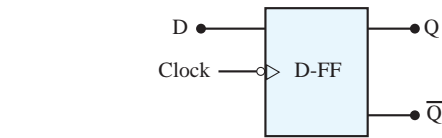


شکل ۵۲-۵ - تبدیل فلیپ‌فلاپ J-K به T

پس اگر $T=0$ باشد، مطابق شکل ۵۳-۵، $J=K=0$ است. در این صورت حافظه بدون تغییر می‌ماند.



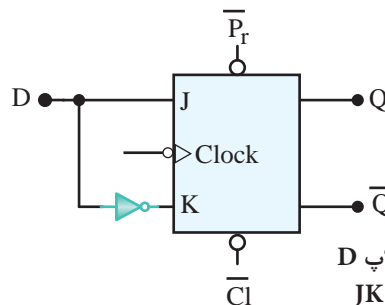
شکل ۵۳-۵ - $T=0$ است و Q و Q-bar تغییر نمی‌کند.



شکل ۴۹-۵ - فلیپ‌فلاپ D

از این فلیپ‌فلاپ به عنوان یک سلول ثبات (ثابت کننده) استفاده می‌کنند. زیرا اطلاعات ورودی آن پس از هر پالس ساعت وارد حافظه فلیپ‌فلاپ می‌شود و تا پالس ساعت بعدی آن را حفظ می‌کند.

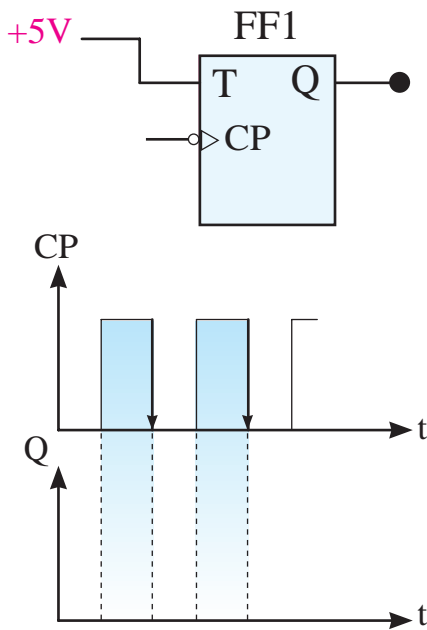
این فلیپ‌فلاپ را می‌توان به کمک هر یک از انواع فلیپ‌فلاپ‌های SR, JK یا JK-MS طراحی کرد. برای این منظور باید ورودی S را نفی کنیم سپس آن را به R اتصال دهیم. همچنین می‌توان ورودی J را نفی کرد و به ورودی K اتصال داد. شکل ۵۰-۵ یک فلیپ‌فلاپ D را با استفاده از فلیپ‌فلاپ J-K نشان می‌دهد.



شکل ۵۰-۵ - فلیپ‌فلاپ D با استفاده از فلیپ‌فلاپ JK



تمرین کلاسی ۳-۵: شکل موج خروجی Q فلیپ فلاپ T را به ازای دو پالس ساعت در شکل ۵-۵۶ رسم کنید.



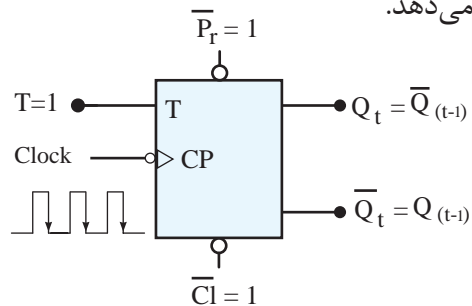
شکل ۵-۵۶ - فلیپ فلاپ T و شکل موج پالس ساعت و خروجی آن

از فلیپ فلاپ T اغلب به عنوان تقسیم کننده فرکانس در ساختمان مدارهای ساعت یا شمارنده استفاده می شود. شکل ۵-۵۷ الف - یک شمارنده و شکل ۵-۵۷ ب - شمارنده به عنوان تقسیم کننده فرکانس را نشان می دهد.



الف) یک شمارنده

حال چنانچه $T=1$ باشد، $J=K=1$ است. در این حالت طبق شکل ۵-۵۴ با هر پالس ساعت وضعیت حافظه برعکس حالت قبل می شود. یعنی اگر حافظه Set است به حالت Reset و اگر Reset است به حالت Set تغییر حالت می دهد.



شکل ۵-۵۴ - T است در لبه نزولی پالس ساعت Q_t برعکس می شود.

جدول ۵-۱۳ جدول درستی T-FF را بر اساس عملکرد JK-FF نشان می دهد. این جدول را می توان به صورت جدول ۵-۱۴ خلاصه کرد. بلوک دیاگرام فلیپ فلاپ T در شکل ۵-۵۵ آمده است.

جدول ۵-۱۳ - جدول درستی T-FF بر اساس عملکرد

JK-FF

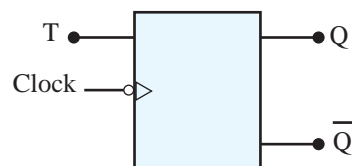
T	CLK	J	K	$Q_{(t-1)}$	Q_t
0		0	0	0	0
0		0	0	1	1
1		1	1	0	1
1		1	1	1	0

جدول ۵-۱۴ - جدول درستی T-FF

T	CP	Q_t
0		$Q_{(t-1)}$
1		$\bar{Q}_{(t-1)}$

حالت قبلی را حفظ می کند

حالت قبلی عکس می شود

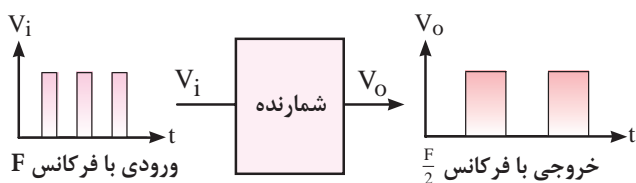


شکل ۵-۵۵ - بلوک دیاگرام T-FF

حل: در بررسی مدار فوق فرض شده است که کلیه فلیپ‌فلاپ‌ها در ابتدا Reset شده باشند. به‌علاوه، فلیپ‌فلاپ‌ها را با لبه پایین‌رونده ساعت در نظر گرفته‌ایم.

همان‌طور که مشاهده می‌کنید، فلیپ‌فلاپ طبقه C در حکم یک تقسیم‌کننده فرکانس پالس ساعت عمل می‌کند، چون پالس ساعت فلیپ‌فلاپ طبقه B از خروجی طبقه C دریافت شده است، خروجی این طبقه بار دیگر فرکانس پالس ساعت را تقسیم بر ۲ می‌کند ($Q_B = \frac{Q_C}{2} = \frac{\text{Clock}}{2} = \frac{\text{Clock}}{4}$) و به همین ترتیب، فلیپ‌فلاپ طبقه A فرکانس پالس ساعت را تقسیم بر ۸ می‌کند. در شکل ۵-۵۹ دیاگرام زمانی یک شمارنده سه بیتی را مشاهده می‌کنید.

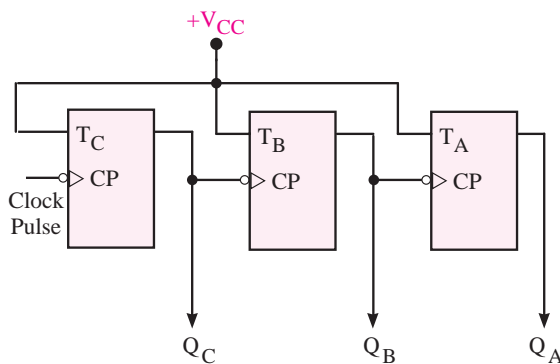
$$Q_A = \frac{Q_B}{2} = \frac{\frac{\text{Clock}}{4}}{2} = \frac{\text{Clock}}{8}$$



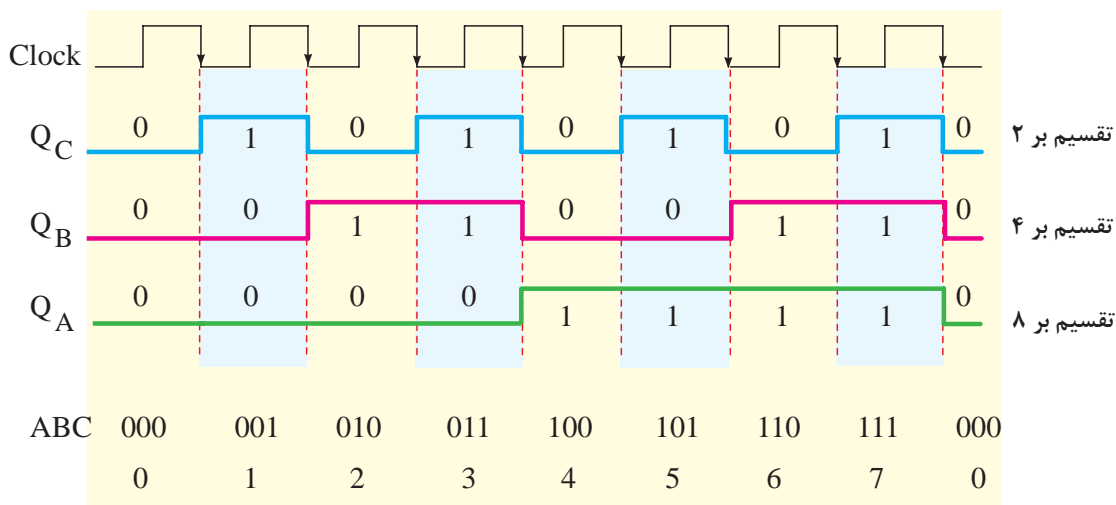
ب) شمارنده به‌عنوان مقسم فرکانس

شکل ۵-۵۷ - یک شمارنده و شمارنده به‌عنوان مقسم فرکانس

مثال ۱-۵: اگر سه طبقه فلیپ‌فلاپ را مطابق شکل ۵-۵۸ به هم وصل کنیم، یک شمارشگر باینری سه بیتی تشکیل می‌شود. فرکانس و شکل موج خروجی هر یک از فلیپ‌فلاپ‌ها را بدست آورید.



شکل ۵-۵۸ - مدار شمارنده سه‌بیتی

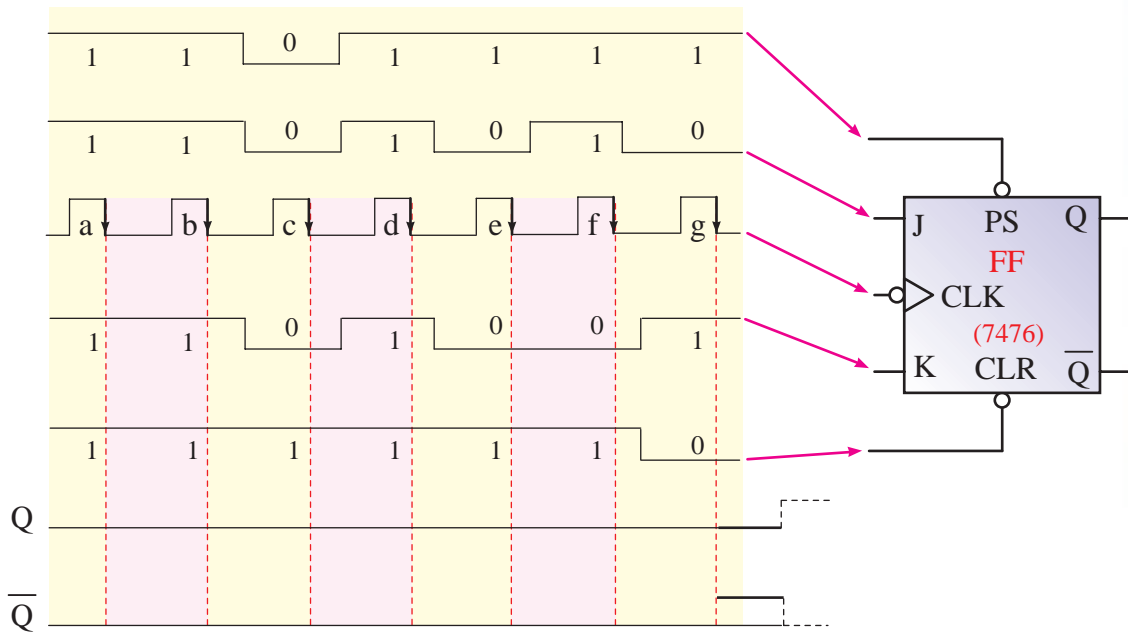


شکل ۵-۵۹ - دیاگرام زمانی یک شمارنده سه بیتی

۸-۵ الگوی پرسش

دیاگرام تغییرات خروجی‌های Q و \bar{Q} را رسم کنید. **راهنمایی:** فلیپ‌فلاپ را براساس جدول ۵-۱۱ تحلیل کنید.

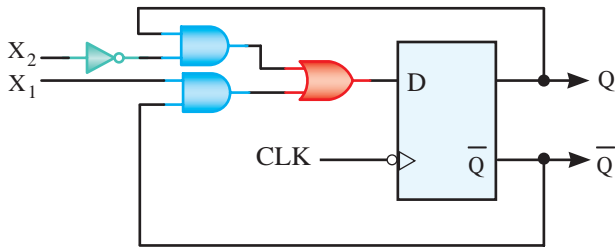
۱- در شکل ۵-۶۰ فرض کنید که فلیپ‌فلاپ JK-MS در آغاز کار در حالت Reset قرار دارد نمودار



شکل ۶۰-۵- نمودار دیاگرام زمانی مربوط به سؤال ۱ الگوی پرسش

۲- خروجی Q یک D-FF عامل با لبه پایین رونده پالس ساعت را مطابق شکل ۶۱-۵ به ورودی آن برمی گردانیم.

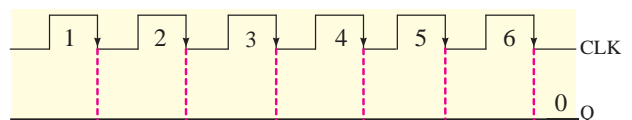
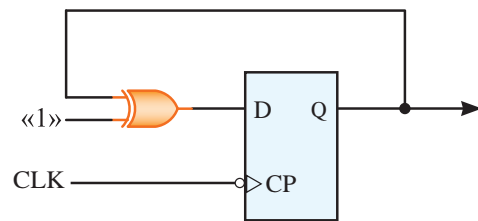
با فرض این که در آغاز کار فلیپ فلاپ Reset است، دیاگرام زمانی تغییر وضعیت های بعدی آن را رسم کنید، رفتار این مدار، رفتار کدام یک از فلیپ فلاپ ها را نشان می دهد؟



Clock	X ₂	X ₁	Q _(t-1)	Q(t)	Q̄(t)
	0	0	0		
	0	0	1		
	0	1	0		
	0	1	1		
	1	0	0		
	1	0	1		
	1	1	0		
	1	1	1		

شکل ۶۲-۵- مدار و جدول صحت سؤال ۳ الگوی پرسش

۳- فرض کنید فلیپ فلاپ شکل ۶۲-۵ در آغاز Reset باشد و با لبه پایین رونده پالس ساعت عمل کند. با توجه به این فرضیه جدول صحت مدار را کامل کنید.

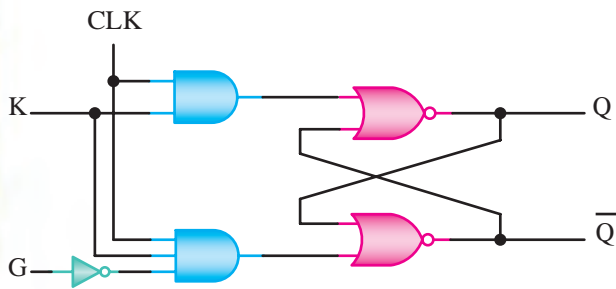


شکل ۶۱-۵- مدار و نمودار زمانی سؤال ۲ الگوی پرسش

۴- با فرض آن که فلیپ فلاپ شکل ۶۳-۵ در ابتدا Reset باشد، تغییرات بعدی وضعیت خروجی Q را در نمودار رسم کنید. نتیجه حاصل، رفتار کدام یک از فلیپ فلاپ ها را نشان می دهد؟

۳- فرض کنید فلیپ فلاپ شکل ۶۲-۵ در آغاز Reset باشد و با لبه پایین رونده پالس ساعت عمل کند. با توجه به این فرضیه جدول صحت مدار را کامل کنید.

۶- جدول صحت مدار شکل ۵-۶۵ را تکمیل کنید.



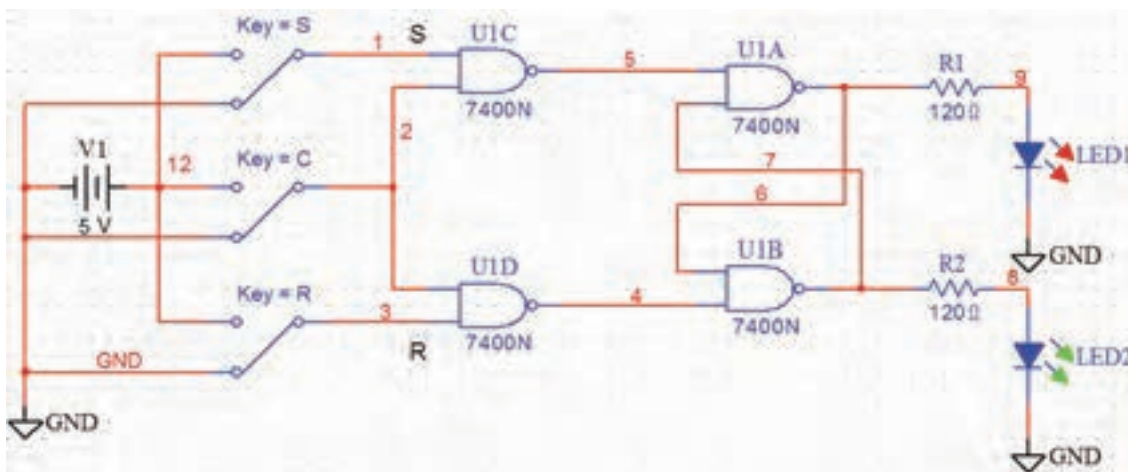
شکل ۵-۶۵ - مدار سؤال ۶ الگوی پرسش

جدول ۵-۱۵ - جدول سؤال ۶ الگوی پرسش

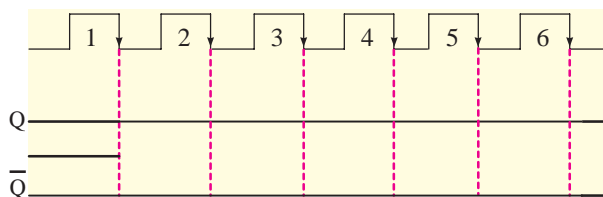
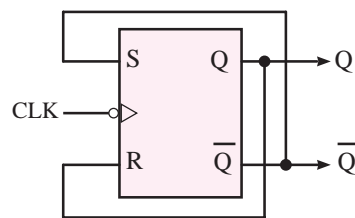
CLK	K	G	Q(t)

۵-۹ - کار با نرم افزار

مدار شکل ۵-۶۶ فلیپ فلاپ با پالس ساعت را نشان می دهد. مدار را توسط نرم افزار مولتی سیم ببندید و صحت عملکرد آن را مطابق جدول صحت مربوطه بررسی کنید.

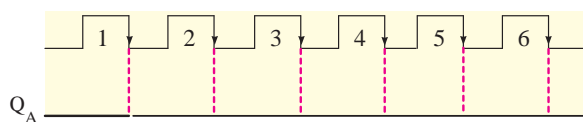
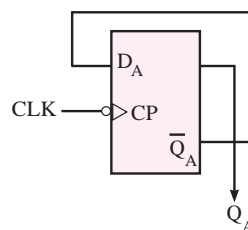


شکل ۵-۶۶ - مدار فلیپ فلاپ با پالس ساعت



شکل ۵-۶۳ - مدار دیاگرام زمانی سؤال ۴ الگوی پرسش

۵- فرض کنید فلیپ فلاپ شکل ۵-۶۴ در آغاز در حالت Reset قرار دارد. پالس دیاگرام زمانی Q_A را در نمودار رسم کنید. رفتار این مدار معادل کدام فلیپ فلاپ است؟



شکل ۵-۶۴ - مدار دیاگرام زمانی سؤال ۵ الگوی پرسش