بسم الله الرحمن الرحیم

مبانی دیجیتال

رشتهٔ الکترونیک

زمینهٔ صنعت

شاخهٔ آموزش فنی و حرفه‌ای

شمارهٔ درس ۲۰۹۹

۶۲۱
/۳۸۱
م ۵۶۳ ر/
۱۳۹۴

رضازاده ، یدالله
مبانی دیجیتال/ مؤلفان : یدالله رضازاده ، غلامحسین نصری ، فتح الله نظریان، مهین ظریفیان جولایی، رسول ملک محمد ، محمود شبانی. ـ تهران: شرکت چاپ و نشر کتاب‌های درسی ایران، ۱۳۹۴.
۲۰۸ ص.: مصور.ـ (شاخهٔ آموزش فنی و حرفه‌ای؛ شمارهٔ درس ۲۰۹۹)
متون درسی رشتهٔ الکترونیک، زمینهٔ صنعت.
برنامه‌ریزی و نظارت، بررسی و تصویب محتوا: کمیسیون تألیف کتاب‌های درسی رشتهٔ الکترونیک دفتر تألیف کتاب‌های درسی فنی و حرفه‌ای و کاردانش وزارت آموزش و پرورش.
۱. الکترونیک رقمی. الف. نصری، غلامحسین. ب. نظریان، فتح‌الله. ج.ظریفیان جولایی، مهین. د. ملک‌محمد، رسول. هـ.شبانی، محمود. و. ایران. وزارت آموزش و پرورش. کمیسیون برنامه‌ریزی و تألیف کتاب‌های درسی رشتهٔ الکترونیک. ز. عنوان. ح. فروست.

۱۳۹۴

همکاران محترم و دانش‌آموزان عزیز:

پیشنهادات و نظرات خود را دربارهٔ محتوای این کتاب به نشانی تهران- صندوق پستی شمارهٔ ۴۸۷۴/۱۵ دفترتألیف کتاب‌های‌درسی فنی و حرفه‌ای و کاردانش، ارسال فرمایند.

پیام‌نگار (ایمیل) tvoccd@medu.sch.ir

وب‌گاه (وب سایت) www.tvoccd.medu.ir

جدول هدف محتوای کتاب مبانی دیجیتال در سال ۱۳۸۷ با توجه به فناوری‌های جدید، نیازهای جامعه و درخواست هنرآموزان و گروه‌های آموزشی سراسر کشور و تأیید کمیسیون تخصصی رشته الکترونیک، مورد بازنگری و اصلاحات کلی قرار گرفت و سپس در سال ۱۳۸۸ با تغییراتی متجاوز از ۵۰ درصد، تألیف مجدد و بازسازی شد. همچنین این کتاب براساس نتایج حاصل از پرسش‌نامه‌ها و کتاب‌های حاشیه‌نویسی شده هنرآموزان گرامی و پرسش‌نامه‌های تکمیل شده هنرجویان گرامی و متخصصان حرفه‌ای در فرایند اعتباربخشی توسط اعضای کمیسیون تخصصی رشتهٔ الکترونیک در سال تحصیلی ۹۱ــ۱۳۹۰ مورد بازنگری و اصلاح قرار گرفت.

وزارت آموزش و پرورش

سازمان پژوهش و برنامه‌ریزی آموزشی

برنامه‌ریزی محتوا و نظارت بر تألیف: **دفتر تألیف کتاب‌های درسی فنی و حرفه‌ای و کاردانش**

نام کتاب: **مبانی دیجیتال - ۴۸۹/۸**

بازسازی و تألیف مجدد در سال ۱۳۸۸: **مهین ظریفیان جولائی، محمود شبانی، یدالله رضازاده و رسول ملک محمد**

مؤلفان: **یدالله رضازاده، غلامحسین نصری، فتح‌الله نظریان (سال ۱۳۷۸)**

اعضای کمیسیون تخصصی: **سیّد محمود صموتی، جمشید بردبار، شهرام نصیری سوادکوهی، فرشته داوودی و سهیلا ذوالفقاری**

آماده‌سازی و نظارت بر چاپ و توزیع: **ادارهٔ کل نظارت بر نشر و توزیع مواد آموزشی**

تهران: خیابان ایرانشهر شمالی- ساختمان شمارهٔ ۴ آموزش و پرورش(شهید موسوی)

تلفن: ۹-۸۸۸۳۱۱۶۱ ، دورنگار: ۸۸۳۰۹۲۶۶ ، کد پستی: ۱۵۸۴۷۴۷۳۵۹

وب سایت: www.chap.sch.ir

مدیر امور فنی و چاپ: **سیّد احمد حسینی**

رسام: **محمد سیاحی، المیرا شیرین سخن**

طراح جلد: **مهدی براتی**

صفحه‌آرا: **منیره کاظم زاده، حسین وهابی**

حروفچین: **سیّده فاطمه محسنی**

مصحح: **سیف الله بیک محمد، حسین چراغی**

امورآماده‌سازی خبر: **فاطمه پزشکی**

امور فنی رایانه‌ای: **حمید ثابت کلاچاهی، پیمان حبیب‌پور، مریم دهقان‌زاده**

ناشر: **شرکت چاپ و نشر کتاب‌های درسی ایران: تهران - کیلومتر ۱۷ جادهٔ مخصوص کرج - خیابان ۶۱ (داروپخش)**

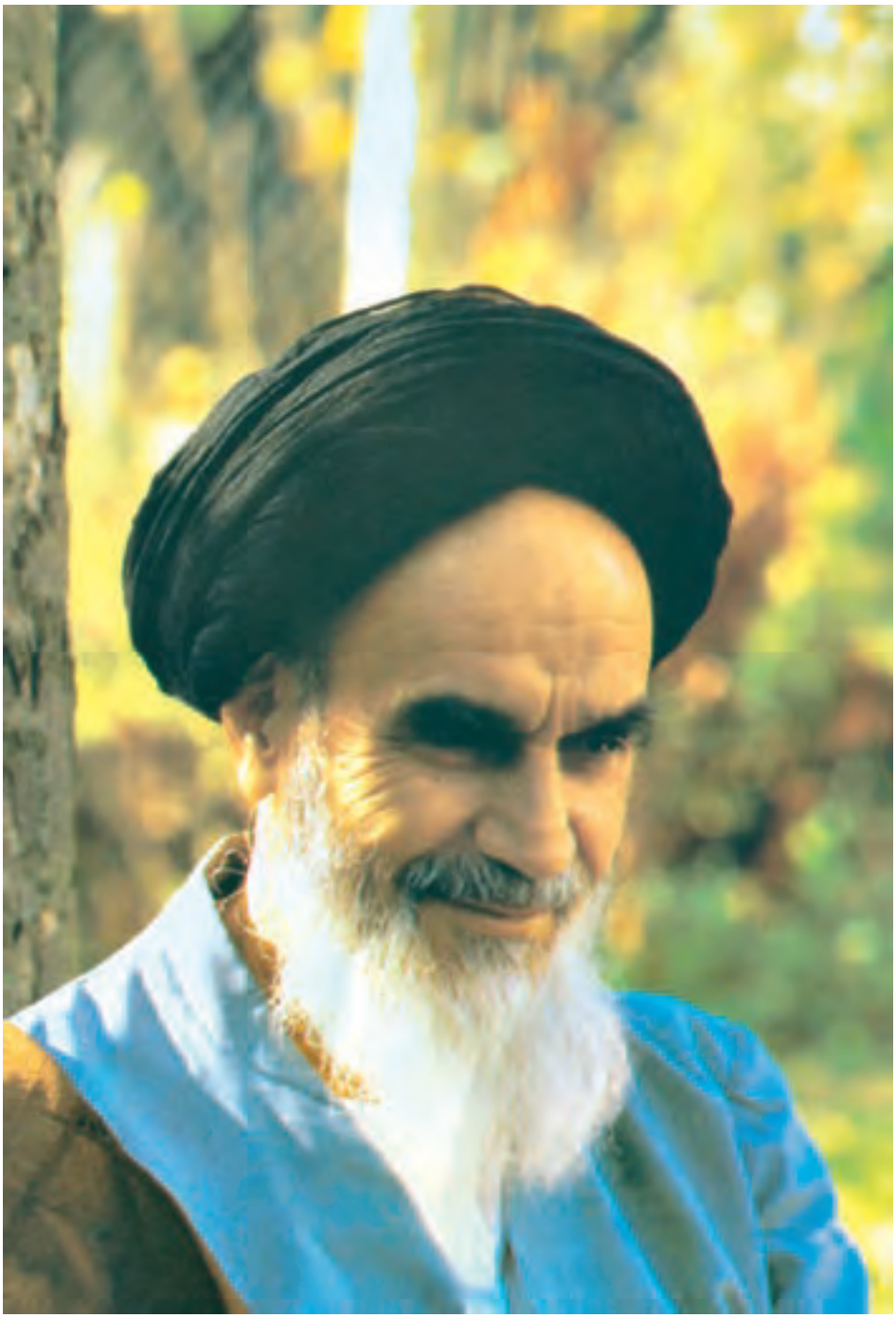
تلفن:۵-۴۴۹۸۵۱۶۱، دورنگار:۴۴۹۸۵۱۶۰، صندوق پستی: ۱۳۹-۳۷۵۱۵

چاپخانه: **کارون**

سال انتشار و نوبت چاپ: **چاپ پنجم ۱۳۹۴**

حق چاپ محفوظ است.

شابک ۲-۰۹۲۷-۰۵-۹۶۴ ISBN 964-05-0927-2



شما عزیزان کوشش کنید که از این وابستگی بیرون آیید و احتیاجات کشور خودتان را برآورده سازید، از نیروی انسانی ایمانی خودتان غافل نباشید و از اتکای به اجانب بپرهیزید.

امام خمینی (قدّس سرّه الشّریف)

سخنی با همکاران ارجمند

هم زمان با تغییر نظام « نیم سالی واحدی » به « سالی واحدی » ، کتاب مبانی دیجیتال بر اساس سرفصل‌های مصوب کمیسیون تخصصی دفتر تألیف کتاب‌های درسی فنی و حرفه ای و کاردانش و نیاز رشتهٔ الکترونیک تنظیم و در سال ۱۳۷۹ تدوین گردید. با توجه به اینکه در برنامه ریزی برای این درس ۲ ساعت آموزشی در طول هفته در نظر گرفته شده بود. بنا به درخواست هنر آموزان و گروه های آموزشی و تأیید کمیسیون تخصصی و تأیید شورای عالی وزارت آموزش و پرورش ، ساعات درسی به ۴ ساعت افزایش یافت.

نظر به اینکه در گردهمایی‌ها و دوره‌های بازآموزی و جلسات گروه‌های آموزشی استان‌ها، بارها نسبت به بازنگری این درس اعلام نظر شده بود ، بالاخره در سال ۱۳۸۷ کمیسیون تخصصی تصمیم به بازنگری جدول هدف محتوی بر اساس پیشنهادات دریافتی گرفت و در نهایت در سال ۱۳۸۸ با تقویت تیم تألیف ،کتاب مبانی دیجیتال بازنگری شد و با تغییراتی متجاوز از ۵۰٪ تألیف جدید و تغییرات کلی در سایر قسمت‌ها ، به شکل کنونی بازسازی و تألیف شد.

کتاب چاپ سال ۱۳۷۹ مشتمل بر سه فصل به صورت فشرده بود که اغلب اظهار می‌داشتند فشردگی و طولانی بودن فصول باعث خستگی هنرجویان می‌شود و هنرآموزان نمی‌توانند کتاب را به طور کامل آموزش دهند ، لذا کتاب جدید به هفت فصل افزایش یافت. عدم رعایت تسلسل منطقی موضوع‌های درسی کتاب نیز از موارد دیگری بود که همواره مورد اعتراض واقع می‌شد که در کتاب فعلی این نقص برطرف شده است و فصول کتاب به شرح زیر تنظیم شده است.

فصل اول اختصاص به مفهوم دیجیتال در سیستم اعداد و جمع و تفریق در مبنای دودویی دارد.

فصل دوم به دروازه‌های منطقی پایه می پردازد.

فصل سوم اختصاص به مباحث ریاضی مربوط به مدارهای منطقی یعنی همان جبر بول دارد.

فصل چهارم مدارهای ترکیبی را مورد بررسی قرار می‌دهد.

فصل پنجم مباحث فلیپ فلاپ و مدارهای ترتیبی را تحلیل می‌کند.

فصل ششم اختصاص به شیفت رجیسترها و شمارنده‌ها دارد.

فصل هفتم اشاره مختصر به مدارهای منطقی پیشرفته دارد.

استفاده از نرم‌افزار توسط معلم و توصیه به کاربرد آن توسط هنرجو از مواردی است که در این کتاب تأکید ویژه بر آن شده است.

به منظور درک بهتر مفاهیم سعی شده است که از مثال‌های کاربردی و منطبق با جامعه استفاده شود ، همچنین تمرین کلاسی برای درک کامل مفاهیم نیز در نظر گرفته شده است ، لذا ضرورت دارد هنرجویان با نظارت هنرآموزان و در ساعت کلاسی به حل آنها بپردازند.

گنجاندن مبحث مدارهای منطقی پیشرفته حسن ختام کتاب محسوب می‌شود. زیرا کاربرد دیجیتال را در جامعه امروزی به هنرجویان معرفی می‌کند.

از آنجا که در ابتدای هر فصل اهداف رفتاری کتاب بیان شده است ، از هنرآموزان عزیز تقاضا می‌شود سؤالات امتحانی را متناسب با حیطه و طبقه داده شده در اهداف رفتاری طراحی نمایند.

نکتهٔ مهم : در صورتی که سؤالی را در ارتباط با نقشه‌ای مانند شمارنده ، شیفت رجیستر و مدارهای داخلی آی سی مطرح می‌نمایید ، باید حتماً اصل نقشه را در اختیار هنرجو قرار دهید. هرگز از هنرجو نخواهید که نقشه را ترسیم نماید یا نقشه ناقص را بدهید و از او بخواهید که آن را تکمیل کند.

مؤلفان

سخنی با هنرجویان عزیز

درس مبانی مدارهای منطقی (مدارهای دیجیتال) یکی از دروس بسیار جالب و شیرین است که یادگیری آن برای همهٔ کسانی که در رشته الکترونیک تحصیل می کنند ، ضرورت دارد . یکی از ویژگی‌های این درس سادگی آن است. زمانی فراگیری این درس برای شما آسان می شود که مطالب را به صورت قدم به قدم و پی در پی فرا بگیرید و تمرین‌های آنرا به طور کامل انجام دهید. انجام بحث و گفت‌وگو پیرامون هریک از موضوع‌های درسی نیز بسیار مفید است.

اجرای نرم‌افزاری مدارهای داده شده در کتاب می‌تواند شما را در رسیدن به اهداف اصلی آموزش هدایت کند. همچنین پاسخ

دادن به الگوهای پرســش و طراحی سؤال‌های تازه و جدید از مباحث مختلف درسی نیز از مواردی است که پویایی آموزش را به همراه دارد.

از موارد دیگری که در این کتاب با آن برخورد می‌کنید تمرین‌های کلاســی است. تمرین‌های کلاسی به منظور درک کامل مفاهیم و مبحث مربوطه در نظر گرفته شده و هنرجو موظف است با نظارت مربی در ساعات کلاسی به حل آنها اقدام نماید.

اســتفاده از منابع مختلف مرتبط با درس مبانی دیجیتال نیز بســیار مفید اســت و موجب ارتقاء دانش شــما در این زمینه می‌شود.

در پایان توصیه می‌کنیم در جلســات آموزشــی به مباحثی که توســط مربی آموزش داده می‌شود به دقت گوش فرا دهید، پرسش‌های خود را بپرسید و به مباحث نرم‌افزاری که توسط مربی اجرا می‌شود خوب توجه کنید و آنها را خارج از کلاس درس و روی کامپیوتر شخصی خود اجرا نمایید.

مؤلفان

نکات اجرایی

هنگام آموزش درس مبانی دیجیتال به نکات اجرایی زیر توجه داشته باشید:

۱ــ تا حد امکان آموزش را بر اساس برنامهٔ زمان‌بندی داده شده در ابتدای کتاب اجرا کنید.

۲ــ در صورتی که با تعطیلات غیر منتظره‌ای، مواجه شدید حتماً برای آن کلاس جبرانی در نظر بگیرید. در این مورد لازم است مسؤلان هنرستان همکاری نمایند.

۳ــ برای درک بهتر مفاهیم لازم است مواردی را که امکان اجرای آن توسط نرم‌افزار میسر است حتماً به صورت نرم‌افزاری در کلاس اجرا نمایید و از هنرجویان بخواهید که در خارج از کلاس به تمرین و اجرای نرم افزارها اقدام کنند.

۴ــ از هنرجویان بخواهید الگوهای پرسش را انجام دهند و به طرح سؤال‌های جدید بپردازند.

۵ــ در صورت امکان از وسایل کمک آموزشی و مدارهای عملی برای انتقال مفاهیم استفاده کنید.

۶ــ از سؤال‌های طرح شده توسط هنرجویان برای اجرای آزمون‌های کلاسی استفاده کنید.

فهرست بودجه‌بندی زمانی درس مبانی دیجیتال

شمارهٔ فصل	عنوان فصل	شمارهٔ صفحه	زمان آموزش به ساعت
فصل اول	مفهوم دیجیتال و سیستم اعداد	۱-۲۹	۱۲
فصل دوم	ساختمان دروازه‌های منطقی پایه و ترکیبی	۳۰-۵۵	۱۲
فصل سوم	جبر بول	۵۶-۹۸	۲۰
فصل چهارم	چند مدار ترکیبی کاربردی	۹۹-۱۳۰	۲۴
فصل پنجم	مدارهای ترتیبی ــ فلیپ‌فلاپ‌ها	۱۳۱-۱۵۱	۲۰
فصل ششم	شیفت رجیسترها و شمارنده‌ها	۱۵۲-۱۸۶	۲۰
فصل هفتم	مدارهای منطقی پیشرفته	۱۸۷-۲۰۸	۱۲

فهرست مطالب

فصل اول مفهوم دیجیتال و سیستم اعداد

پیش گفتار ۲
مقدمه ۲
۱ـ ۱ مفهوم دیجیتال ۳
■ مزایای سیستم‌های دیجیتال نسبت به آنالوگ ۵
۱ ـ ۲مفهوم صفر و یک منطقی ۶
۱ ـ ۳ دروازه‌های منطقی پایه ۷
■ دروازهٔ AND یا « و » ۸
■ دروازهٔ OR یا « یا » ۱۰
■ دروازهٔ NOT یا«نه» یا «نفی» ۱۲
۱ ـ ۴ سیستم‌های اعداد ۱۴
■ سیستم ده‌دهی(اعشاری Decimal) ۱۴
■ سیستم دودویی (Binary) ۱۴
■ سیستم هشت‌تایی (اکتال Octal) ۱۶
■ سیستم شانزده‌تایی (هگزادسی‌مال Hexa decimal) ۱۷
۱-۵- مکمل‌های اعداد ۱۸
■ مکمل ۱ ..... ۱۸
■ مکمل ۲ ..... ۱۹
۱-۶- تبدیل مبناهای اعداد به یکدیگر ۲۰
■ تبدیل مبنای ۲ به ۱۰ ..... ۲۰
■ تبدیل مبنای ۲ به ۸ ..... ۲۱
■ تبدیل مبنای ۸ به ۲ ..... ۲۲
■ تبدیل مبنای ۲ به ۱۶ ..... ۲۳
■ تبدیل مبنای ۱۶ به ۲ ..... ۲۵
۱-۷- جمع باینری ۲۶
۱-۸- تفریق باینری ۲۷
۱-۹- نقش کد در سیستم دیجیتال ۲۷
■ کد BCD ۲۷
۱-۱۰- الگوی پرسش ۲۹

فصل دوم ساختمان دروازه‌های منطقی پایه و ترکیبی

پیش گفتار ۳۱
۲-۱- ترازهای ولتاژ ۳۱
۲-۲- دروازه‌های منطقی پایه ۳۱
■ گیت OR « یا » ۳۲
■ دروازهٔ منطقی AND «و» ۳۵
■ گیت NOT « نه » ۳۸
۲ ـ ۳ دروازه‌های منطقی ترکیبی ۳۹
■ دروازهٔ منطقی NAND (NOT AND) ۳۹
■ دروازهٔ منطقی NOR (NOT OR) ۴۱
■ دروازهٔ OR انحصاری XOR (Exclusive OR) ۴۳
■ دروازهٔ NOR انحصاری
(Exclusive NOR–XNOR) ۴۴
■ دروازهٔ بافر Buffer ۴۵
۲-۴- مشخصات ویژهٔ دروازه‌های منطقی ۴۷
■ fan–in ۴۷
■ fan–out ۴۷
■ حاشیهٔ نویز Marginal noise ۴۷
■ تأخیر در انتشار Propagation delay ۴۸
■ توان تلف شده Power dissipation ۴۸
۲-۵- استفاده از data book ۴۸
■ برگهٔ اطلاعات IC (Data Sheet) ۵۰
■ آشنایی با سری خانوادهٔ TTL ۵۱
۲-۶- استفاده از نرم‌افزار ۵۲
۲-۷- الگوی پرسش ۵۳
۲-۸- معرفی مشخصات پایه‌های آی‌سی‌های
گیت‌های منطقی ۵۵

فصل سوم | جبر بول

پیش گفتار ۵۷
۳-۱- جبر بول ۵۷
■ قوانین حاکم بر جبر بول یا اتحادهای اساسی ... ۵۷
۳-۲- قوانین دمورگان ۶۳
۳-۳- ساده‌سازی توابع جبر بول ۷۰
■ اصول ساده‌سازی توابع جبر بول ۷۰
■ فرم استاندارد توابع بول ۷۱
■ تعریف عبارت منطقی حاصل ضرب ۷۲
■ تعریف عبارت منطقی مجموع ۷۲
■ تعریف عبارت مجموع حاصل ضرب‌ها (sum of Products) یا مین ترم (minterm) ۷۳
■ عبارت حاصل ضرب حاصل جمع ها (Product of sums) یا ماکس‌ترم (maxterm)... ۷۳
۳-۴- ساده‌سازی توابع با استفاده از نقشهٔ کارنو ۷۵
■ ساده‌سازی توابع چهار متغیره به کمک نقشهٔ کارنو . ۸۰
۳-۵- الگوی پرسش ۸۳
۳ـ۶ افزایش ظرفیت ورودی‌های دروازه‌های منطقی ۸۳
■ افزایش تعداد ورودی‌های دروازهٔ منطقی AND ۸۳
■ افزایش تعداد ورودی‌های دروازهٔ منطقی OR ... ۸۴
■ افزایش تعداد ورودی‌های دروازهٔ منطقی NAND ۸۴
■ افزایش تعداد ورودی‌های دروازهٔ منطقی NOR ۸۵
۳-۷- ساخت دروازه‌های منطقی مختلف با استفاده از گیت NAND ۸۵
■ ایجاد دروازهٔ منطقی NOT « نه» ۸۵
■ ساخت دروازهٔ منطقی AND ۸۶
■ تولید دروازهٔ منطقی OR ۸۶
■ دروازهٔ منطقی NOR ۸۶
■ دروازهٔ منطقی OR انحصاری XOR ۸۶
■ دروازهٔ منطقی NOR انحصاری (XNOR) ۸۷
۳-۸- ساخت دروازه‌های منطقی مختلف با استفاده از گیت NOR ۸۷
■ ساخت دروازهٔ منطقی NOT « نه » ۸۷
■ ایجاد دروازهٔ منطقی AND ۸۷
■ تولید دروازهٔ منطقی OR ۸۷
■ دروازهٔ منطقی NAND ۸۷
■ دروازهٔ منطقی XOR ۸۸
■ دروازهٔ منطقی XNOR ۸۸
۳-۹- مقدمه‌ای بر مدارهای ترکیبی ۸۸
■ تعریف مدار ترکیبی ۹۰
■ آنالیز مدارهای ترکیبی ۹۰
■ طراحی مدارهای ترکیبی ساده ۹۳
۳-۱۰- الگوی پرسش ۹۴
۳-۱۱- استفاده از نرم افزار ۹۵
۳-۱۲- الگوی پرسش ۹۷

فصل چهارم | چند مدار ترکیبی کاربردی

پیش گفتار ۱۰۰
۴-۱- مدارهای ترکیبی ۱۰۰
■ روش طراحی مدارهای ترکیبی ۱۰۱
■ طراحی چند نمونه مدار ترکیبی ۱۰۱
۴-۲- مدارهای ترکیبی با کاربردهای ویژه ۱۰۴
■ جمع کنندهٔ ناقص H.A (Half Adder) ۱۰۴
■ جمع کنندهٔ کامل F.A (Full Adder) ۱۰۵
■ تفریق کنندهٔ ناقص H.S (Half Subtractor) .. ۱۰۸
■ تفریق کنندهٔ کامل F.S (Full Subtractor) ۱۰۸
■ مقایسه کنندهٔ یک بیتی ۱۱۰
۴-۳- انواع کدها ۱۱۱
■ مقایسهٔ انواع کد با کد BCD ۱۱۲
۴-۴- مبدل BCD به 7.S ۱۱۲
■ مبدل هگزادسی‌مال به 7.S ۱۱۳
۴-۵- الگوی پرسش ۱۱۴
۴-۶- مدارهای رمزگشا ۱۱۶
۴-۷- مدارهای رمز گذار (Encoder) ۱۱۹
۴-۸- مدارهای متمرکز کننده یا تسهیم کننده ۱۲۳
۴-۹- الگوی پرسش ۱۲۹
۴-۱۰- کار با نرم‌افزار ۱۳۰

فصل پنجم | مدارهای ترتیبی - فلیپ فلاپ‌ها

پیش گفتار ۱۳۲
۵-۱- فلیپ فلاپ‌ها ۱۳۲
۵-۲- فلیپ فلاپ RS ۱۳۲
■ فلیپ فلاپ RS حافظه ۱۳۲
■ مدار الکترونیکی فلیپ فلاپ RS ۱۳۳
■ فلیپ فلاپ RS با استفاده از گیت NOR ۱۳۴
■ فلیپ فلاپ RS با استفاده از گیت NAND ۱۳۵
■ فلیپ فلاپ SR ساعتی ۱۳۷
۵-۳- تقسیم‌بندی فلیپ‌فلاپ‌ها براساس پالس ساعت ۱۳۸
۵-۴- الگوی پرسش ۱۳۹
۵-۵- فلیپ فلاپ J-K ۱۴۰
■ عیب فلیپ فلاپ J-K ۱۴۱
■ فلیپ فلاپ JK-MS ۱۴۲
■ عملکرد ورودی‌های پیش تنظیم Prl و Clr ۱۴۵
■ تراشهٔ ۷۴LS۷۶ ..... ۱۴۶
۵-۶- فلیپ فلاپ نوع D ۱۴۶
۵-۷- فلیپ فلاپ نوع T (کلیدی یا Toggle) ۱۴۷
۵-۸- الگوی پرسش ۱۴۹
۵-۹- کار با نرم افزار ۱۵۱

فصل ششم | شیفت رجیسترها و شمارنده‌ها

پیش گفتار ۱۵۳
۶-۱- شیفت رجیسترها و شمارنده‌ها ۱۵۳
■ انواع شیفت رجیستر ۱۵۴
■ انتقال اطلاعات در شیفت رجیستر ۱۵۵
■ شیفت رجیستر سری- سری یا متوالی- متوالی ۱۵۷
■ شیفت رجیستر ورودی سری خروجی موازی (سری - موازی) ۱۶۱
■ شیفت رجیستر ورودی موازی خروجی سری (موازی - سری) ۱۶۲
■ شیفت رجیستر ورودی موازی- خروجی موازی (موازی ــ موازی) ۱۶۳
۶-۲- شیفت رجیستر چپ رو راست رو ۱۶۴
۶-۳- الگوی پرسش ۱۶۷
۶-۴- شمارنده‌ها ۱۷۰
■ انواع شمارنده‌ها ۱۷۰
■ شمارندهٔ آسنکرون ۱۷۰
■ شمارندهٔ سنکرون (هم زمان) ۱۷۱
■ شمارندهٔ آسنکرون صعودی (Up Counter) ۱۷۲
■ شمارندهٔ آسنکرون نزولی (Down Counter) ۱۷۳
■ شمارندهٔ آسنکرون دهدهی BCD (Binary Coded Decimal) ۱۷۵
■ شمارندهٔ سنکرون صعودی ۱۷۶
■ شمارندهٔ صعودی-نزولی (Up / Down Counter) ۱۷۷
■ شمارندهٔ حلقوی (Ring Counter) یا دایره‌ای ۱۷۸
■ شمارندهٔ جانسون (Johnson Counter) ۱۸۱
■ بلوک دیاگرام یک ساعت دیجیتالی ۱۸۲
۶-۵- الگوی پرسش ۱۸۴
۶-۶- کار با نرم افزار ۱۸۶

فصل هفتم | مدارهای منطقی پیشرفته

پیش گفتار ۱۸۸
۷-۱- تراشهٔ FPGA ۱۸۸
۷-۲- شمارندهٔ قابل برنامه‌ریزی ۱۹۰
۷-۳- واحد محاسبه‌گر ۱۹۱
۷-۴- مبدل دیجیتال به آنالوگ D/A ۱۹۲
۷-۵- مبدل آنالوگ به دیجیتال A/D ۱۹۴
■ گام ولتاژ ۱۹۴
■ مدار الکترونیکی مبدل A/D ۹۴
۷-۶- بررسی انواع آی‌سی‌های حافظه ۱۹۷
■ تعریف حافظه و بیت (Bit) ۱۹۷
■ بایت (Byte) ۱۹۷
■ کلمه (Word) ۱۹۸
■ ظرفیت حافظه ۱۹۸
■ ارتباط بین حافظه‌ها و مدارهای خارجی ۱۹۸
■ ورودی ۱۹۸
■ خروجی ۱۹۸
■ آدرس ۱۹۸
■ خطوط کنترلی ۱۹۹
۷-۷- انواع حافظه ۱۹۹
■ حافظه با دست‌یابی تصادفی یا RAM ۱۹۹
■ RAM استاتیک ۲۰۰
■ RAM دینامیک ۲۰۱
■ حافظه فقط خواندنی ۲۰۱
■ انواع ROM ۲۰۲
■ PROM (Pregramable ROM) ۲۰۲
■ EPROM (Erasable PROM) ۲۰۲
■ EEPROM ۲۰۲
۷-۸- میکروپرسسور CPU ۲۰۲
۷-۹- میکروکنترولر ۲۰۳
۷-۱۰- مینیمم سیستم و مقایسهٔ آن با میکروکنترلر ۲۰۵
۷-۱۱- الگوی پرسش ۲۰۶
۷-۱۲- کار با نرم‌افزار ۲۰۷

هدف کلی درس

طراحی مدارهای ساده دیجیتالی

فصل اول

مفهوم دیجیتال و سیستم اعداد

هدف کلی: شناخت مفهوم دیجیتال، سیستم‌های اعداد، جمع و تفریق در مبنای باینری

کل زمان اختصاص داده شده به فصل : ۱۲ ساعت آموزشی

هدف‌های رفتاری: در پایان این فصل از فراگیرنده انتظار می‌رود که:

۱ـ مفهوم کمیت‌های آنالوگ و دیجیتال را توضیح دهد.

۲ـ نقش کمیت‌های دیجیتالی را در صنایع و دستگاه‌ها شرح دهد (ارائه مثال‌های کاربردی دیجیتالی در مخابرات، تلفن، دوربین، تلویزیون و ...)

۳ـ مفهوم صفر و یک را بیان کند.

۴ـ دروازه‌های منطقی NOT، OR و AND را به‌صورت کلید الکتریکی قطع و وصل تشخیص دهد.

۵ـ سیستم اعداد دسی‌مال (ده‌دهی)، باینری (دویی)، اکتال (هشت‌تایی) و هگزادسی‌مال (شانزده‌تایی) را شرح دهد.

۶ـ مکمل‌های اعداد را توضیح دهد.

۷ـ اعداد را از یک مبنا به مبنای دیگر تبدیل کند.

۸ـ اعداد را در مبنای باینری جمع و تفریق کند.

۹ـ دلیل کاربرد سیستم‌های اعداد باینری، اکتال و هگزا دسی‌مال را توضیح دهد.

۱۰ـ نقش کد در سیستم دیجیتال را شرح دهد.

۱۱ـ کد BCD را همراه با کاربرد آن در سیستم دیجیتال بیان کند.

۱۲ـ به سؤالات الگوی پرسش پاسخ دهد.

هدف‌های رفتاری در حیطهٔ عاطفی

۱۳ـ نظم و ترتیب و حضور به‌موقع در هنرستان و کلاس را رعایت کند.

۱۴ـ تکالیف و مسئولیت‌های واگذار شده را به طور دقیق اجرا کند.

۱۵ـ در موقعیت‌های مناسب برای درک بهتر مفاهیم از آزمایشگاه مجازی استفاده کند.

۱۶ـ از لوازم موجود در کلاس و هنرستان به خوبی مراقبت و نگهداری کند.

۱۷ـ خوب گوش دهد و ابهامات و سؤال‌های خود را بپرسد.

۱۸ـ با دقت و اعتماد به نفس به سؤال‌های مطرح شده پاسخ دهد.

۱۹ـ از شوخی‌های بی‌مورد پرهیز کند.

۲۰ـ حضور فعال و داوطلبانه در امور مختلف داشته باشد.

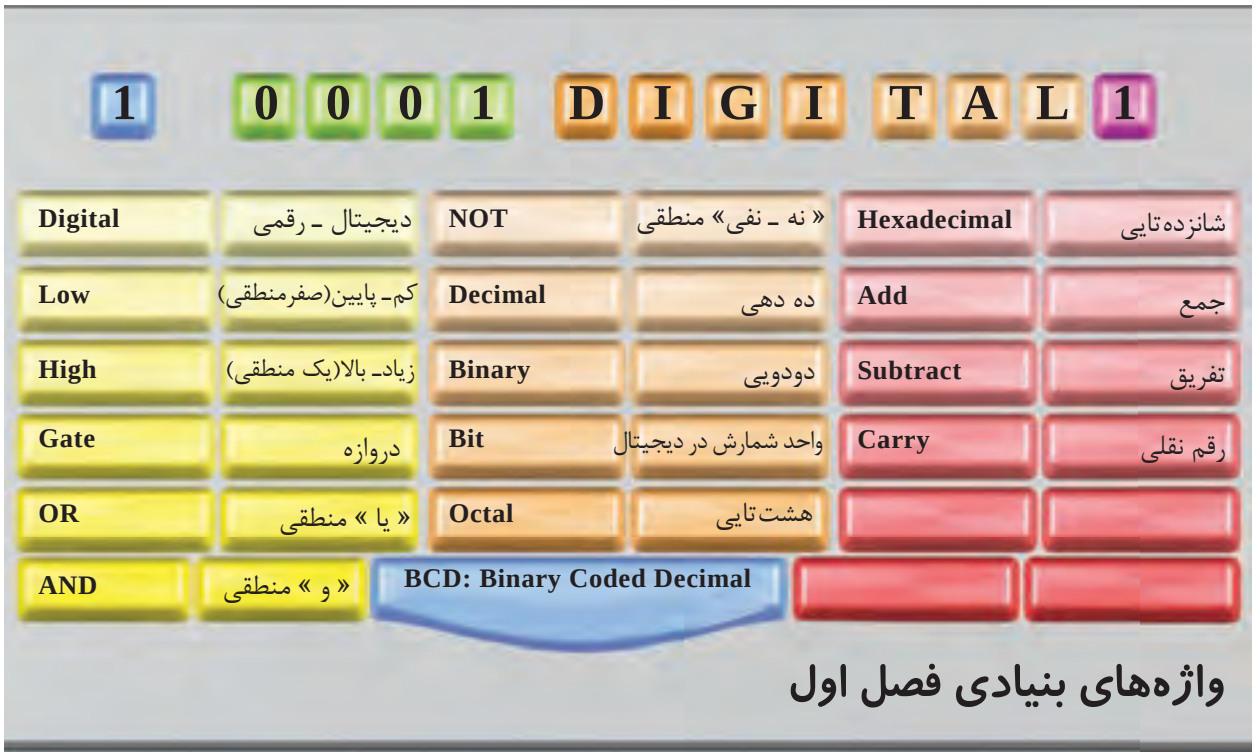
۲۱ـ توانمندی‌های خود را در موقعیت‌های مناسب بروز دهد.

۲۲ـ در کار گروهی مشارکت فعال و همکاری مؤثر داشته باشد.

۲۳ـ نسبت به حل مشکلات سایر هنرجویان حساس و فعال باشد.

۲۴ـ سایر هنرجویان را در ارتباط با اجرای نظم و مقرارت، راهنمایی و تشویق کند.

۲۵ـ خلاقیت‌های ذاتی خود را در موقعیت‌های مناسب بروز دهد.



پیش‌گفتار

اکنون در جهانی زندگی می‌کنیم که نام دهکدهٔ‌جهانی را بر آن نهاده‌اند. شبکه‌های اطلاع‌رسانی و ارتباطی و تجهیزات پیشرفتهٔ‌مخابراتی و حمل و نقل، بیش از هرزمانی در نزدیک شدن انسان‌ها و افکار آنها به یکدیگر تأثیر گذارند، با وجود آن که امروزه ازهر۶ نفر در دنیا، یک نفر از نشانی پست الکترونیکی[1] (e-mail) بهره‌مند است و بیش از صدها میلیون سایت اینترنتی و صدها میلیون وبلاگ (یادداشت الکترونیکی) توسط کاربران ایجاد شده است. متأسفانه فقر ارتباطات معنوی و توسعهٔ فرهنگ اصیل در کشورهای مختلف کاملاً به چشم می‌خورد، آیا انقلاب دیجیتال، پایانی بر مشکلات ارتباطی و اطلاع رسانی بشر هزارهٔ سوم خواهد بود؟

مقدمه

از پاپیروس[2] تا اینترنت، عنوانی است که برای شرح کلی و اجمالی تاریخ انقلاب دیجیتالی می‌توان بیان کرد. پیشرفت بزرگ در توسعهٔ ارتباطات، یعنی کشف کاغذ چاپ در حدود ۱۰۵سال پیش از میلاد مسیح و اختراع ماشین چاپ توسط گوتنبرگ آلمانی در سال ۱۴۵۰ میلادی، در جهت‌گیری سرعت ارتباطات نقش به سزایی را ایفا کرد.

پس از آن که آدمی دست نوشته را سازمان‌دهی کرد و روش نگارش برروی تکه‌های چوب، چرم و پاپیروس را نیز به کار بست، ساخت قالب‌های چوبی و آغشته کردن آنها به رنگ و نشانه‌گذاری برروی آنها، نخستین حرکت چاپی انسان به‌شمار می‌رود، به دلیل وقت زیادی که این عملکرد طلب می‌کرد و قالب‌ها پس از یک بار استفاده، غیر قابل استفاده می‌شدند، گوتنبرگ پس از سال‌ها تلاش و مطالعه

۱ـ پست الکترونیکی(e-mail: electronic-mail)

۲ـ پاپیروس: وسیله‌ای برای نوشتن، شبیه کاغذ که از گیاه پاپیروس به‌دست می‌آید و به صورت لوله‌هایی از ورقه‌های نازک بوده است.

روی روش‌های مکانیکی و دستی موجود، بالاخره توانست ماشین چاپ خود را با حداقل مشکلات اختراع کند. پس از گوتنبرگ در سال ۱۸۶۶، بهترین ماشین چاپ اختراع شد. و در همین سال‌ها ماشین تلگراف نیز اختراع شد و از شهر بالتیموی آمریکا، پیام تاریخی، «خداوند چه ساخته است؟» به شهر واشنگتن ارسال گردید.

ساخت نخستین ایستگاه‌های رادیویی و سپس تلویزیونی و عرضهٔ رایانه‌های شخصی و تولید ابررایانه‌های غول‌پیکر و دست‌یابی به تکنولوژی ساخت قدرتمندترین پردازشگرهای مرکزی رایانه‌ها، همه وهمه، انسان را در قرن بیست ویکم، در جامعه دهکده جهانی قرارداد.

رایانه که هدفش جایگزینی با مغز انسان است[1]، در برابر نگاه حیرت‌زده و متعجب ما در حال تغییر و جهش‌های باز هم فوق العاده و بی‌سابقه است.

فناوری اطلاعات و ارتباطات، خواسته یا ناخواسته ما را وارد عصری نو می‌کند که خصوصیت اصلی آن انتقال آنی داده‌ها و گسترش ارتباطات و شبکه‌های الکترونیکی است. شبکه‌های الکترونیکی، حجم بالای اطلاعات تولید شده را طبقه‌بندی می‌کنند و قادرند با قابلیت های ممتاز خود، امکان دست‌یابی آنی را برای کاربران از همهٔ نقاط جهان در زمان بسیار کم (در چند صدم ثانیه)، فراهم کنند.

به نظر می‌آید انقلاب دیجیتالی، هنوز پایانی ندارد. انقلابی که مرزها را در نوردیده و حتی محدود و محصور به مغزهای دانشمندان نیست. انقلاب دیجیتال، همهٔ ساختارهای گفتاری، نوشتاری، فنی، آموزشی و ارتباطی بشر هزارهٔ جدید را تغییر داده است، لذا باید این تغییر را پذیرفت و باور کرد.

در شکل ۱ـ۱ تعدادی از تجهیزات و وسایل دیجیتالی که در زندگی روزمره با آن سرو کار داریم را مشاهده می‌کنید.

۱ـ یادآور می‌شود که تاکنون هیچ کامپیوتری ساخته نشده است که قابلیت‌های مغزانسان را به تمامی داشته باشد.

شکل ۱ـ۱ـ تعدادی از تجهیزات و وسایل دیجیتالی

جهت هنرجویان علاقه‌مند:

جدیدترین وسایل دیجیتالی که در اطراف خود مشاهده می‌کنید و بر روی زندگی شما تأثیر داشته است را شناسایی کنید و به کلاس ارائه دهید.

۱ـ۱ـ مفهوم دیجیتال

یک سیستم (سامانه) دیجیتال، سیستمی است که در آن اطلاعات به صورت رقمی ارائه و پردازش می‌شود. سامانه‌های پایه‌ریزی شده بر مبنای سیگنال‌های پیوسته را سامانه‌های آنالوگ می‌نامند. بعضی از ساعت هایی که زمان را به وسیلهٔعقربه‌های ساعت، دقیقه و ثانیه شمار نشان می‌دهند و حرکتی پیوسته دارند، (نه حرکتی که عقربه‌های ثانیه شمار یک ثانیه، یک ثانیه پرش دارد) مثالی از یک وسیلهٔآنالوگ است، شکل ۲ـ۱ نمونه‌ای از یک ساعت آنالوگ اتومبیل را نشان می‌دهد.

شکل ۲ـ۱ـ ساعت عقربه‌ای آنالوگ اتومبیل

ساعتی که زمان را با ارقام ده‌دهی نشان می‌دهد یک وسیلهٔ دیجیتالی است. شکل ۳ـ۱ نمونه‌ای از یک ساعت دیجیتالی اتومبیل را نشان می‌دهد.

شکل ۳ـ۱ـ ساعت دیجیتالی اتومبیل

رانـــنده‌ای که در حال رانندگی اســـت و تمام تمرکز و حواسش به راندن اتومبیل خود است، برای اطلاع از زمان، ساعت دیجیتالی به‌دلیل نمایش اعداد، تمرکز کمتری را نسبت به ساعت عقربه‌ای از او می‌گیرد.

می‌دانیم بیمارانی هستند که نیاز به کنترل مداوم فشار خون خود دارند، این افراد از دســـتگاه سنجش فشارخون آنالوگ و دیجیتال اســـتفاده می‌کنند. دســـتگاه سنجش فشارخون عقربه‌ای، میزان فشار خون را به صورت آنالوگ نشـــان می‌دهد که در این حالت نیاز به همراهی شـــخص دیگری اســـت. در صورتی که بیمار بـــه تنهایی می‌تواند دستگاه سنجش فشارخون دیجیتالی را مورد استفاده قرار دهد. هم چنین او احتیاج به مهارت خاص برای اندازه‌گیری فشار خون توسط دستگاه دیجیتالی ندارد. شکل ۴ـ۱ـ الف دستگاه سنجش فشار خون عقربه‌ای را نشان می‌دهد.

الف) دستگاه سنجش فشار خون عقربه‌ای

ب) دستگاه سنجش فشار خون دیجیتالی

شکل ۴ـ۱ـ دستگاه سنجش فشار خون عقربه‌ای و دیجیتالی

در شکل ۴ـ۱ـ ب دستگاه سنجش فشار خون دیجیتالی که میزان فشـــارخون را به صورت واضح و دقیق نمایش می‌دهد را مشاهده می‌کنید.

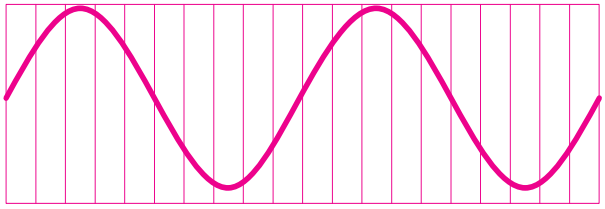
جهت هنرجویان علاقه‌مند: وسایل عقربه‌ای (آنالوگ) و دیجیتالی که در محیط هنرستان وجود دارد را شناسایی کنید و نتایج را به کلاس ارائه دهید.

اطلاعات روی نوارهای کاست صوتی به‌صورت آنالوگ ذخیره می‌شـــوند درحالی که دیسک‌های (CD) لیزری فشرده، اطلاعات را به صورت دیجیتال ذخیره می‌کنند. به عنوان مثال شـــکل ۵ـ۱ـ الف یک سیگنال سینوسی آنالوگ را برای یک سیکل نشان می‌دهد که ممکن است روی یک باریکه از نوار صوتی مغناطیسی ضبط شود.

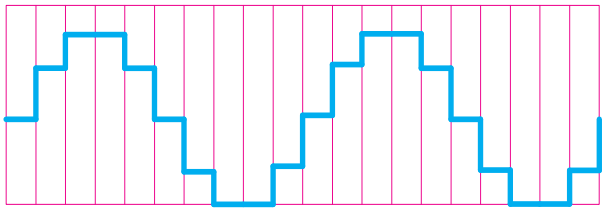
شکل ۵ـ۱ـ ب همان سیگنال سینوسی که در فاصلهٔ زمانی معیـــن و یکنواخت نمونه‌برداری و به صورت یک تابع پله‌ای درآمده است، را نمایش می‌دهد.

شـــکل ۵ـ۱ـ ج این اطلاعات را بـــه صورت دیجیتال نشـــان می‌دهد. هر نمونه به صـــورت یک عدد دودویی (برمبنای ۲) (صفر و یک) و به طور عمودی بر روی نوار نوشته شده است.

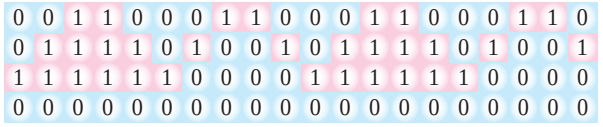
نکتهٔ مهم: این تصاویر صرفاً برای آشنایی با امواج آنالوگ و دیجیتالی آمده است و تحلیل آن با توجه به دانسته‌های هنرجویان در این مقطع امکان‌پذیر نیست.



الف) فرم آنالوگ



ب) فرم آنالوگ نمونه‌برداری شده از یک سیگنال سینوسی



ج) فرم دیجیتال نمونه‌برداری شده از یک سیگنال سینوسی

شکل ۵ـ۱ـ اطلاعات ذخیره شده بر روی نوار مغناطیسی به صورت آنالوگ و دیجیتال

گرچه کامپیوترهای مدرن مشهودترین مثال از یک سیستم دیجیتالی هستند. مثال‌های دیگری هم‌چون کنترل کننده‌های چراغ راهنمایی، ماشین حساب‌های جیبی و پخش کننده‌های CD که در سطح جامعه در حد گسترده‌ای مورد استفاده قرار می‌گیرد و ... نیز وجود دارند.

۱ـ۱ـ۱ـ مزایای سیستم‌های دیجیتال نسبت به آنالوگ:

کامپیوترهای آنالوگ و سایر سیستم‌های آنالوگ، قبل از اینکه تجهیزات دیجیتالی ساخته شوند به مدت طولانی، استفاده می‌شدند. پس چرا سیستم‌های دیجیتالی جای‌گزین سیستم‌های آنالوگ شده‌اند؟ برای پاسخ به این سؤال چندین دلیل وجود دارد:

۱ـ عموماً فناوری‌های دیجیتال، قابلیت انعطاف‌پذیری بیشتری را نسبت به فناوری‌های آنالوگ ارائه می‌دهند، چون به سادگی برای اجرای هر الگوریتم (حل مسأله به‌صورت مرحله مرحله) دل‌خواهی برنامه‌ریزی می‌شوند یا قابل برنامه‌ریزی هستند.

۲ـ مدارهای دیجیتال قابلیت‌های پردازش بسیار قدرتمندتری را تحت عنوان سرعت ارائه می‌دهند.

۳ـ اطلاعات عددی می‌توانند به‌صورت دیجیتالی و با دقت وضوح بیشتری در مقایسه با سیگنال‌های آنالوگ ارائه شوند.

۴ـ ذخیرهٔ اطلاعات و بازیابی آنها در سیستم‌های دیجیتالی ساده‌تر است.

۵ـ ابعاد سیستم‌های دیجیتالی نسبت به سیستم‌های مشابه آنالوگ به طور چشم‌گیری کاهش یافته است.

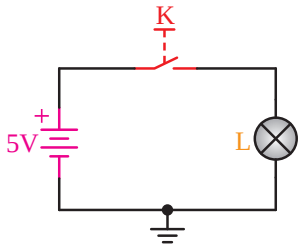
مزایای سیستم‌های دیجیتال نسبت به آنالوگ

۱ـ قابلیت انعطاف‌پذیری بیشتر
۲ـ سرعت بالاتر
۳ـ دقت وضوح بیشتر
۴ـ بازیابی آسان اطلاعات
۵ـ ذخیرهٔ آسان اطلاعات
۶ـ کاهش ابعاد

جهت هنرجویان علاقه‌مند: با جستجو در سایت‌های مرتبط جدیدترین تولیدات دیجیتالی را شناسایی کنید و در زمینهٔ معرفی، مزایا و امکانات این تجهیزات، مطالبی را تهیه کنید و به کلاس ارائه دهید.

۲ـ۱ـ مفهوم صفر و یک منطقی

من چراغی را روشن و خاموش می‌کنم، می‌خواهم به ماشین بگویم چراغ خاموش یا روشن است، چگونه می‌توانم این مفهوم را به ماشین منتقل کنم؟ ماشین مفهوم روشن را نمی‌داند. برای فهماندن به ماشین مفهوم صفر و یک را تعریف می‌کنم.می‌گویم اگر ولتاژ به حد معینی رسید یعنی یک است. یعنی لامپ روشن است و اگر ولتاژ در حد معینی پایین آمد و نزدیک به صفر شد مفهوم آن صفر است یعنی لامپ خاموش است. یا به عبارت دیگر ماشین چگونه می‌تواند تاریکی و روشنی را تشخیص دهد؟ روشنی به معنی ۱ و تاریکی به معنی صفر است (شکل ۶ـ۱).



شکل ۶ـ۱ـ مدار الکتریکی مولد صفر و یک منطقی

اکنون می‌خواهیم این دو حالت لامپ را نام‌گذاری کنیم. به لغت‌های زیر که برای این منظور به کار رفته‌اند، توجه کنید.

Low ـ Off ـ خاموش ← لامپ در حالت خاموش

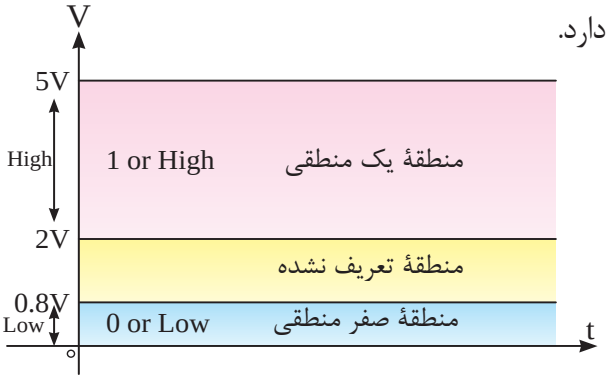
High ـ On ـ روشن ← لامپ در حالت روشن

هریک از این لغت‌ها را طبق قراردادی که خود تدوین کرده‌ایم، می‌توانیم به کار ببریم. اما در این زمینه پیشنهاد دیگری نیز می‌توان ارائه کرد:

۰ ← لامپ در حالت خاموش

۱ ← لامپ در حالت روشن

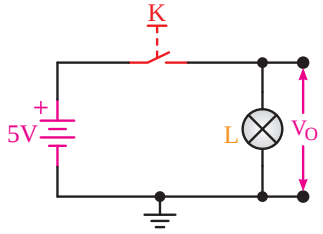
به نظر می‌رسد پیشنهاد صفر و یک از بقیه موارد جالب‌تر باشد؛ زیرا ساده و از نظر طول کلمه بسیار کوتاه است. بنابراین، دو عدد «صفر» و «یک» نماد (سمبل) هایی هستند که برای نمایش دو وضعیت مختلف (بسته یا باز) به کار می‌روند. در مورد کلید می‌توان حالت باز را صفر و حالت بسته را یک درنظر گرفت. در مدارهای دیجیتالی، صفر و یک به هیچ عنوان به مفهوم صفر و یک جبری برای نمایش دادن مقدار یک شیء (مثلاً یک جلد کتاب مبانی دیجیتال) نیست. در الکترونیک و کامپیوتر صفر و یک نشان دهندهٔ سطوح ولتاژ است و به مفهوم خاموش یا روشن بودن لامپ نیست (هرچند در علوم مهندسی، در هر سیستم دو وضعیتی برای نمایش دادن هر حالت از صفر و یک استفاده می‌شود، مانند باز و بسته بودن یک شیر الکتروهیدرولیکی و ...). بدین معنا که ولتاژ حدود صفر ولت (عملاً از صفر تا ۰/۸ ولت) به منزلهٔ صفر منطقی و ولتاژ حدود ۵ ولت (عملاً از ۲ تا ۵ ولت) به منزلهٔیک منطقی درنظر گرفته می‌شود (سطوح صفر و یک منطقی ممکن است در سیستم‌های گوناگون با یکدیگر تفاوت داشته باشد اما ولتاژهای حوالی صفر ولت و ۵ ولت از بقیه رایج‌تر است). در شکل ۷ـ۱ سطح ولتاژ صفر و یک منطقی را مشاهده می‌کنید. در این نمودار یک منطقی بین ولتاژهای ۲ تا ۵ ولت و صفر منطقی بین ولتاژهای صفر تا ۰/۸ ولت قرار دارد.



شکل ۷ـ۱ـ سطوح ولتاژ صفر و یک منطقی رایج

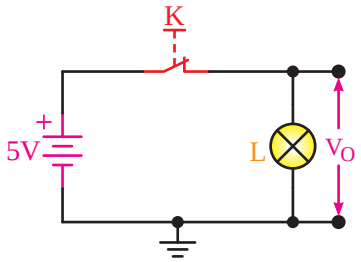
برای تأکید بر این موضوع که صفر و یک مربوط به نمایش دو وضعیت مختلف یک سیستم است، بعد از صفر و یک، لغت منطقی را می‌آوریم.

در مدار شکل ۸ ـ۱، اگر کلید باز باشد، Vo = ۰ است. به عبارت دیگر، خروجی در وضعیت صفر منطقی قرار می‌گیرد و لامپ خاموش است.



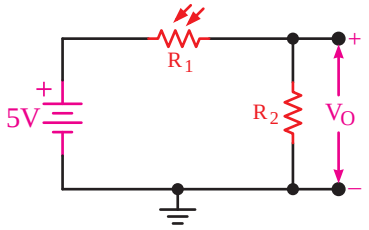
شکل ۸ ـ۱ـ مدار الکتریکی صفر منطقی

در مدار شکل ۹ـ۱، اگر کلید بسته باشد، Vo=۵ v است. بنابراین، خروجی در وضعیت یک منطقی قرار می‌گیرد و لامپ روشن است.



شکل ۹ـ۱ ـ مدار الکتریکی در حالت یک منطقی

باتوجه به این که اساس کار کامپیوتر صفر و یک منطقی است، چنان‌چه بخواهیم بودن یا نبودن یک پدیدهٔ فیزیکی را به‌اطلاع کامپیوتر برسانیم، لازم است این پدیدهٔ فیزیکی را به صفر و یک منطقی (در کامپیوتر به سطوح ولتاژ) تبدیل کنیم. برای مثال، برای تبدیل بودن یا نبودن پدیده نور با یک و صفر منطقی، از مدار شکل ۱۰ـ۱ استفاده می‌کنیم.



شکل ۱۰ـ۱ـ مدار مولد صفر و یک منطقی با استفاده از مقاومت تابع نور

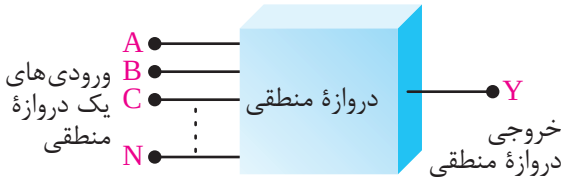
در شکل ۱۰ـ۱ هنگامی که نور به مقاومت تابع نور می‌تابد، مقاومت آن به شدت کاهش می‌یابد و قسمت اعظم ولتاژ منبع ۵ ولتی دو سر مقاومت R_2 افت می‌کند (توزیع ولتاژ بین دو مقاومت سری). لذا خروجی این مدار در وضعیت یک منطقی قرار می‌گیرد. برعکس اگر نور به مقاومت نتابد، مقدار مقاومت اهمی آن به شدت افزایش می‌یابد و قسمت اعظم ولتاژ منبع ۵ ولتی دو سر مقاومت تابع نور افت می‌کند بنابراین مقدار بسیار جزیی ولتاژ به دو سر مقاومت R_2 منتقل می‌گردد که باتوجه به مقدار ولتاژ کم آن، خروجی در سطح ولتاژ صفر منطقی قرار می‌گیرد.

در مورد پدیده‌های فیزیکی دیگر نیز با استفاده از مدارهای الکتریکی یا الکترونیکی می‌توان بودن یا نبودن آنها را به صفر یا یک منطقی تبدیل کرد.

۳ـ۱ـ دروازه‌های منطقی پایه (Basic logic Gates)

دروازه‌های منطقی، اساس کار ماشین‌های حساب، کامپیوترها، مدارهای کنترل و ... است. به عبارت دیگر، یک کامپیوتر یا ماشین حساب و ... از تعدادی دروازه‌های منطقی تشکیل شده است.

در کامپیوتر یا ماشین حساب یک دروازهٔ منطقی در حقیقت یک مدار الکترونیکی است که یک یا چند ورودی و فقط یک خروجی دارد. شکل ۱۱ـ۱ بلوک یک دروازهٔ منطقی را نشان می‌دهد.



شکل ۱۱ـ۱ ـ بلوک کلی یک دروازهٔ منطقی

در مدارهای غیرکامپیوتری، ساخت دروازه‌های منطقی با استفاده از کلیدها، شستی‌ها، رله‌ها و ... نیز امکان‌پذیر است اما به دلیل پایین بودن سرعت قطع و وصل این گونه قطعات، آنها با قطعات الکترونیکی قابل مقایسه نیستند. لذا در مواردی که سرعت قطع و وصل مطرح نیست و تعداد دروازه‌ها نیز بسیار محدود است، از این قطعات هم برای ساختن دروازه‌های منطقی استفاده می‌شود.

به‌طور خلاصه یک دروازهٔ منطقی، یک مدار الکتریکی یا مدار الکترونیکی یا ... است که باتوجه به‌حالت‌هایی که به ورودی آن داده می‌شود (صفر یا یک منطقی)، خروجی آن نیز در وضعیت صفر یا یک منطقی قرار می‌گیرد. بدین ترتیب، انواع دروازه‌های منطقی وجود دارد که به شرح آنها می‌پردازیم.

نکته: کلید بسته وضعیت یک منطقی و کلید باز وضعیت صفر منطقی را نشان می‌دهد.

۱ـ۳ـ۱ـ دروازهٔ AND یا «وَ»: شرکتی می‌خواهد فردی را اســـتخدام کند، از شرایط اســـتخدام، داشتن دیپلـــم و گواهی‌نامهٔ مهارت در کار با کامپیوتر اســـت. بدین ترتیب فردی می‌تواند از دروازهٔ شرکت عبور کند و به استخدام درآید که دیپلم و گواهی مهارت در کار با کامپیوتر داشـــته باشد، اگر هرکدام از شرایط را نداشته باشد استخدام نمی‌شود.

مثلاً درمورد آقای B دیپلم دارد پس یکی از ورودی‌ها یک اســـت اما گواهی‌نامهٔ‌کار بـــا کامپیوتر را ندارد پس ورودی دوم صفـــر اســـت. درنتیجه این فرد اســـتخدام نمی‌شود بنابراین خروجی نیز صفر است. یا خانم C دیپلم ندارد پس یکی از ورودی‌ها صفر است، اما گواهی‌نامهٔ‌کار با کامپیوتر را دارد در نتیجه ورودی دوم یک اســـت. باز هم این فرد اســـتخدام نمی‌شود ولی آقای D هم دیپلم و هم گواهی‌نامهٔ مهارت کار با کامپیوتر را دارد پس هر دو ورودی یک است و این فرد استخدام می‌شود. جدول ۱ـ۱ شرط استخدام را برای شرکت مشخص می‌کند.

مدارهای این فصل با استفاده از نرم افزار ادیسون رسم شده است .

جدول ۱ـ۱ـ شرط استخدام

فرد مراجعه کننده	داشتن دیپلم	داشتن گواهی نامهٔ مهارت در کار با کامپیوتر	وضعیت استخدام
خانم A	ندارد	ندارد	استخدام نمی‌شود
آقای B	دارد	ندارد	استخدام نمی‌شود
خانم C	ندارد	دارد	استخدام نمی‌شود
آقای D	دارد	دارد	استخدام می‌شود

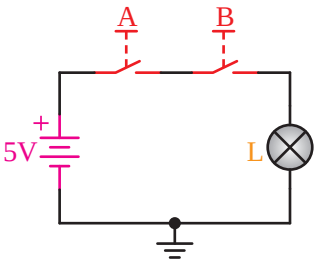
دروازهٔ منطقی AND، دروازه‌ای است که چنان‌چه همهٔ ورودی‌های آن در وضعیت یک منطقی باشند، خروجی آن نیـــز در وضعیت یک منطقی قـــرار می‌گیرد. در غیر این صورت حتی اگر یکی از ورودی‌های آن در وضعیت صفر منطقی باشد، خروجی این دروازه در وضعیت صفر منطقی خواهد بود.

عملکرد وضعیت‌های مختلف دروازهٔ منطقی AND را در شکل‌های زیر مشاهده می‌کنید.

در شکل ۱۲ـ۱ـ الف مدار عملی دروازهٔ منطقی AND را مشـــاهده می‌کنید هر دو کلید A و B در حالت قطع هستند درنتیجه لامپ روشن نخواهد شد.

شـــکل ۱۲ـ۱ـ ب مدار دروازهٔ‌منطقی AND را در این وضعیت نشان می‌دهد.

الف) مدار عملی



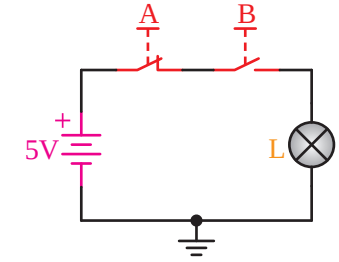
ب) مدار شماتیک

شکل ۱۲ـ۱ـ دروازه منطقی AND در وضعیت قطع هر دو کلید

در شکل ۱۳ـ۱ـ الف مدار عملی دروازهٔمنطقی AND را مشـــاهده می‌کنید. در این مدار کلید A وصل و کلید B قطع است، درنتیجه لامپ روشن نخواهد شد.

شـــکل ۱۳ـ۱ـ ب مدار دروازهٔ منطقیAND را در این وضعیت نشان می‌دهد.

الف) مدار عملی



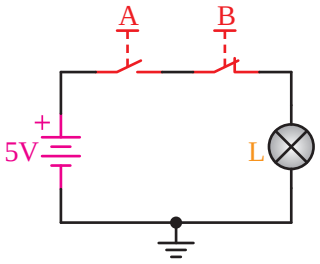
ب) مدار شماتیک

شکل ۱۳ـ۱ـ دروازهٔ منطقی AND در وضعیت قطع بودن کلید B و وصل کلید A

در شکل ۱۴ـ۱ـ الف مدار عملی دروازهٔمنطقی AND را مشاهده می‌کنید. در این مدار کلید A قطع و کلید B وصل است، درنتیجه لامپ روشن نخواهد شد.

شـــکل ۱۴ـ۱ـ ب مدار دروازهٔ منطقی AND را در این وضعیت نشان می‌دهد.

الف) مدار عملی



ب) مدار شماتیک

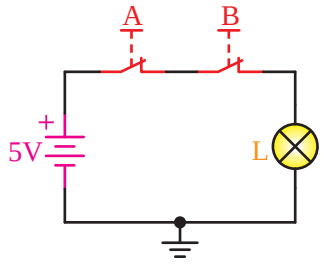
شکل ۱۴ـ ۱ـ دروازهٔ منطقی AND در وضعیت قطع کلید A و وصل کلید B

در شکل ۱۵ـ۱ـ الف مدار عملی دروازهٔ منطقی AND را مشاهده می‌کنید.

در این مدار هر دو کلید A و B وصل هستند. درنتیجه لامپ روشن خواهد شد.

شـــکل ۱۵ـ۱ـ ب مدار دروازهٔ منطقی AND را در این وضعیت نشان می‌دهد.

الف) مدار عملی



ب) مدار شماتیک

شکل ۱۵ـ۱ـ دروازهٔ منطقی AND در وضعیت وصل هر دو کلید A و B

به طور کلی، برای بررسی عملکرد حالت‌های مختلف باز و بسته بودن کلیدها از جدول ۲ـ۱ استفاده می‌کنیم.

جدول ۲ـ۱ـ جدول عملکرد دروازهٔ AND منطقی

وضعیت خروجی	وضعیت کلید B	وضعیت کلید A
۰ منطقی یا ۰ V	باز	باز
۰ منطقی یا ۰ V	بسته	باز
۰ منطقی یا ۰ V	باز	بسته
۱ منطقی یا ۵ V	بسته	بسته

اگر حالت باز کلید را صفر منطقی و حالت بستهٔآن را یک منطقی درنظر بگیریم، جدول ۲ـ۱ به صورت جدول ۳ـ۱ خواهد بود.

جدول ۳ـ۱ـ جدول صحت دروازهٔ منطقی AND

A	B	Y
۰	۰	۰
۰	۱	۰
۱	۰	۰
۱	۱	۱

جدول ۳ـ۱ را جدول صحت (Truth Table) می‌نامند. این جدول شناسنامهٔ یک دروازه (در اینجا دروازهٔ AND) محسوب می‌شود.

همان‌طور که از جدول صحت نیز پیداست خروجی این دروازهٔمنطقی(Y) زمانی در وضعیت یک منطقی قرار می‌گیرد که همهٔ ورودی‌های آن در وضعیت یک منطقی باشند.

۲ـ۳ـ۱ـ دروازهٔ OR یا «یا»:

شرکتی می‌خواهد فردی را استخدام کند. فرد باید یا دیپلم داشته باشد یا دارای گواهی‌نامهٔ مهارت در رشته حسابداری باشد. اگر یکی از این موارد را داشته باشد می‌تواند استخدام شود. جدول۴ـ۱ وضعیت مراجعه کنندگان برای استخدام را مشخص می‌کند.

جدول ۴ـ۱ـ شرط استخدام

فرد مراجعه کننده	داشتن دیپلم	داشتن گواهی‌نامهٔ مهارت در حسابداری	وضعیت استخدام
خانم A	ندارد	ندارد	استخدام نمی‌شود
آقای B	دارد	ندارد	استخدام می‌شود
خانم C	ندارد	دارد	استخدام می‌شود
آقای D	دارد	دارد	استخدام می‌شود

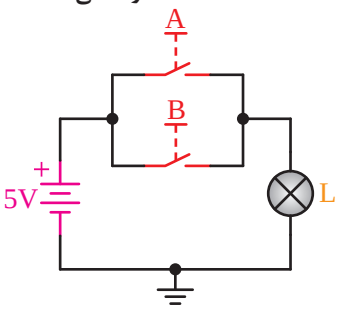
باتوجه به جدول ۴ـ۱ اگر فرد فقط یکی از شرایط را داشته باشد استخدام می‌شود و اگر هر دو شرط را نیز دارا باشد استخدام خواهد شد.

دروازهٔ منطقی OR، دروازه‌ای است که اگر دست کم یکی از ورودی‌های آن در وضعیت یک منطقی باشد، خروجی آن نیز در وضعیت یک منطقی قرار می‌گیرد و چنان‌چه همهٔ ورودی‌های آن در وضعیت صفر منطقی باشند، خروجی آن نیز در وضعیت صفر منطقی خواهد بود. عملکرد دروازهٔ منطقی OR به صورت شکل‌های ۱۶ـ۱ تا ۱۹ـ۱ است.

در این شکل کلیدها به صورت موازی با یکدیگر قرار

گرفته‌انـــد. اگر هر دو کلید در وضعیت قطع (باز) باشـــند لامپ روشـــن نخواهد شد، شکل ۱۶ـ۱ـ الف مدار عملی و شکل۱۶ـ۱ـ ب مدار شماتیک یکی از وضعیت‌های دروازهٔ منطقی OR را نشان می‌دهد.

الف) مدار عملی

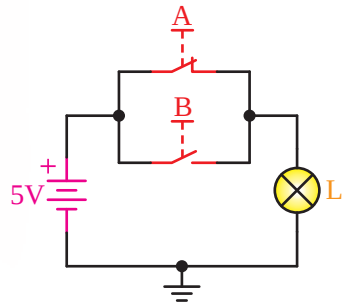


ب) مدار شماتیک

شکل ۱۶ـ ۱ـ دروازهٔ منطقی OR در وضعیت قطع هر دو کلید A و B

در شکل ۱۷ـ۱ـ الف مدار عملی دروازهٔمنطقی OR را مشـــاهده می‌کنید. در این مدار کلید A وصل و کلید B قطع است، دراین حالت لامپ روشن خواهد شد. شکل ۱۷ـ۱ـ ب مـــدار دروازهٔمنطقـــی OR را در این وضعیت نشان می‌دهد.

الف) مدار عملی



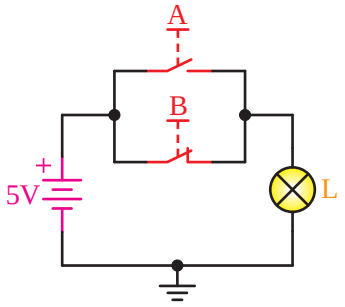
ب) مدار شماتیک

شکل ۱۷ـ۱ـ دروازهٔ منطقی OR در وضعیت بسته بودن کلید A و باز بودن کلید B

در شـــکل ۱۸ـ۱ـ الف مدار عملی دروازهٔمنطقی OR را مشـــاهده می‌کنید. در این مدار کلید A باز و کلید B وصل است، در این حالت لامپ روشن خواهد شد.

شـــکل ۱۸ـ۱ـ ب مدار دروازهٔمنطقـــی OR را در این حالت نشان می‌دهد.

الف) مدار عملی

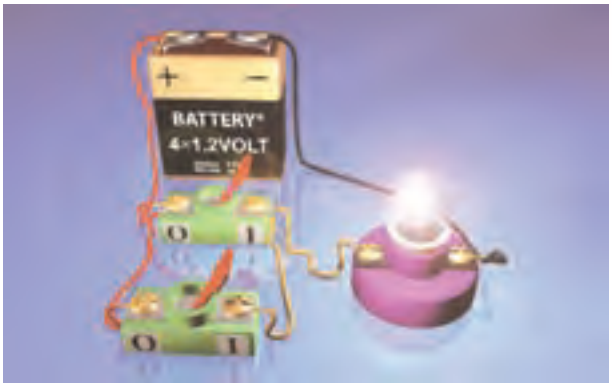


ب) مدار شماتیک

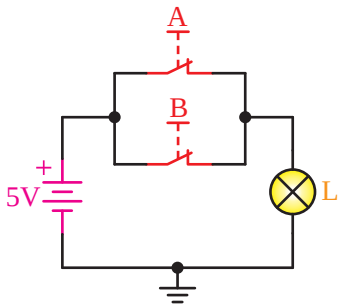
شکل ۱۸ـ۱ـ دروازهٔ منطقی OR در وضعیت بازبودن کلید A و بسته بودن کلید B

در شکل ۱۹ـ۱ـ الف مدار عملی دروازهٔ منطقی OR را مشـــاهده می‌کنید. در این مدار هر دو کلید A و B بسته هستند، در نتیجه لامپ روشن خواهد شد.

شـــکل ۱۹ـ۱ـ ب مدار دروازهٔ منطقی OR را در این وضعیت نشان می‌دهد.



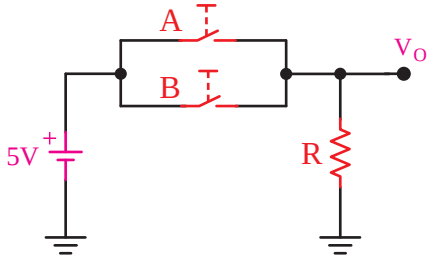
الف) مدار عملی



ب) مدار شماتیک

شکل ۱۹ـ۱ـ دروازهٔ منطقی OR در وضعیت بسته بودن هر دو کلید

دروازهٔ منطقی OR، دروازه‌ای اســـت که اگر دست کم یکی از ورودی‌های آن در وضعیت یک منطقی باشـــد، خروجی آن نیز در وضعیت یک منطقی قرار می‌گیرد و چنان‌چـــه همهٔ ورودی‌های آن در وضعیت صفر منطقی باشند، خروجی آن نیز در وضعیت صفر منطقی خواهد بود. عملکرد دروازهٔ OR به صورت شکل ۲۰ـ۱ است.



شکل ۲۰ـ۱ـ عملکرد دروازهٔ OR

در شـــکل ۲۰ـ۱ اگر فقط یکـــی از دو کلید A یا B در وضعیت یک منطقی (حالت بســـته) قرار گیرند، خروجی (Vo) در وضعیت یک منطقـــی قرار خواهد گرفت. برای بررسی عملکرد حالات مختلف باز و بسته بودن کلیدها از جدول ۵ ـ۱ استفاده می‌کنیم.

جدول ۵ ـ۱ـ جدول تغییرات دروازهٔ منطقی OR

وضعیت خروجی	وضعیت کلید B	وضعیت کلید A
۰ منطقی یا ۰ V	باز	باز
۱ منطقی یا ۵ V	بسته	باز
۱منطقی یا ۵ v	باز	بسته
۱ منطقی یا ۵ V	بسته	بسته

اگر حالت باز کلید را صفر منطقی و حالت بستهٔآن را یک منطقی درنظر بگیریم، جدول ۵ـ۱ به جدول ۶ـ۱ تبدیل خواهد شد.

جدول ۶ـ۱ـ جدول صحت دروازهٔ منطقی OR

A	B	Y
۰	۰	۰
۰	۱	۱
۱	۰	۱
۱	۱	۱

جدول ۶ـ۱ جدول صحت دروازهٔ OR است.

همان‌طور که از این جدول پیداســـت، خروجی دروازه OR زمانی در وضعیت یک منطقی قرار می‌گیرد که دست کم یکی از ورودی‌های آن در وضعیت یک منطقی باشد.

۳ـ۳ـ۱ـ دروازهٔ NOT یا «نه» یا «نفی»:

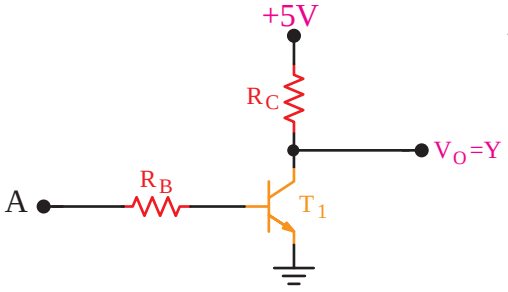
شـــرکتی می‌خواهد فردی را استخدام کند. اگر فردی دارای سابقهٔ‌کیفری باشد استخدام نمی‌شود، یعنی ورودی (سابقهٔ‌کیفری) هست ولی خروجی صفر است.

جـــدول ۷ـ۱ وضعیـــت مراجعه‌کنندگان را مشـــخص می‌کند.

جدول ۷ـ۱ـ شرط استخدام

فرد مراجعه کننده	داشتن سابقهٔ کیفری	وضعیت استخدام
آقای A	ندارد	استخدام می‌شود
آقای B	دارد	استخدام نمی‌شود

دروازهٔ NOT، دروازه‌ای است که اولاً یک ورودی دارد؛ ثانیاً خروجی آن زمانی در وضعیت یک منطقی قرار می‌گیرد که ورودی آن در وضعیت صفر منطقی باشد. برای بررسی عملکرد دروازهٔ NOT به شکل ۲۱ـ۱ توجه کنید.



شکل ۲۱ـ۱ـ مدار معادل الکترونیکی دروازهٔ منطقی NOT

اگر به ورودی این مدار (A)، ولتاژ حدود صفر ولت اعمال کنیم، ترانزیستور قطع می‌شود و ولتاژ خروجی آن تقریباً همان ولتاژ تغذیه (در این شکل ۵ ولت) خواهد شد اما با اعمال ولتاژ حدود ۵ ولت ترانزیستور T_1 اشباع می‌شود و ولتاژ خروجی حدود ۰/۲ ولت خواهد شد. این نتایج در جدول ۸ـ۱ خلاصه شده است:

جدول ۸ـ۱ـ جدول تغییرات دروازهٔ NOT

ولتاژ ورودی (A)	ولتاژ خروجی (Y)
۰ V	= ۵ V
۵ V	= ۰ V

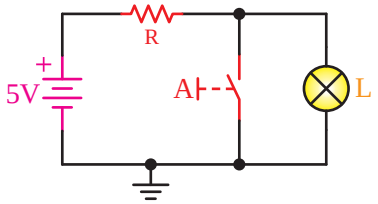
جدول ۸ ـ۱ را می‌توان به صورت جدول ۹ـ۱ نیز نوشت.

جدول ۹ـ۱ـ جدول صحت دروازهٔ NOT

A	Y
۰	۱
۱	۰

چنان‌چه بخواهیم عملکرد دروازهٔ‌منطقی NOT را با مدار سادهٔ‌کلیدی نمایش دهیم، می‌توانیم از شکل ۲۲ـ۱ استفاده کنیم. در شکل ۲۲ـ۱ـ الف مدار عملی دروازهٔ منطقی NOT را مشاهده می‌کنید. کلید در حالت باز است ولی لامپ روشن می‌شود و شکل ۲۲ـ۱ـ ب مدار شماتیک این وضعیت را نشان می‌دهد.

الف) مدار عملی

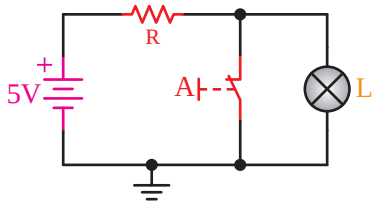


ب) مدار شماتیک

شکل ۲۲ـ۱ـ مدار دروازهٔ منطقی NOT در زمان باز بودن کلید

در شکل ۲۳ـ۱ـ الف مدار عملی دروازهٔ‌منطقی NOT را مشاهده می‌کنید. در این وضعیت کلید بسته است ولی لامپ روشن نمی‌شود. شکل ۲۳ـ۱ـ ب مدار شماتیک حالت بسته بودن کلید را نشان می‌دهد.

الف) مدار عملی



ب) مدار شماتیک

شکل ۲۳ـ۱ـ مدار دروازهٔ منطقی NOT در زمان وصل بودن کلید

اگر حالت بـــاز کلید را صفر منطقـــی درنظر بگیریم (جریان عبوری از کلید صفر اســـت)، حالت بستهٔ‌کلید، یک منطقی را نشان می‌دهد. جدول ۱۰ـ۱ عملکرد مدار را نشان می‌دهد.

جدول ۱۰ـ۱ـ جدول تغییرات مدار الکتریکی دروازهٔ NOT

وضعیت لامپ	وضعیت کلید
روشن	باز
خاموش	بسته

۴ـ۱ـ سیستم‌های اعداد

اعـــدادی که در عصـــر حاضر به طور وســـیعی از آنها استفاده می‌کنیم، شـــاید در حدود ۱۰ تا ۱۲ هزار سال پیش به‌وجود آمده‌اند و بعدها برای شـــمارش این اعداد، اسم‌ها و قوانینی وضع شـــد. گسترش شمارش اعداد در مبناهای مختلف، سیستم‌های مختلفی را ایجاد کرد که در حال حاضر هر یک از این سیســـتم‌ها در موارد خاصی مورد استفاده قرار می‌گیرند.

یکی از مبناهایی که از زمان قدیم تا کنون مورد استفاده قرارگرفته اســـت، مبنای ۱۰ (دهدهی) است که بر مبنای شمارش انگشتان دســـت‌ها بوده و چنین ترتیب ذهنی را برای آنها به وجود آورده‌اند.

۱ـ۴ـ۱ـ سیستم دهدهی (اعشاری Decimal):

سیستم اعداد دهدهی (اعشاری) از ده علامت ۰و۱و۲و...۹ تشکیل شده‌اند. برای شمارش از صفر تا ۹ از این علامت‌ها استفاده می‌کنیم و برای نشان دادن اعداد بزرگ‌تر از ۹، این علامت‌ها را طبق قواعد خاصی با یک دیگر ترکیب می‌کنیم (پشت سر هم قرار می‌دهیم). چنان‌که می‌دانید، موقعیت مکانی هر عدد (هر علامت) یا رقم معنی خاصی دارد؛ مثلاً با دو رقم ۶ و ۴ دو عدد ۴۶ و ۶۴ را می‌توان ساخت که از نظر معنا با هم متفاوت‌اند. در سیستم دهدهی، هر عدد را می‌توان به صورت توان‌هایی از ۱۰ نشان داد؛ به این دلیل به آنها سیستم دهدهی می‌گویند. مثلاً:

$$۳۲۹۶=۳۰۰۰+۲۰۰+۹۰+۶=$$

$$۳\times۱۰^{۳}+۲\times۱۰^{۲}+۹\times۱۰^{۱}+۶\times۱۰^{۰}$$

به طور کلی، در سیســـتم اعشاری (دهدهی) هر عدد صحیح را می‌توان به صورت زیر نوشت.

$$N= a_n\times۱۰^{n}+a_{n-۱}\times۱۰^{n-۱}+....+a_۲\times۱۰^{۲}+a_۱\times۱۰^{۱}+a_۰\times۱۰^{۰}$$

ضرایب $a_n , a_{n-۱} , \dots , a_۲ , a_۱$ و $a_۰$ می‌توانند بین صفر تا ۹ باشند. توان‌های ۱۰ ارزش مکانی هر یک از رقم‌ها را مشخص می‌کند. مثلاً:

$$۴۵۵۳۱=۴\times۱۰^{۴}+۵\times۱۰^{۳}+۵\times۱۰^{۲}+۳\times۱۰^{۱}+۱\times۱۰^{۰}$$

ده هزارگان هزارگان صدگان دهگان یکان

در عـــدد ۴۵۵۳۱، رقم ۴ مربوط به a_n، رقم ۵ مربوط به $a_{n-۱}$، رقم ۵ صدگان مربوط به $a_{n-۲}$، ۳ مربوط به $a_{n-۳}$ و ۱ مربوط به $a_{n-۴}$ است. در این مثال $n=۴$ است درنتیجه $a_n=a_۴$, $a_{n-۱}=a_۳$ و ... $a_{n-۴}=a_۰$ می‌شود.

تمرین کلاسی ۱ـ۱: ضرایب و ارزش مکانی عدد ۸۳۲۹ را مشخص کنید.

۲ـ۴ـ۱ـ سیستم دودویی (Binary):

در سیســـتم دودویی علایم به کار رفته ۰ و ۱ (دوتا) هســـتند. برای شـــمارش صفر و یـــک از این علامت‌ها اســـتفاده می‌کنیم و برای نمایش دادن اعداد بزرگ‌تر از یک، این دو علامت را طبق قواعد خاصی پشت سر هم قرار می‌دهیم. در این سیستم نیز هر علامت متناسب با مکانـــی که در آن قرار می‌گیرد (یا موقعیت رقم)، ارزش

خاصی پیدا می‌کند. به طور کلی در سیستم دودویی هر عدد را می‌توان به صورت زیر نوشت:

$$N=a_n\times 2^n+a_{n-1}\times 2^{n-1}+....+a_2\times 2^2+a_1\times 2^1+a_0\times 2^0$$

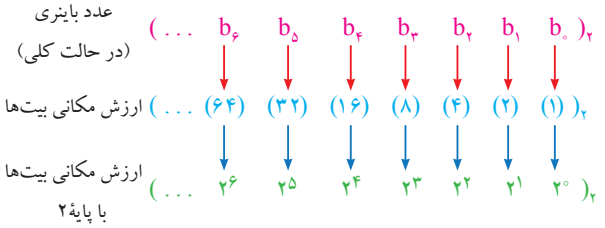
در این‌جا ضرایب a_n .... a_1a_0 می‌توانند صفر یا یک باشند.

در سیستم دوتایی به هر رقم صفر یا یک، یک بیت (Binary Digit= Bit) می‌گویند، مثلاً عدد ۱۱۰۱ یک عدد چهار بیتی است.

در گذشته به هر چهار بیت یک نی بل (nibble) می‌گفتند و در حال حاضر به هر هشت بیت یک بایت (Byte) گفته می‌شود. واحد بزرگ‌تر از بایت، کیلوبایت معادل 2^{10} بایت یا ۱۰۲۴بایت و مگابایت معادل 2^{20} بایت یا ۱۰۲۴کیلوبایت است.

برای نمایش دادن اعداد باینری (اعداد در مبنای ۲) می‌توانیم باتوجه به ارزش مکانی هر بیت، آن عدد را بنویسیم.

می‌دانیم که در یک سیستم دودویی ارزش اولین بیت برابر یک، ارزش دومین بیت برابر ۲ (دو برابر رقم قبل)، ارزش سومین بیت برابر ۴ (دو برابر رقم قبلی) و ارزش چهارمین بیت برابر ۸ (دو برابر رقم قبلی) و ... است.



مثال ۱ـ۱: عدد باینری ۱۰۰۱۱، دارای ارزش مکانی و ضرایب به صورت زیر است.

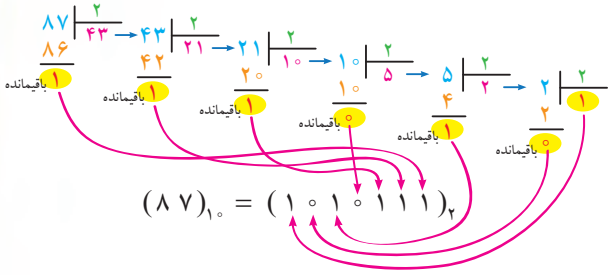
$$1\times 2^0+1\times 2^1+0\times 2^2+0\times 2^3+1\times 2^4=11001$$

یکی ۲تایی ۴تایی ۸تایی ۱۶تایی

ضرایب این عدد به صورت :

$a_0=1$ و $a_1=1$ و $a_2=0$ و $a_3=0$ و $a_4=1$

برای تبدیل کردن اعداد اعشاری به باینری، می‌توانیم از تقسیمات متوالی عدد اعشاری به عدد دو استفاده کنیم. برای مثال عدد اعشاری ۸۷ را به عدد باینری تبدیل می‌کنیم.

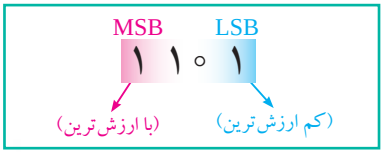


تقسیمات را تا جایی ادامه می‌دهیم تا آخرین خارج قسمت یک شود و سپس در سمت چپ آخرین خارج قسمت را می‌نویسیم و به ترتیب باقیمانده‌های به‌دست آمده را در جلوی آن قرار می‌دهیم.

تمرین کلاسی ۲ـ۱: عدد ۹۵ در مبنای ده‌دهی را به مبنای باینری تبدیل کنید.

تمرین کلاسی ۳ـ۱: عدد ۱۳۶ در مبنای ده‌دهی را به مبنای باینری تبدیل کنید.

در یک عدد باینری مثلاً (۱۱۰۱۱۱) بیت اول از سمت راست کم ارزش‌ترین بیت است که به آن LSB (Least siginificant Bit) می‌گویند. به آخرین بیت در سمت چپ که با ارزش‌ترین بیت است MSB(Most Significant Bit) گفته می‌شود. توجه داشته باشید که ارزش ارقام دقیقاً مشابه سیستم اعشاری است.



مثلاً در سیستم اعشاری عدد ۷۸۳۲، کم ارزش‌ترین رقم عدد ۲ و با ارزش‌ترین رقم عدد ۷ است.

در جدول ۱۱ـ۱، اعداد باینری از صفر تا ۱۵ نمایش داده شده‌اند.

جدول ۱۱ـ۱ـ اعداد اعشاری و معادل باینری آن

باینری	اعشاری ده دهی
۰	۰
۱	۱
۱۰	۲
۱۱	۳
۱۰۰	۴
۱۰۱	۵
۱۱۰	۶
۱۱۱	۷
۱۰۰۰	۸
۱۰۰۱	۹
۱۰۱۰	۱۰
۱۰۱۱	۱۱
۱۱۰۰	۱۲
۱۱۰۱	۱۳
۱۱۱۰	۱۴
۱۱۱۱	۱۵

نکتهٔ ۱: چون عملکرد دروازه‌های منطقی پایه در دو حالت صفر و یک تعریف شده است، به همین دلیل از سیستم دودویی (باینری) استفاده می‌شود.

نکتهٔ ۲: در سیستم دودویی هر کیلو بایت معادل $۲^{۱۰}$ بایت است و با واحد کیلو در بقیهٔ کمیت‌هایی که تاکنون شناخته‌ایم متفاوت است :

به همین ترتیب داریم:

۱کیلوبایت=۱KB=$۲^{۱۰}$ B

۱مگابایت=۱MB=$۲^{۱۰}$KB=$۲^{۲۰}$ B

۱گیگابایت=۱GB=$۲^{۱۰}$MB=$۲^{۲۰}$KB=$۲^{۳۰}$ B

۱ترابایت=۱TB=$۲^{۱۰}$GB=$۲^{۲۰}$MB=$۲^{۳۰}$KB=$۲^{۴۰}$ B

آیا می‌دانید:

از واحدهای کیلوبایت، مگابایت، گیگابایت و ... در رابطه با سنجش ظرفیت چه وسایلی استفاده می‌شود و چه مفهومی دارد؟ توضیح دهید.

۳ـ۴ـ۱ـسیستم هشت‌تایی (اکتال Octal):

در سیستم اکتال (هشت‌تایی) مبنا، عدد ۸ و تعداد علامت‌ها هشت رقم به صورت (۰و۱و۲و...و۷) است.

برای نمایش دادن اعداد از صفر تا هفت، از این علامت‌ها استفاده می‌شود. برای اعداد بزرگ‌تر از هفت، این علامت‌ها را طبق قواعد خاصی پشت سرهم قرار می‌دهیم. این قاعده‌ها را در ادامه توضیح خواهیم داد.

در این سیستم مانند سیستم ده‌دهی، هر عدد موقعیت خاص خود را دارد. معادل اعشاری اعداد اکتال مشابه اعداد باینری از رابطهٔزیر به دست می‌آید. با این تفاوت که به جای عدد ۲، عدد ۸ قرار می‌گیرد.

$$N=a_n\times ۸^n+a_{n-۱}\times ۸^{n-۱}+....+a_۲\times ۸^۲+a_۱\times ۸^۱+a_۰\times ۸^۰$$

ضرایب $a_۰$ تا a_n می‌توانند مقادیری بین صفر تا ۷ باشند، مثلاً عدد اکتال $(۵۲۳۶)_۸$ در سیستم اعشاری برابر است با:

$(۵۲۳۶)_۸=$

$۵\times ۸^۳+۲\times ۸^۲+۳\times ۸^۱+۶\times ۸^۰=$

$۵\times ۵۱۲+۲\times ۶۴+۳\times ۸+۶\times ۱=$

$۲۵۶۰+۱۲۸+۲۴+۶=(۲۷۱۸)_{۱۰}$

با مثال دیگری دراین رابطه موضوع را روشن‌تر می‌کنیم.

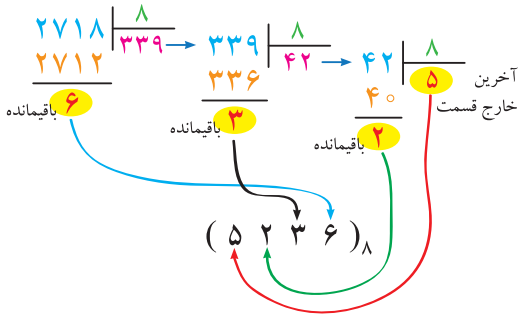
$(۷۰۴۰)_۸=۷\times ۸^۳+۰\times ۸^۲+۴\times ۸^۱+۰\times ۸^۰=$

$۷\times ۵۱۲+۰\times ۶۴+۴\times ۸+۰\times ۱=$

$۳۵۸۴+۰+۳۲+۰=(۳۶۱۶)_{۱۰}$

برای تبدیل کردن اعداد اعشاری به اکتال، از تقسیم‌های متوالی عدد اعشاری به عدد ۸ استفاده می‌کنیم و همان قواعد خاصی را که در بالا اشاره کردیم توضیح خواهیم داد.

مثال ۲ـ۱: عدد اعشاری $(۲۷۱۸)_{۱۰}$ را به عدد اکتال تبدیل کنید (به مبنای ۸ ببرید).



تقسیمات را تا جایی ادامه می‌دهیم که خارج قسمت با عدد ۷ مساوی یا کوچکتر شود. مشابه سیستم باینری از سمت چپ شروع به نوشتن عدد می‌کنیم. به این ترتیب که آخرین خارج قسمت را سمت چپ نوشته و به ترتیب باقیمانده را در جلوی آن می‌نویسیم تا به اولین باقی‌ماندهٔ تقسیم برسیم.

$(۲۷۱۸)_{۱۰}=(۵۲۳۶)_{۸}=(۵۲۳۶)_{۰}$

تمرین کلاسی ۴ـ۱: عدد $(۵۲۳۶)_{۸}$ را به مبنای اعشاری تبدیل کنید و ببینید آیا همان عدد به دست می‌آید؟

مثال ۳ـ۱: عدد ۳۰۴۵ در مبنای اکتال را به مبنای اعشار (دهدهی) تبدیل کنید.

$(۳۰۴۵)_{۸}=۳\times۸^{۳}+۰\times۸^{۲}+۴\times۸^{۱}+۵\times۸^{۰}=$

$۳\times۵۱۲+۰\times۶۴+۴\times۸+۵\times۱=$

$۱۵۳۶+۰+۳۲+۵=(۱۵۷۳)_{۱۰}$

تمرین کلاسی ۵ـ۱: اعداد زیر را که در مبنای اکتال هستند به مبنای دهدهی (اعشاری) ببرید.

الف) $(۷۵۳)_{۸}$

ب) $(۱۴۶۲)_{۸}$

تمرین کلاسی ۶ـ۱: اعداد دهدهی زیر را به مبنای اکتال و باینری ببرید.

الف) ۵۷۲ ب) ۸۴ پ) ۱۰۲۴

۴ـ۴ـ۱ـ سیستم شانزده‌تایی (هگزادسی‌مال Hexa decimal):

در این سیستم (۱۶تایی)، ۱۶ علامت شامل ۰، ۱، ۲،.....۹، A، B، C، D، E و F به کار می‌رود. در این سیستم برای نمایش عددهای بیشتر از ۹ و کمتر از ۱۶ باید از یک علامت استفاده کرد و نمی‌توان مثلاً عدد ۱۰ را به همین صورت نشان داد چون یک عدد دو رقمی است که هم صفر و هم یک دارد و با صفر و یک اصلی اشتباه می‌شود. به همین دلیل از حروف استفاده می‌شود که:

A=۱۰، B= ۱۱، C= ۱۲، D= ۱۳، E= ۱۴، F= ۱۵

برای اعداد بزرگ‌تر از ۱۶ این علامت‌ها را طبق قواعد خاصی پشت سر هم قرار می‌دهیم. مشابه همان قواعدی که در سیستم اکتال بیان شد با این تفاوت که پایه در این جا عدد ۱۶ است. در این سیستم اعداد نیز، هر عدد موقعیت خاص خود را دارد.

معادل اعشاری اعداد هگزادسی‌مال از رابطهٔ‌زیر به‌دست‌می‌آید.

$$N=a_n\times۱۶^{n}+a_{n-۱}\times۱۶^{n-۱}+....+a_۱\times۱۶^{۱}+a_۰\times۱۶^{۰}$$

ضرایب $a_۰$ تا a_n می‌توانند مقادیری بین صفر تا F (۱۵)باشند. مثلاً عدد $(A۱۴E)_{۱۶}$ در مبنای ۱۶ نوشته شده است. معادل اعشاری آن برابر است با:

$N=A\times۱۶^{۳}+۱\times۱۶^{۲}+۴\times۱۶^{۱}+E\times۱۶^{۰}=$

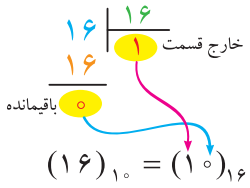
$N=(۱۰)\times۴۰۹۶+۱\times۲۵۶+۴\times۱۶+(۱۴)\times۱=$

$۴۰۹۶۰+۲۵۶+۶۴+۱۴=(۴۱۲۹۴)_{۱۰}$

برای تبدیل کردن اعداد اعشاری به اعداد هگزادسی‌مال،

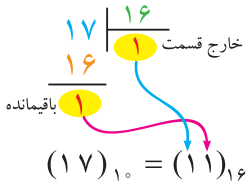
از تقسیم‌های متوالی عدد اعشاری به عدد ۱۶ استفاده می‌کنیم. هنگام تقسیم کردن توجه داشته باشید که اگر باقیمانده بین ۱۰ تا ۱۵ باشد، باید از حروف A تا F استفاده کنید.

مثال ۴ـ۱: عدد ۱۶ در مبنای دهدهی را به مبنای هگزادسی‌مال تبدیل کنید.



همانطور که ملاحظه کردید عدد ۱۶ در سیستم دهدهی به عدد ۱۰ در سیستم هگزادسی‌مال تبدیل شد.

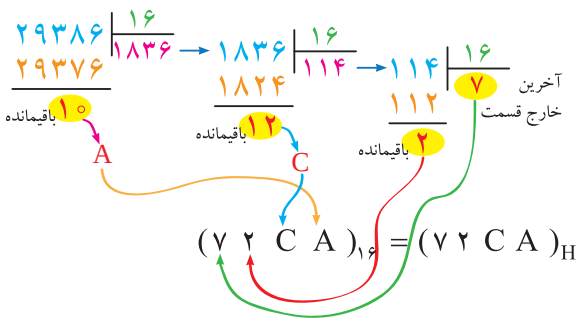
مثال ۵ ـ۱: عدد ۱۷ در مبنای دهدهی را به مبنای هگزادسی‌مال تبدیل کنید.



با توجه به دو مثال بالا در سیستم هگزادسی‌مال، معادل ۱۶ و ۱۷ سیستم دهدهی، اعداد ۱۰ و ۱۱ خواهدشد.

اگر بخواهیم ۱۱ را در مبنای هگزادسی‌مال به صورت $(۱۱)_{H}$ نشان دهیم با ۱۷، اشتباه می شود . لذا ناگزیریم ۱۱ را با علامت دیگری نشان دهیم که از علائم A تا F برای اعداد ۱۰ تا ۱۵ استفاده می‌کنیم.

مثال ۶ ـ۱: عدد اعشاری $(۲۹۳۸۶)_{۱۰}$ را به سیستم هگزا دسی‌مال تبدیل کنید.



مشابه سیستم‌های دیگر تقسیم‌های متوالی را تا جایی که آخرین خارج قسمت با ۱۵ مساوی یا کوچک‌تر شود ادامه می‌دهیم، سپس از سمت چپ ابتدا آخرین خارج قسمت را می‌نویسیم و باقیمانده‌ها را در جلوی آن، تا به اولین باقیمانده برسیم.

تمرین کلاسی ۷ـ۱: عدد ۷۵۶۸ را به مبنای هگزادسی‌مال ببرید.

تمرین کلاسی ۸ ـ۱: عدد $(ABF)_{۱۶}$ در مبنای ۱۶ را به مبنای اعشاری تبدیل کنید.

نکته: موارد کاربری اعداد باینری و هگزادسی‌مال در زبان ماشین است.

۵ـ۱ـ مکمل‌های اعداد

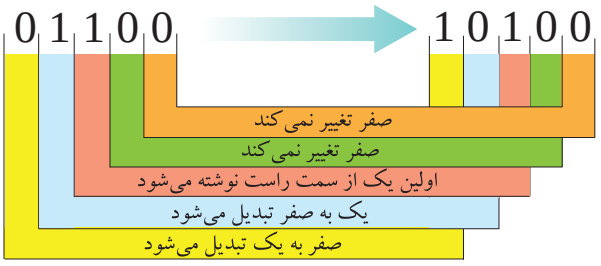
مکمل‌ها یا متمم‌ها در کامپیوترهای دیجیتال برای ساده کردن عمل تفریق و یا عملیات منطقی به کار می‌روند. در هر مبنایی دو نوع مکمل برای هر سیستم وجود دارد:

یکی مکمل مبنا یا پایه و دیگری مکمل مبنا منهای یک یا پایهٔ‌کاهش یافته است. در سیستم دودویی چون مبنا ۲ است مکمل ۲ را داریم و مکمل کاهش یافتهٔ پایه که آن را مکمل ۱ می‌نامیم.

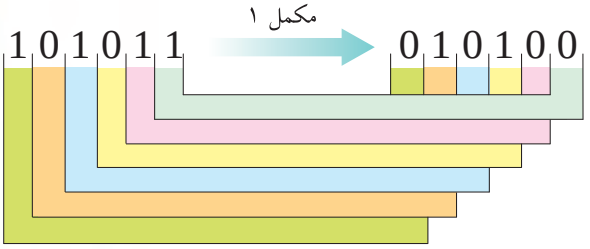
۱ـ۵ـ۱ـ مکمل ۱: برای بدست آوردن مکمل ۱ در هر عدد دودویی (باینری) کافی است صفرها را یک و یک‌های آن را به صفر تبدیل کنیم. مثلاً برای عدد باینری ۰۱۱۱۰۱ مکمل یا متمم یک آن به صورت ۱۰۰۰۱۰ خواهدشد.

تمرین کلاسی ۹ـ۱: متمم یا مکمل ۱ عدد باینری ۱۰۰۱۱۰۱ را به‌دست آورید.

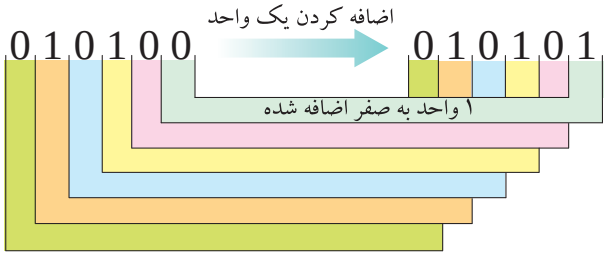
۲ـ۵ـ۱ـ مکمل ۲: در سیستم دودویی مکمل ۲ براساس مبنا یا پایهٔ‌آن تعریف شده است. برای به دست آوردن مکمل ۲ در هر عدد باینری به صورت زیر عمل می‌کنیم. ابتدا اولین ارقام صفر را از سمت راست می‌نویسیم به اولین یک که رسیدیم آن را نوشته، سپس بقیهٔ بیت‌ها را متمم می‌کنیم یعنی یک‌ها را به صفر و صفرها را به یک تبدیل می‌کنیم. مثلاً برای عدد باینری ۰۱۱۰۰ از سمت راست، ابتدا دو صفر آن را نوشته و اولین یک از سمت راست را نیز می‌نویسیم سپس دومین یک از سمت راست را صفر می‌کنیم و بعد صفر را یک کرده و آن‌را می‌نویسیم .



روش دیگری نیز برای مکمل ۲ وجود دارد به این ترتیب که ابتدا مکمل ۱ عدد باینری را می‌نویسیم، سپس یک واحد به عدد به دست آمده اضافه می‌کنیم. به طور مثال مکمل ۲ عدد باینری ۱۰۱۰۱۱ را از روش دوم به دست می‌آوریم.



در این روش همانطور که ملاحظه شد یک‌ها را به صفر و صفرها را به یک تبدیل می‌کنیم که ابتدا مکمل ۱ عدد به دست می‌آید. سپس به مکمل ۱ عدد به دست آمده یک واحد اضافه می‌شود که این روش را پس از فراگیری جمع در سیستم باینری بهتر درک خواهید کرد.



اگر عدد مثال دوم را با روش اول نیز تبدیل کنیم به همین نتیجه خواهیم رسید.

۱۰۱۰۱۱ ⟶ (مکمل ۲) ⟶ ۰۱۰۱۰۱

اولین یک از سمت راست را می‌نویسیم دومین یک، صفر می‌شود و رقم صفر از سمت راست یک شده و به همین ترتیب ادامه می‌دهیم. حاصل در هر دو روش یک سان است. لازم است که هر دو روش را فرا بگیرید.

تمرین کلاسی ۱۰ـ۱: مکمل ۲ عدد باینری ۱۰۱۱۰۱ را از هر دو روش به دست آورید.

مثال ۷ـ۱: مکمل ۲ عدد باینری ۱۰۰۰۱ را از هر دو روش به دست آورید.

روش اول 01111 ← (مکمل ۲) 10001

روش دوم
10001 ← (مکمل ۱) 01110
01110 ← (اضافه کردن یک واحد) 01111

تمرین کلاسی ۱۱ـ۱: مکمل ۱ و مکمل ۲ اعداد باینری زیر را بنویسید.
برای به دست آوردن مکمل ۲ از هر دو روش استفاده کنید.
الف) ۱۰۰۱۱۰۰۱۱
ب) ۱۱۱۰۱۰۱۱
پ) ۱۰۱۰۱۰۱

۱ـ۶ـ تبدیل مبناهای اعداد به یکدیگر

وقتی که ما بیش‌تر از یک سیستم عددی داریم، تبدیل اعداد از یک سیستم به سیستم دیگر بسیار مهم است. برای ما آسان‌تر است که با اعداد دسی‌مال سروکار داشته باشیم ولی در سیستم‌های دیجیتال اعداد دودویی (باینری) بیش‌تر به‌کار می‌رود.

از طرفی ما هم به اعداد دسی‌مال احتیاج داریم و هم به اعداد دودویی، زیرا ماشین اعداد دودویی را می‌شناسد درصورتی‌که روی نمایشگر باید اعداد ده‌دهی ظاهر شود. درنتیجه همواره در سیستم‌های دیجیتالی تبدیل اعداد دسی‌مال به اعداد دودویی در مورد اطلاعات ورودی و برعکس تبدیل اعداد دودویی به اعداد دسی‌مال در مورد اطلاعات خروجی مورد نیاز است.

اکثر سیستم‌های دیجیتال با اعداد در سیستم دودویی کار می‌کنند.

هم‌چنین استفاده از سیستم اعداد در مبنای اکتال (هشت‌تایی 2^3) و هگزا دسی‌مال (شانزده‌تایی 2^4) که به صورت توان‌هایی از ۲ نوشته می‌شوند، در ساده‌کردن این تبدیلات بسیار مؤثر هستند.

۱ـ۶ـ۱ـ تبدیل مبنای ۲ به ۱۰: برای تبدیل اعداد دودویی به دسی‌مال، ابتدا ارزش مکانی بیت‌های عدد باینری را مشخص می‌کنیم، سپس باتوجه به مقدار بیت در آن ارزش مکانی آنها را با هم جمع می‌کنیم. به عنوان مثال ارزش مکانی عدد زیر را تعیین می‌کنیم.

$(1\ 0\ 0\ 1\ 0\ 1\ 0)_2$

ارزش مکانی ۱ = 2^0
ارزش مکانی ۲ = 2^1
ارزش مکانی ۴ = 2^2
ارزش مکانی ۸ = 2^3
ارزش مکانی ۱۶ = 2^4
ارزش مکانی ۳۲ = 2^5
ارزش مکانی ۶۴ = 2^6

$1\times64+0\times32+0\times16+1\times8+0\times4+1\times2+0\times1=$
$64+0+0+8+0+2+0=74$
$(1001010)_2=74$

مثال ۸ـ۱: عدد باینری ۱۰۰۱۱۱۱۰ را به مبنای ده ببرید.

$(10011110)_2=$
$1\times128+0\times64+0\times32+1\times16+1\times8+1\times4+1\times2+0\times1=$
$128+16+8+4+2=158$
$(10011110)_2=158$

تمرین کلاسی ۱۲ـ۱:
عدد$_2$(۰۱۱۰۱۱۱۰۱)را به مبنای ده‌دهی (دسی‌مال) تبدیل کنید.

تمرین کلاسی ۱۳ـ۱: اعداد باینری زیر را به مبنای اعشاری (دسی‌مال) ببرید.
الف) $(10111001)_2$
ب) $(100001)_2$

۲ـ۶ـ۱ـ تبدیل مبنای ۲ به ۸:

بـــرای این که اعداد را از مبنای باینری به مبنای اکتال (هشـــت‌تایی) تبدیل کنیم، ابتدا بایـــد عدد باینری را به مبنای دسی‌مال برده و سپس با تقسیم‌های متوالی بر ۸ به مبنای اکتال تبدیل کنیم.

بـــه طورمثال برای تبدیل عـــدد باینری ۱۰۰۱۱۰ به مبنای اکتال به روش زیر عمل می‌کنیم.

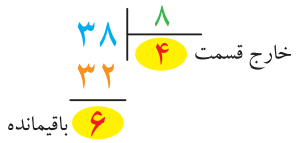
مرحله اول تبدیل به مبنای دسی‌مال:

$۱۰۰۱۱۰=$

$۱\times۳۲+۰\times۱۶+۰\times۸+۱\times۴+۱\times۲+۰\times۱=$

$۳۲+۴+۲=۳۸$

مرحلهٔدوم تبدیل عدد اعشاری به مبنای اکتال:



تقسیم‌های متوالی را تا جایی ادامه می‌دهیم که خارج قســـمت کوچکتر یا مساوی ۷ شـــود. از سمت چپ ابتدا آخرین خارج قســـمت را نوشته ســـپس باقیمانده را به ترتیب تا اولین باقیمانده می‌نویسیم.

$(۳۸)_{۱۰}=(۴۶)_{۸}=(۴۶)_{۰}$

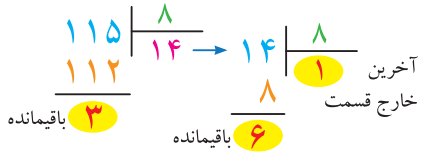
مثال ۹ـ۱: عدد $(۱۱۱۰۰۱۱)_{۲}$ را به مبنای هشت‌تایی ببرید.

$(۱۱۱۰۰۱۱)_{۲}=$

$۱\times۲^{۶}+۱\times۲^{۵}+۱\times۲^{۴}+۰\times۲^{۳}+۰\times۲^{۲}+۱\times۲^{۱}+۱\times۲^{۰}=$

$۱\times۶۴+۱\times۳۲+۱\times۱۶+۰\times۸+۰\times۴+۱\times۲+۱\times۱=$

$۶۴+۳۲+۱۶+۲+۱=۱۱۵$



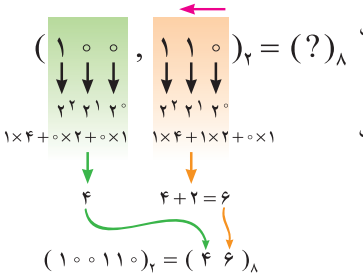
$۱۱۵=(۱۶۳)_{۸}=(۱۱۱۰۰۱۱)_{۲}$

تمرین کلاسی ۱۴ـ۱: اعداد باینری زیر را به مبنای اکتال تبدیل کنید.

الف) $(۱۱۰۱۱۱۰۰۱)_{۲}$

ب) $(۱۰۰۰۰۰۱)_{۲}$

روش ســـاده‌تری نیز برای ایـــن تبدیل وجود دارد که ســـرعت کار را بالاتر می‌برد. می‌تـــوان عدد باینری را از سمت راست سه بیت ســـه بیت جدا کنیم و معادل هر قسمت آن را به صورت اکتال بنویسیم، به‌طور مثال:



۱) از سمت راست سه بیت سه بیت جدا می‌کنیم.

۲) معادل اکتال هر سه بیت را می‌نویسیم.

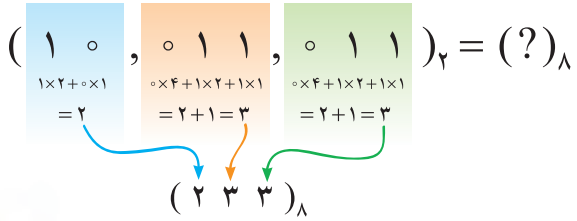
۳) عدد به‌دست آمده در مبنای اکتال است.

تمرین کلاســـی ۱۵ـ۱: اعداد باینری زیر را از روش ساده‌تر به مبنای اکتال ببرید.

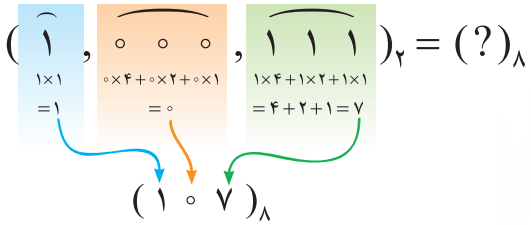
الف) $(۱۱۰۱۱۱۰۰۱)_{۲}$

ب) $(۱۰۰۰۰۰۱)_{۲}$

مثال ۱۰ـ۱: عدد $(۱۰۰۱۱۰۱۱)_{۲}$ را به مبنای اکتال ببرید. (از روش ساده و سریع).



مثال ۱۱ـ۱: عدد $(۱۰۰۰۱۱۱)_۲$ را به مبنای اکتال از روش ساده و سریع ببرید.



نکته: وقتی سه بیت سه بیت از سمت راست جدا می‌کنیم، ممکن است در دستهٔ سمت چپ یک یا دو بیت بماند که درنتیجه فقط همان یک یا دو بیت را برای تبدیل درنظر می‌گیریم.

تمرین کلاسی ۱۶ـ۱: اعداد باینری زیر را از روش سریع‌تر و ساده‌تر به مبنای اکتال تبدیل کنید.

الف) $(۱۰۰۱۱۱۱۱۱)_۲$

ب) $(۱۱۰۰۰۱۰۱)_۲$

پ) $(۱۰۰۱۱۱۰)_۲$

همان طورکه ملاحظه کردید در این جداسازی سه بیتی اگر هر سه بیت یک باشد، بزرگ‌ترین رقم عدد ۷ در سیستم اکتال می‌شود که خود بزرگ‌ترین رقم در سیستم اکتال است.

تمرین کلاسی ۱۷ـ۱: عدد $(۱۰۰۱۱۰۱۱۱۰)_۲$ را از هر دو روش به سیستم اکتال تبدیل کنید. پاسخ‌ها را با هم مقایسه کنید.

۳ـ۶ـ۱ـ تبدیل مبنای ۸ به ۲:

برای تبدیل اعداد در مبنای اکتال به مبنای دودویی، ابتدا باید عدد در سیستم اکتال را به سیستم دسی‌مال (اعشاری) برده، سپس با تقسیم‌های متوالی بر ۲ به مبنای دودویی تبدیل کنیم.

به طور مثال برای تبدیل عدد $(۷۵۲)_۸$ به مبنای دودویی به روش زیر عمل می‌کنیم.

مرحلهٔ اول تبدیل به مبنای دسی‌مال:

$(۷۵۲)_۸=$

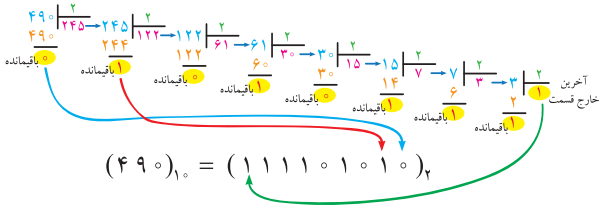
$۷\times۸^۲+۵\times۸^۱+۲\times۸^۰=$

$۷\times۶۴+۵\times۸+۲\times۱=$

$۴۴۸+۴۰+۲=۴۹۰$

$(۷۵۲)_۸=(۴۹۰)_{۱۰}$

مرحلهٔ دوم تبدیل عدد اعشاری به دست آمده به مبنای باینری:



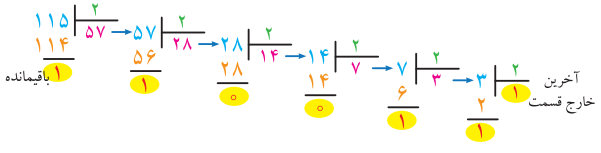
مثال ۱۲ـ۱: عدد اکتال ۱۶۳ را به مبنای باینری تبدیل کنید.

$(۱۶۳)_۸=$

$۱\times۸^۲+۶\times۸^۱+۳\times۸^۰=$

$۱\times۶۴+۶\times۸+۳\times۱=$

$۶۴+۴۸+۳=(۱۱۵)_{۱۰}$



تمرین کلاسی ۱۸ـ۱: اعداد اکتال زیر را به مبنای باینری تبدیل کنید.

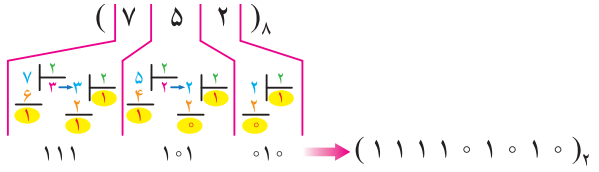
الف) $(۴۳۱)_۸$

ب) $(۵۰)_۸$

پ) $(۷۲۶)_۸$

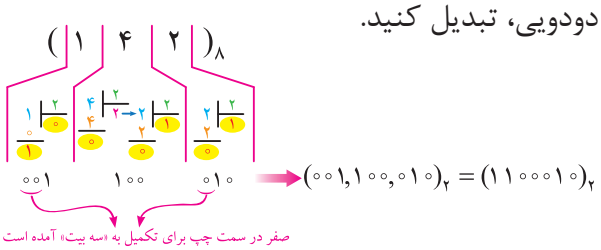
از روش ساده‌تر و سریع‌تری نیز برای این تبدیل می‌توان استفاده کرد، به این ترتیب که هر رقم در مبنای اکتال را به یک عدد سه بیتی در مبنای باینری تبدیل می‌کنیم. برای این کار می‌توان از روش تقسیم‌های متوالی استفاده کرد و با تمرین زیاد به راحتی می‌توانید معادل باینری هر عدد را بدون استفاده از محاسبات به دست آورید.

به طور مثال برای تبدیل عدد $(۷۵۲)_۸$ به مبنای ۲ از مراحل زیر استفاده می‌کنیم.



نکته: اگر در مراحل تقسیم‌های متوالی برای هر رقم، حاصل کم‌تر از سه بیت شد برای تکمیل آن به سه بیت، باید در سمت چپ بیت‌ها، رقم صفر را قرار دهید.

مثال ۱۳ـ۱: عدد $(۱۴۲)_۸$ را از روش سریع‌تر به مبنای دودویی، تبدیل کنید.



$(۱۴۲)_۸=(۰۰۱\ ,\ ۱۰۰\ ,\ ۰۱۰)_۲$

جهت هنرجویان علاقه‌مند:

آیا می‌دانید دلیل ریاضی استفاده از روش‌های ساده‌تر در تبدیلات مبنای ۸ به ۲ و مبنای ۲ به ۸ چیست؟

تحقیق کنید و نتایج تحقیق را به کلاس ارائه دهید.

تمرین کلاسی ۱۹ـ۱:

اعداد در مبنای اکتال زیر را از روش ساده‌تر به مبنای باینری ببرید.

الف) $(۵۴۲)_۸$

ب) $(۲۶۷)_۸$

پ) $(۱۳۰)_۸$

۴ـ۶ـ۱ـ تبدیل مبنای ۲ به ۱۶: به همان روشی که در تبدیل مبنای ۲ به ۸ آموختید، ابتدا باید عدد در مبنای باینری را به سیستم ده‌دهی تبدیل کرد، سپس با تقسیم‌های متوالی بر ۱۶ به مبنای هگزا دسی‌مال (شانزده‌تایی) تبدیل کنیم.

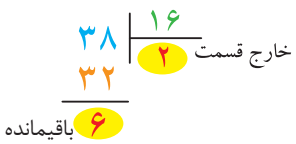
به‌طور مثال برای تبدیل عدد باینری ۱۰۰۱۱۰ به مبنای هگزادسی‌مال به روش زیر عمل می‌کنیم.

مرحلهٔاول تبدیل مبنای دسی‌مال

$۱۰۰۱۱۰=۱\times۳۲+۰\times۱۶+۰\times۸+۱\times۴+۱\times۲+۰\times۱=$

$۳۲+۴+۲=۳۸$

مرحلهٔدوم تبدیل به مبنای هگزا دسی‌مال



تقسیم‌های متوالی را تا جایی ادامه می‌دهیم که خارج قسمت کوچک‌تر یا مساوی ۱۵ شود. (آیا می‌دانید چرا؟) در خارج قسمت یا باقیمانده اگر عدد به دست آمده از ۹ بزرگتر باشد باید طبق آن‌چه در مبنای هگزا دسی‌مال آموختیم از حروف A، B، .... و F استفاده کنیم.

در خاتمه از سمت چپ ابتدا آخرین خارج قسمت را نوشته، سپس باقیمانده‌ها را به ترتیب تا اولین باقیمانده در جلوی آن می‌نویسیم.

$(۳۸)_{۱۰}=(۲۶)_{۱۶}=(۲۶)_{HEX}=(۲۶)_{H}$

می‌دانیم که مبنای هگزادسی‌مال را با HEX یا H نمایش می‌دهند.

مثال ۱ـ۱۴: عدد $(۱۱۱۰۰۱۱)_{۲}$ را به مبنای شانزده‌تایی ببرید.

$(۱۱۱۰۰۱۱)_{۲}=۱\times۶۴+۱\times۳۲+۱\times۱۶+۰\times۸+۰\times۴+$

$۱\times۲+۱\times۱=۱۱۵$

۱۱۵ | ۱۶
خارج قسمت ۷
۱۱۲
باقیمانده ۳

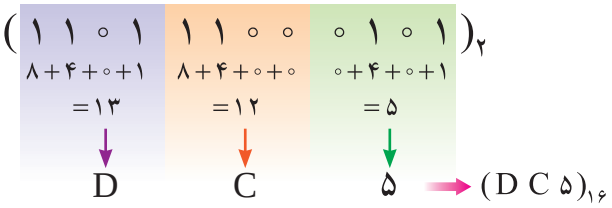
$(۱۱۵)_{۱۰}=(۷۳)_{۱۶}=(۱۱۱۰۰۱۱)_{۲}$

تمرین کلاسی ۱ـ۲۰: اعداد باینری زیر را به مبنای شانزده‌تایی تبدیل کنید.

الف) $(۱۱۰۰۱۱۰۱)_{۲}$

ب) $(۱۰۱۰۱۱۰)_{۲}$

روش ساده‌تری نیز برای این تبدیل وجود دارد که سرعت کار را بالاتر می‌برد. می‌توان عدد باینری را از سمت راست چهار بیت، چهار بیت جدا کنیم و معادل هر قسمت آن را به صورت شانزده‌تایی بنویسیم. به طور مثال:



۱ـ از سمت راست چهار بیت چهار بیت جدا می‌کنیم.

۲ـ معادل هگزا دسی‌مال هر چهار بیت را می‌نویسیم.

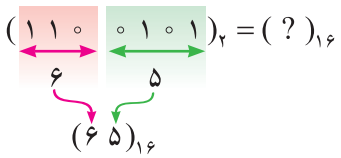
۳ـ عدد به دست آمده در مبنای هگزا دسی‌مال است.

تمرین کلاسی ۱ـ۲۱: اعداد باینری زیر را از روش ساده‌تر به مبنای اکتال ببرید.

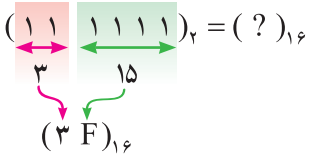
الف) $(۱۱۰۱۱۰۰۱)_{۲}$

ب) $(۱۱۱۰۰۰۰۰)_{۲}$

مثال ۱ـ۱۵: عدد $(۱۱۰۰۱۰۱)_{۲}$ را به مبنای هگزادسی‌مال ببرید، (از روش ساده و سریع).



مثال ۱ـ۱۶: عدد $(۱۱۱۱۱۱)_{۲}$ را به مبنای هگزا دسی‌مال ببرید، (از روش ساده و سریع).



نکته: وقتی چهار بیت، چهار بیت از سمت راست جدا می‌کنیم، ممکن است در دستهٔ سمت چپ یک یا دو بیت بماند که درنتیجه فقط همان یک یا دو بیت را برای تبدیل درنظر می‌گیریم.

تمرین کلاسی ۲۲ـ۱: اعداد

باینری زیر را از روش سریع‌تر و ساده‌تربه مبنای هگزا دسی‌مال تبدیل کنید.

الف) $(۱۱۰۰۱۱۱۰۱)_۲$

ب) $(۱۱۰۱۰۱۰۰۰۱)_۲$

پ) $(۱۱۰۱۰۰۰۰۱۱)_۲$

همان‌طور که ملاحظه کردید در این جداسازی چهار بیتی اگر هر چهار بیت یک باشد، بزرگ‌ترین رقم عدد ۱۵ در سیستم هگزا دسی‌مال می‌شود که خود بزرگ‌ترین رقم در سیستم هگزادسی‌مال است که به صورت F می‌نویسیم.

تمرین کلاسی ۲۳ـ۱:

عدد $(۱۱۰۰۱۱۱۱)_۲$ را از هر روش به سیستم هگزا دسی‌مال تبدیل کنید. پاسخ‌ها را با هم مقایسه کنید.

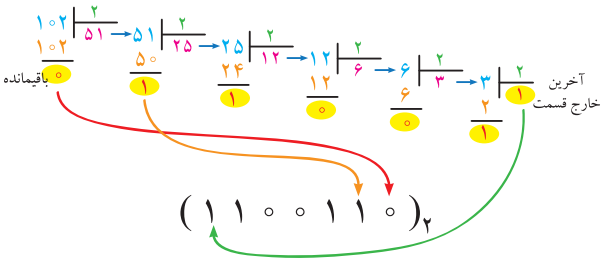
۵ـ۶ـ۱ـ تبدیل مبنای ۱۶ به ۲: برای تبدیل اعداد در مبنای شانزده‌تایی به مبنای دودویی، ابتدا باید عدد در سیستم شانزده‌تایی را به سیستم ده‌دهی برده، سپس با تقسیم‌های متوالی بر ۲ به مبنای دودویی به روش زیر عمل می‌کنیم.

مرحلهٔ اول تبدیل مبنای دسی‌مال:

$(۶۶)_{۱۶}=۶\times۱۶^{۱}+۶\times۱۶^{۰}=$

$۹۶+۶\times۱=۹۶+۶=۱۰۲$

$(۶۶)_{۱۶}=(۱۰۲)_{۱۰}$



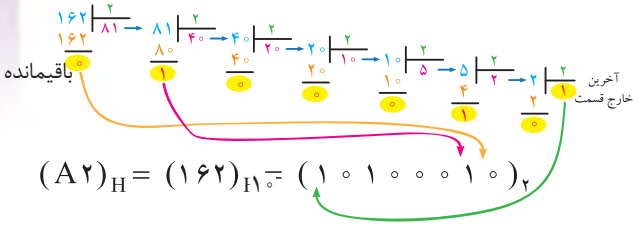
$(۶۶)_{۱۶}=(۱۰۲)_{۱۰}=(۱۱۰۰۱۱۰)_۲$

مثال ۱۷ـ۱: عدد هگزادسی‌مال $(A۲)_H$ را به مبنای باینری تبدیل کنید.

$(A۲)_H = A\times۱۶^{۱}+۲\times۱۶^{۰}=$

$(۱۰)\times۱۶+۲\times۱=۱۶۰+۲=۱۶۲$

$(A۲)_H=(۱۶۲)_{۱۰}$



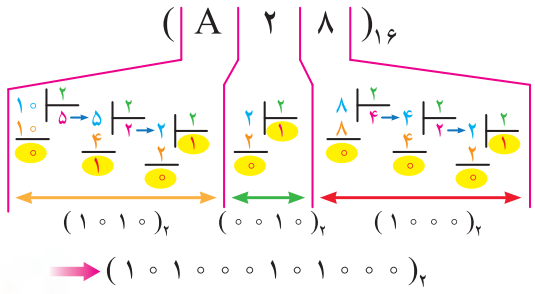
تمرین کلاسی ۲۴ـ۱: اعداد هگزادسی‌مال را به مبنای باینری تبدیل کنید.

الف) $(۱۴۲)_{۱۶}$

ب) $(DE)_{۱۶}$

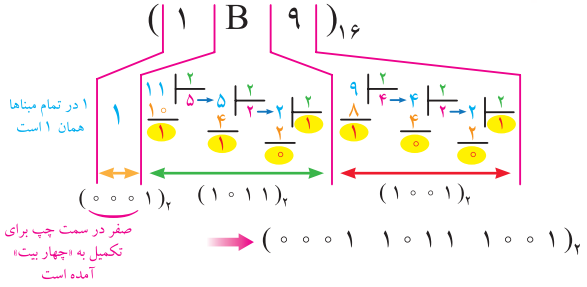
از روش ساده‌تر و سریع‌تر نیز برای این تبدیل می‌توان استفاده کرد، به این ترتیب که هر رقم درمبنای هگزا دسی‌مال را به یک عدد چهار بیتی در مبنای باینری تبدیل می‌کنیم. برای این کار می‌توان از روش تقسیم‌های متوالی استفاده کرد. با تمرین فراوان، به راحتی می‌توانید معادل باینری هر عدد را بدون استفاده از محاسبات به دست آورید.

به طور مثال برای تبدیل عدد $(A۲۸)_{۱۶}$ به مبنای ۲ از مراحل زیر استفاده می‌کنیم.



نکتـــه: اگر در مراحل تقسیم‌های متوالی برای هر رقم، حاصل کم‌تر از چهار بیت شد، برای تکمیل آن به چهار بیت، باید در سمت چپ بیت‌ها رقم صفر را قرار دهید.

مثـــال ۱۸ـ۱: عدد $(1B9)_{16}$ را از روش ســـریع‌تر به مبنای دودویی تبدیل کنید.



جهت هنرجویان علاقه‌مند:

آیا می‌دانید دلیل ریاضی استفاده از روش‌های ساده‌تر در تبدیل‌های مبنای ۱۶ به ۲ و مبنای ۲ به ۱۶ چیست؟

تحقیق کنید و نتایج تحقیق را به کلاس ارائه دهید.

تمرین کلاسی ۲۵ـ۱: اعداد در مبنای هگزا دسی‌مال زیر را از روش ساده‌تر به مبنای باینری ببرید.

الف) $(AF)_{16}$

ب) $(21E)_{16}$

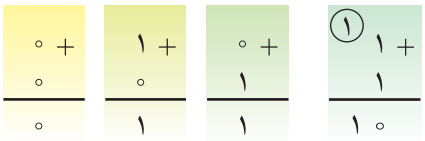
پ) $(D8)_{16}$

۷ـ۱ـ جمع باینری

کلیهٔ اعمال ریاضی بر روی تمامی سیستم‌های اعداد، مشـــابه اعمال ریاضی بر روی اعداد اعشاری است که ما همواره با آن‌ها سروکار داریم.

در این‌جا فقط به بررســـی عمل جمـــع و در ادامه به عمل تفریق بر روی اعداد باینری می‌پردازیم.

جمع در سیســـتم باینری: جمع در این سیستم، شـــبیه به جمع در سیستم اعشـــاری است. در سیستم اعشاری، هرگاه جمع دو رقم از ده بیش‌تر می‌شود، یک واحد به رقم بعد آن اضافه می‌کنیم که به آن **ده بر یک** می‌گوییم. در سیســـتم باینری، هرگاه جمع دو رقم دو شـــود (حالت ۱+۱)، ایجاد **دو بریک**[1] می‌کند و باید عدد یک را به رقم بعدی اضافه کرد. می‌دانیم که:

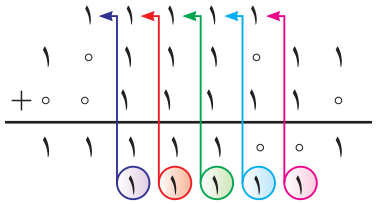


۱+۱=۱۰ یا

رقم اول نوشته می شود (۱) دو بر یک

یک (۱) به ستون بعدی منتقل می شود.

مثال ۱۹ـ۱:



$(10111011)_2+(11111)_2=(11111001)_2$

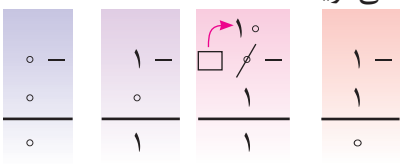
تمرین کلاسی ۲۶ـ۱: دو عدد باینری زیر را با هم جمع کنید.

$(1001101)_2+(1100111)_2=(\ ?\ )_2$

۱ـ دو بر یک در سیستم دوتایی رقم نقلی را ایجاد می‌کند که به آن Carry می‌گویند.

۸ـ۱ـ تفریق باینری

تفریـــق یک عدد باینری از عدد باینری دیگر با روشـــی مانند تفریق اعداد دسی‌مال انجام می‌پذیرد، یعنی اگر رقم بزرگتر از رقم کوچک‌تر کم شود یک واحد از مکان بعدی قرض گرفته می‌شود و در مکانی که یک واحد قرض گرفته شده یک را به صفر تبدیل می‌کنیم. واحد قرض گرفته شده را Borrow می‌گویند.



یک واحد Borrow در تفریق $\begin{array}{r}{}^{1}\\ 1\\ \hline 1\end{array}$ ایجاد شد.

یک به مکان کم ارزش‌تر انتقال می‌یابد و ۱۰ می‌شود.

$$\begin{array}{r} {}^{1}{}^{0} \\ 1\ 1\ 1 \\ -\ 1\ 0\ 1\ 0 \\ \hline 0\ 0\ 1\ 1 \end{array}$$

تمرین کلاسی ۲۷ـ۱: دو عدد باینری زیر را از هم کم کنید.

$(11010)_2 - (01111)_2 - (\ ?\ )_2$

مثال ۲۰ـ۱: دو عدد باینری را از هم کم کنید.

$$\begin{array}{r} {}^{1}\ {}^{1} \\ {}^{0}\ {}^{1}{}^{0}\ {}^{1}{}^{0}\ {}^{1}{}^{0} \\ 1\ \ 1\ \ 1\ \ 1\ \ 1 \\ -\ 1\ \ 0\ \ 1\ \ 1\ \ 1\ \ 0 \\ \hline 0\ \ 0\ \ 0\ \ 0\ \ 1\ \ 1 \end{array}$$

۹ـ۱ـ نقش کد در سیستم دیجیتال

معنای واقعـــی «کدکردن» همان «رمزکـــردن» یا به صـــورت رمز درآوردن اطلاعات اســـت. اولین ســـؤالی که مطرح می‌شود آن است که چرا باید اطلاعات را به صورت رمز درآوریم؟

فرض کنید بخواهید پیغامی را از طریق یکی از دوســـتان خـــود به آمـــوزگار یا دوســـت دیگری برســـانید. درضمن نمی‌خواهید که حامل نامهٔ شـــما از پیغامتان باخبر باشـــد. پـــس بایـــد آن را به صورت رمزی که از قبل میان شـــما و گیرنـــدهٔ نامه به صورت قراردادی وجـــود دارد، درآورده، بر روی کاغذ بنویسید و به حامل نامه بسپارید. به این ترتیب تنها گیرندهٔ نامه از متن پیام باخبر خواهدشد. این کار اولین بار توسط اسکندر، سردار مقدونی انجام شد. وی در جنگ‌ها برای ارســـال پیام به سرداران سپاه خود نامه‌ها را به صورت رمز می‌نوشت، تا دشـــمن از متن آن باخبر نشود. حال اگر گیرندهٔ نامه تنها کلمات رمز را بداند و به هیچ طریق دیگری نتواند کلمات را بفهمد، شما مجبورید حتماً اطلاعات ارسالی خود را به‌صورت کد درآورید. فـــرض کنید این بار گیرندهٔ پیام‌ها، کامپیوتر باشـــد و بخواهید با کامپیوتر ارتباط برقرار کنید؛ باید تنها کلمات رمزی را که میان شـــما و سیستم از قبل قرارداده شده‌است استفاده کنید، تا بتوانید آنچه را که می‌خواهید به کامپیوتر بفهمانید.

لازم به ذکر اســـت که تبدیل اطلاعـــات به کد، نه فقط برای ایجاد ارتباط لازم اســـت، بلکـــه یکی از روش‌های با اهمیت در تشخیص خطا و در صورت لزوم برطرف کردن خطا برای اطلاعات پردازش شونده در سیستم می‌باشد. از آنجا که رمز کردن اطلاعات برای ایجاد ارتباط با کامپیوتر صورت می‌گیرد و از طرفی کامپیوتر تنها صفرها و یک‌ها را می‌تواند بفهمد، برای کد کردن اطلاعات کافی است آنها را به صورت رشته‌ای از صفرها و یک‌ها درآوریم.

۱ـ۹ـ۱ـ کـــد BCD: بعضی از ماشین‌هـــای محاسبـــه‌گر الکترونیکی عملیات ریاضی را در کد (Binary Coded Decimal) BCD انجام می‌دهند.

در کد BCD هر رقم ده‌دهی را با چهار بیت باینری معادل آن نشان می‌دهند.

به مثال‌های زیر توجه کنید:

$(3)_{10} \longrightarrow (11)_2 \longrightarrow (0011)_{BCD}$

$(9)_{10} \longrightarrow (1001)_2 \longrightarrow (1001)_{BCD}$

$(5)_{10} \longrightarrow (101)_2 \longrightarrow (0101)_{BCD}$

تبدیـــل اعداد ده‌دهی به معـــادل BCD آنها از تبدیل اعـــداد ده‌دهی به معادل باینری آنها به مراتب ســـاده‌تر است، زیرا برای این تبدیل، دانستن معادل باینری ارقام صفر تا ۹ کفایت می‌کند. چرا؟

نکته: در کدBCD وزن‌های مختلفی وجود دارد که در حیطهٔ مطالب این کتاب فقط از وزن ۸۴۲۱ آن استفاده می‌شود.

در وزن ۸۴۲۱ اولین رقم سمت راست در ضریب یک، دومین رقم از سمت راســـت در ضریب ۲، سومین رقم در ضریب۴ و چهارمین رقم از ســـمت راست در ضریب ۸، ضرب می‌شود.

توجه داشته باشید که در این روش نمایش اعداد باید هر رقم ده‌دهی را با چهار بیت باینری نمایش دهیم. در جـــدول ۱۲ـ۱ تفاوت نمایش ارقام ده‌دهی صفر تا ۹ به صورت باینری و BCD نشان داده شده است.

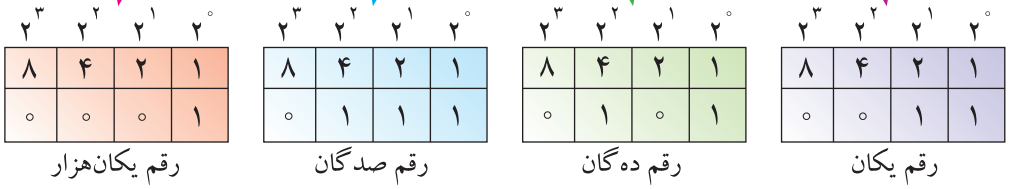
جدول ۱۲ـ۱ ـ اعداد یک رقمی ده‌دهی و معادل باینری و BCD آنها

عدد BCD	عدد باینری	عدد ده‌دهی
۰۰۰۰	۰	۰
۰۰۰۱	۱	۱
۰۰۱۰	۱۰	۲
۰۰۱۱	۱۱	۳
۰۱۰۰	۱۰۰	۴
۰۱۰۱	۱۰۱	۵
۰۱۱۰	۱۱۰	۶
۰۱۱۱	۱۱۱	۷
۱۰۰۰	۱۰۰۰	۸
۱۰۰۱	۱۰۰۱	۹

مطابـــق جدول فوق معادل BCD عدد ده‌دهی ۱۷۵۳ در جدول ۱۳ـ۱ نشان داده شده است.

جدول ۱۳ـ۱ـ معادل BCD عدد ده‌دهی ۱۷۵۳

$(۱\ ۷\ ۵\ ۳)_{۱۰}$



تمرین کلاســـی ۲۸ـ۱: جدولی بـــرای تبدیل عددهای ۱۰ تا ۲۰ به کد باینری و BCD رسم کنید و آن را کامل کنید.

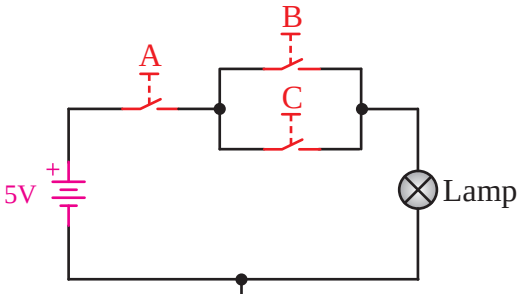
۱۰ـ۱ـ الگوی پرسش

۱ـ کمیت‌های آنالوگ و دیجیتال به چه معناست؟

۲ـ مزایای استفاده از سیستم دیجیتال نسبت به سیستم آنالوگ چیست؟

۳ـ چگونه می‌توان باز و بسته بودن یک در را به سطوح منطقی تبدیل کرد؟

۴ـ در مدار الکتریکی زیر وضعیت کلیدها به چه صورت باشد، لامپ روشن خواهد شد؟



۵ـ آیا می‌توانید برای مدار شکل سؤال قبل جدول تمام حالت‌های کلیدها را رسم و نشان دهید که لامپ در چه صورت روشن و در چه صورت خاموش است؟

۶ـ مزایای استفاده از سیستم اعداد هگزا دسی‌مال چیست؟

۷ـ اعداد زیر را که در سیستم ده‌دهی هستند به سیستم‌های باینری، اکتال و هگزادسی‌مال تبدیل کنید.

الف) ۱۴۲ ب) ۷۵۶

پ) ۱۰۳۰ ت) ۹۵۹

۸ـ اعداد باینری زیر را با استفاده از روش‌هایی که فرا گرفتید به مبنای ۸ و ۱۶ تبدیل کنید و نتیجهٔ استفاده از هر دو روش را با هم مقایسه کنید.

الف) $(1001000011)_2$

ب) $(1010101)_2$

پ) $(01111000011)_2$

۹ـ مکمل‌های ۱ و ۲ اعداد زیر را به دست آورید.

الف) $(1001101)_2$

ب) $(1001001)_2$

پ) $(10101010010)_2$

۱۰ـ جمع و تفریق باینری اعداد زیر را به دست آورید.

الف) a) ۱۰۰۰۰۱۰۱

b) ۱۰۰۱۱۱

ب) a) ۱۰۰۱۱۱

b) ۱۰۰۰۰۱۱۱

پ) a) ۱۱۰۰۰۰

b) ۱۱۰۱۱

۱۱ـ اعداد زیر را به صورت نمایش کد BCD بنویسید.

الف) ۷۵۱

ب) ۴۲۰

پ) ۹۸۳

ت) ۶۱۲

۱۲ـ کد کردن اطلاعات چگونه انجام می‌شود؟

۱۳ـ مزایای کد کردن اطلاعات چیست؟

۱۴ـ حاصل عبارت‌های زیر را به دست آورید.

الف) $(1011100111)_2=(\ ?\ )_{10}$

ب) $(1011011100)_2=(\ ?\ )_8=(?)_{16}$

پ) $(256)_8=(\ ?\ )_2$

ت) $(11011)_2+(11000)_2=(\ ?\ )_8$

ث) $(110000)_2-(10110)_2=(\ ?\ )_{16}$

جهت هنرجویان علاقه‌مند:

آیا می‌دانید برای کد کردن حروف الفبای فارسی به چند بیت نیاز است؟ از چه رابطه‌ای تعداد بیت‌ها به دست می‌آید؟

$$Y = \overline{A \oplus B}$$

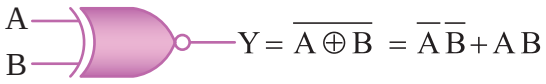
خروجی — ورودی — ورودی

$$Y = \overline{A}\,\overline{B} + A\,B$$

یا

دروازهٔ منطقی NOR انحصاری (XNOR) را به صورت شکل ۲-۳۴ نمایش می‌دهند.

رابطه منطقی XNOR را به صورت : $Y=A \odot B$ نیز نشان می‌دهند [1].

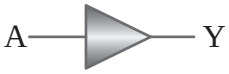


استاندارد بین المللی و امریکایی

شکل ۲-۳۴- نماد دروازهٔ XNOR

چون دروازه‌های منطقی XOR و XNOR از ترکیب دروازه‌های منطقی AND، OR و NOT است بنابراین ساختمان ترانزیستوری آنها نیز ترکیبی از ساختمان گیت‌های اصلی است. به دلیل پیچیدگی مدار از آوردن آنها در این قسمت صرف‌نظر کرده‌ایم.

۲-۳-۵- دروازهٔ بافر Buffer: این دروازهٔ منطقی مانند گیت NOT یک ورودی و یک خروجی دارد. شکل ۲-۳۵ گیت بافر را نشان می‌دهد.



شکل ۲-۳۵-گیت بافر

رابطهٔ منطقی این گیت به‌صورت $Y = A$ است. گیت‌بافر معمولاً به عنوان جداکننده بین دو طبقه استفاده می‌شود و از بارگذاری روی خروجی جلوگیری می‌نماید. در مدارهای دیجیتالی گیت بافر وقتی در خروجی گیت اصلی قرار می‌گیرد، تراز ولتاژ ورودی را عیناً به خروجی مدار انتقال می‌دهد. در داخل گیت بافر مدار تقویت کنندهٔ جریان وجود دارد که میزان جریان دهی خروجی را افزایش می‌دهد.

با استفاده از مدار بافر، مقدار fan out افزایش می‌یابد، یعنی می‌توان تعداد گیت‌های بیشتری را به خروجی گیت اصلی وصل نمود. در این حالت تغذیهٔ خروجی آسیب نمی‌بیند و مدار بارگذاری نمی‌شود.

در ادامه فصل در ارتباط با fan out توضیح بیشتری ارائه خواهد شد.

جدول ۲-۱۸ جدول صحت گیت بافر را نشان می‌دهد.

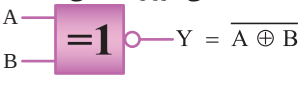
جدول ۲-۱۸- جدول صحت گیت بافر

A	Y
۰	۰
۱	۱

تمرین کلاسی ۲-۶: جریان خروجی یک گیت AND حدود ۲۰ میلی‌آمپر است و می‌تواند یک LED را تغذیه کند، در صورتی که بخواهیم تعداد LEDها را افزایش دهیم، چه تغییری در مدار باید ایجاد کنیم؟

جدول ۲-۱۹ گیت‌های منطقی پایه و ترکیبی را همراه با نماد گرافیکی (استاندارد بین المللی)، تابع منطقی و جدول صحت آنها را نشان می‌دهد.

۱- نماد انگلیسی دروازهٔ منطقی XNOR به صورت



است.

پیش گفتار

دروازه‌های منطقی پایه و ترکیبی به صورت مدارهای الکترونیکی یک پارچه یا با استفاده از رله‌ها، کلیدها و ... ساخته می‌شوند.

از مزایای دروازه‌های ترکیبی این است که در آنها به جای دو یا چند دروازهٔ منطقی پایه فقط از یک دروازه استفاده می‌شود.

۱-۲-ترازهای ولتاژ (Voltage levels):

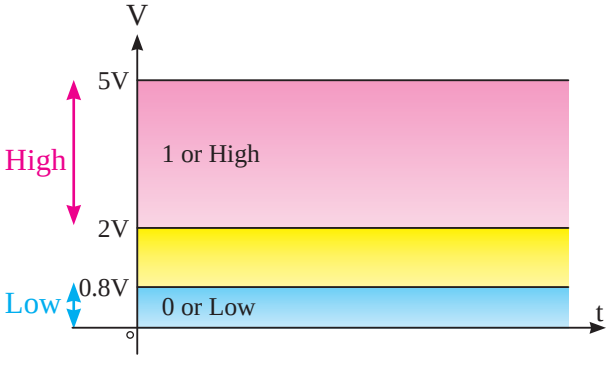
مدارهای منطقی مدارهایی هستند که می‌توانند دو نوع ولتاژ زیر را از یکدیگر تشخیص دهند:

الف) ولتاژ بالا (High)

ب) ولتاژ پایین (Low)

معمولاً مقدار واقعی ولتاژ چندان مهم نیست و در یک محدودهٔ مشخصی از ولتاژ ممکن است این دو حالت اتفاق بیفتد بنابراین، این ولتاژها فقط به‌صورت بالا (High) یا پایین (Low) و یا به اختصار H و L بیان می‌شوند ولتاژهای H و L را ترازهای ولتاژ (Voltage levels) نیز می‌گویند.

به‌عنوان مثال ممکن است ولتاژ بالا را بین ۲ ولت تا ۵ ولت و ولتاژ پایین را بین صفر ولت تا ۰/۸ولت در نظر بگیرند.مقدار ولتاژها را در این دو فاصله با دو حرف H و L که مخفف High و Low است می‌شناسند (شکل ۱-۲).



شکل ۱-۲- ترازهای ولتاژ

معمولاً به جای استفاده از حروف H و L اکثراً از نمادهای۱و ۰برای توصیف حالت ورودی‌ها و خروجی‌های مدارهای منطقی استفاده می‌کنند. ورودی‌ها و خروجی‌ها با دو حالت زیر تعریف می‌شوند.

الف) منطق مثبت (Positive logic)

ب) منطق منفی (Negative logic)

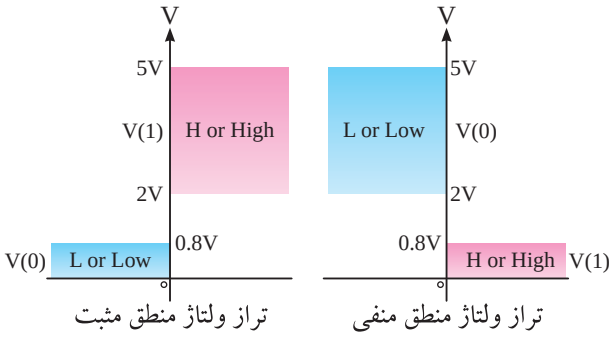
در منطق مثبت عدد «۱» نشان دهندهٔ ولتاژ بالا (H) و صفر نشان دهندهٔ ولتاژ پایین (L) است.

در منطق منفی عدد «۱» نشان دهندهٔ ولتاژ پایین (L) و صفر نشان دهندهٔ ولتاژ بالا (H) است.

تقریباً به‌صورت قراردادی، حرف L را در منطق مثبت به کم‌ترین مقدار مثبت و حرف H را به بیشترین مقدار مثبت اختصاص می‌دهند.در منطق منفی حرف L را به بیشترین و حرف H را به کم‌ترین مقدار ولتاژ نسبت می‌دهند.

به عنوان مثال در منطق مثبت ولتاژ ۰/۸ ولت L و ولتاژ ۵ ولت H است در صورتی که منطق منفی ولتاژ ۰/۸ ولت H و ولتاژ ۵ ولت L است.

شکل ۲-۲ ترازهای ولتاژ منطبق مثبت و منفی را نشان می‌دهد.



شکل ۲-۲-ترازهای مثبت و منفی

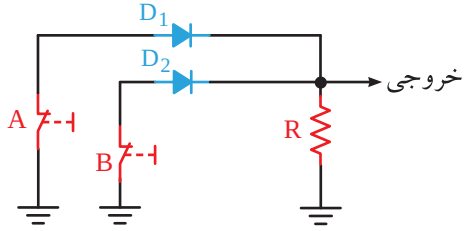
۲-۲- دروازه‌های منطقی پایه:

دروازه‌های منطقی پایه یا گیت‌ها (gates) مدارهایی هستند که تعداد یک یا بیشتر از یک ورودی و یک خروجی دارند. اگر

سیگنال‌های ورودی در یک ترکیب مشخص در ورودی‌ها ایجاد شود، نتیجه را با توجه به شرایط ورودی و نوع گیت استفاده شده به خارج هدایت می‌کنند.

گیت‌هایی که در این قسمت مورد بررسی قرار می‌دهیم دارای دو ورودی هستند ولی می‌توان آنها را برای مدارهایی با بیشتر از دو ورودی نیز تعمیم داد.

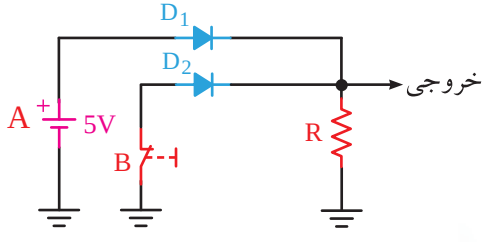
۱-۲-۲-گیـــت OR (یا): ساختمـــان مدار گیت OR با دو ورودی را با استفاده از دیود ایده‌آل در شکل ۲ـ۳ مشاهده می‌کنید.



شکل ۳-۲- ساختمان دیودی گیت OR در حالت قطع D_1 و D_2

در مدار شکل ۳-۲ که با استفاده از دو دیود ساخته شده است، اگر به هر دو ورودی A و B ولتاژ L را اعمال کنیم، دیودها به حالت قطع می‌روند و خروجی مدار در حالت L قرار می‌گیرد.

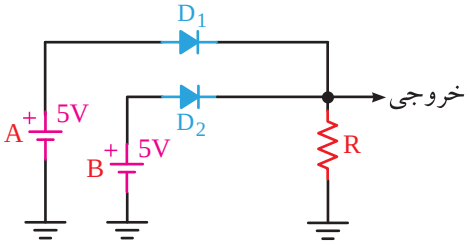
در شکل ۴ـ۲ به ورودی A ولتاژ H و به ورودی B ولتاژ L را اعمال می‌کنیم، دیود D_1 هدایت می‌کند و دیود D_2 در حالت قطع قرار می‌گیرد. خروجی مدار در حالت H قرار می‌گیرد. چون در این حالت دیود D_1 مانند یک کلید بسته عمل می‌کند و ولتاژ خروجی تقریباً برابر با ولتاژ ورودی می‌شود.



شکل ۴-۲- ساختمان دیودی گیت OR در حالت هدایت دیود D_1

به همین ترتیب اگر به ورودی B ولتاژ H و به ورودی A ولتاژ L را اعمال کنیم، دیود D_2 هدایت می‌کند و دیود D_1 به حالت قطع می‌رود. خروجی مدار در حالت H قرار می‌گیرد و ولتاژ خروجی تقریباً برابر با ولتاژ ورودی می‌شود.

اگر به هر دو ورودی A و B ولتاژ H را اعمال کنیم، هر دو دیود D_1 و D_2 هدایت می‌کنند و مانند کلید بسته عمل خواهند کرد در این حالت ولتاژ خروجی تقریباً برابر ولتاژ ورودی می‌شود، (شکل ۵-۲).



شکل ۵-۲- ساختمان دیودی گیت OR در حالت هدایت D_1 و D_2

جدول ۱-۲ وضعیت دیودها را در حالت‌های مختلف نشان می‌دهد.

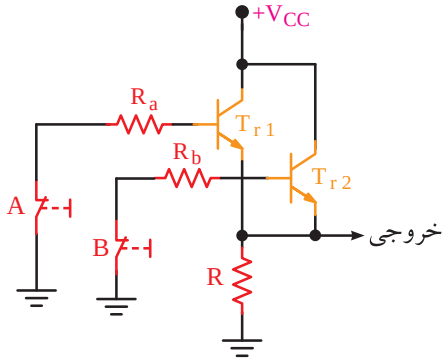
جدول ۱-۲- وضعیت دیودها در گیت OR

A B	D_1	D_2	V_O
L L	قطع	قطع	L
L H	قطع	هدایت	H
H L	هدایت	قطع	H
H H	هدایت	هدایت	H

ساختمان مدار یک گیت OR با دو ورودی را با استفاده از ترانزیستور در شکل ۶ -۲ مشاهده می‌کنید.

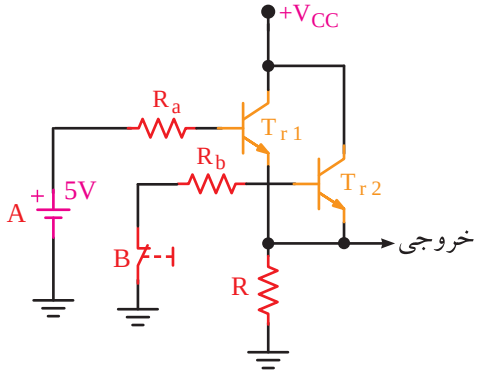
در این مدار امیترها و کلکتورهای ترانزیستورها به هم وصل شده‌اند و خروجی مدار نیز از امیتر مشترک دو ترانزیستور گرفته شده است.

اگر به هر دو ورودی A و B ولتاژ L اعمال شود هیچ یک از ترانزیستورها هدایت نمی‌کند و ولتاژ خروجی در حالت L قرار می‌گیرد.



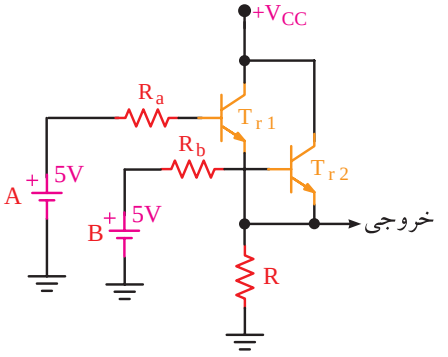
شکل ۶-۲- ساختمان ترانزیستوری گیت OR در حالت قطع هر دو ترانزیستور

اگر به یکی از ورودی‌هایA یا B ولتاژ H اعمال کنیم، ترانزیستور مربوطه هدایت می‌کند و جریان از طریق همان ترانزیستور به مقاومت R می‌رسد، در نتیجه ولتاژ خروجی تقریباً برابر با ولتاژ داده شده به ورودی می‌شود (شکل ۷-۲).



شکل ۷-۲- ساختمان ترانزیستورگیت OR در حالت وصل ترانزیستور Tr_1 و قطع ترانزیستور Tr_2

اگر به هر دو ورودیA وB ولتاژ H بدهیم، مدار مانند حالت قبل عمل می‌کند و ولتاژ خروجی تقریباً برابر با ولتاژ داده شده به ورودی‌ها خواهد شد (شکل۸ -۲).



شکل۸-۲- ساختمان ترانزیستور گیت OR در حالت هدایت هر دو ترانزیستور

جدول۲-۲ وضعیت ترانزیستورها را در حالت‌های مختلف ورودی‌ها نشان می‌دهد.

جدول ۲-۲- وضعیت ترانزیستورها در حالت‌های مختلف ورودی

A B	Tr_1	Tr_2	V_o
L L	قطع	قطع	L
L H	قطع	وصل	H
H L	وصل	قطع	H
H H	وصل	وصل	H

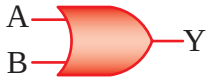
برای هر گیت می‌توان جدول صحت یا جدول درستی تعریف کرد و مقادیر ورودی و خروجی را بر اساس صفر و یک منطقی در آن نشان داد.

جدول۳-۲-جدول صحت گیت OR را نشان می‌دهد.

جدول ۳-۲- جدول صحت گیت OR

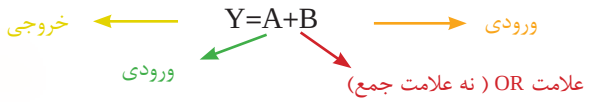
ورودی‌ها A B	خروجی Y
۰ ۰	۰
۰ ۱	۱
۱ ۰	۱
۱ ۱	۱

همان‌طورکه از جدول درستی گیت OR پیداست، خروجی دروازهٔ منطقی OR زمانی در وضعیت یک منطقی قرار می‌گیرد که دست کم یکی از ورودی‌های آن در وضعیت یک منطقی باشد.گیت OR را با نماد شکل ۹-۲ نشان می‌دهند[1].

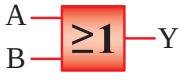


شکل ۹-۲- استاندارد بین‌المللی و امریکایی نماد دروازه منطقی OR

برای اینکه نشان دهیم متغیر A و متغیر B با یکدیگر OR شده‌اند، از رابطهٔ زیر استفاده می‌کنیم:



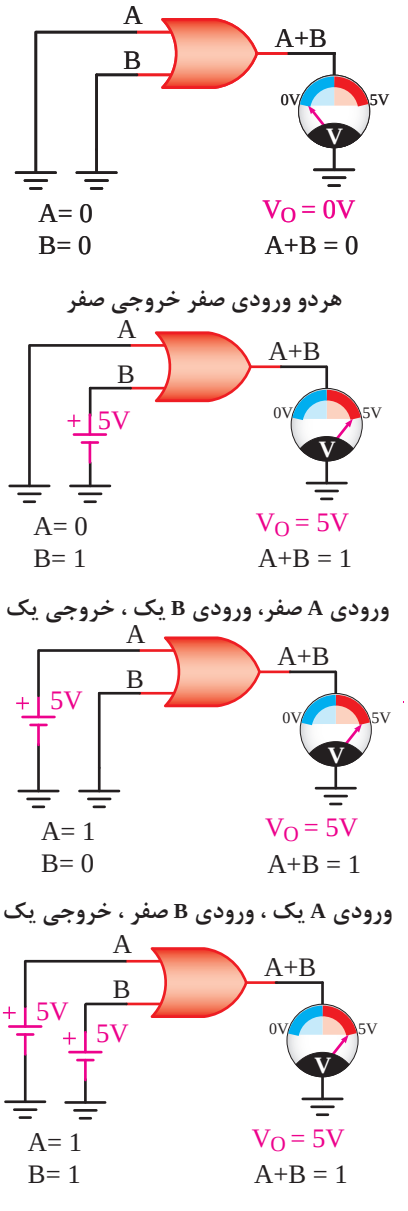
۱- در استاندارد انگلیسی نماد دروازهٔ منطقی OR به صورت



است.

حاصل A + B(A OR B) یا Y (خروجی دروازهٔ OR) زمانی یک است که A یا B یا هر دو در وضعیت یک منطقی قرار گیرند. چنانچه خروجی صفر باشد، A و B هردو در وضعیت صفر منطقی هستند.

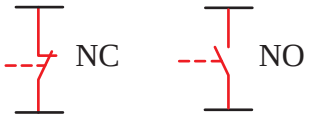
شکل ۲-۱۰ حالات مختلف عملکرد دروازهٔ OR را با استفاده از نمادهای آن نشان می‌دهد.



شکل ۲-۱۰- عملکرد دروازه‌های OR با توجه به‌حالت‌های مختلف ورودی

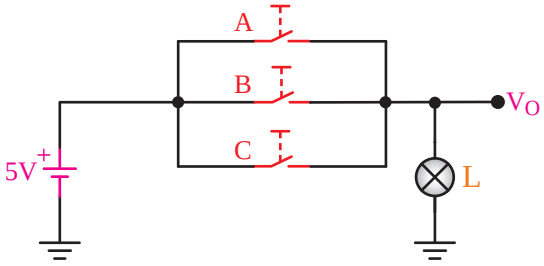
کلیدهای فشاری nc(normally closed) درحالت عادی بسته و no (normally open) در حالت عادی باز، از جمله کلیدهایی هستند که در مدار معادل کلیدی گیت‌های منطقی استفاده دارند.

شکل ۲-۱۱ این کلیدها را نشان می‌دهد.

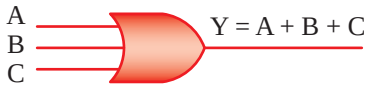


شکل ۲-۱۱- نماد کلیدهای no و nc

یک دروازهٔ OR می‌تواند بیش از دو ورودی داشته باشد؛ برای مثال، درشکل ۲-۱۲یک دروازه با سه ورودی، همراه با مدار معادل کلیدی آن نشان داده شده است[1]:



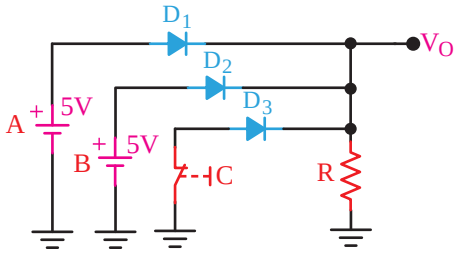
الف) مدار معادل کلیدی دروازهٔ OR با سه ورودی



ب) نماد دروازهٔ OR با سه ورودی

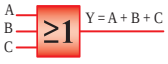
شکل ۲-۱۲- مدار معادل کلید دروازهٔ OR با سه ورودی و نماد آن

مدار دیودی گیت OR با سه ورودی را در شکل ۲-۱۳ مشاهده می‌کنید. در این شکل دیودهای D_1 و D_2 در حالت هدایت و دیود D_3 در حالت قطع است، خروجی در وضعیت H قرار دارد.



شکل ۲-۱۳- مدار دیودی گیت OR با سه ورودی

۱- در استاندارد انگلیسی نماد دروازه منطقی OR با سه ورودی به صورت



است.

تمرین کلاسی ۱-۲: مدار دیودی

گیت OR با سه ورودی در حالتی که هر سه دیود در وضعیت قطع باشند را رسم کنید. خروجی در این وضعیت چه حالتی دارد؟

تمرین کلاسی ۲-۲: مدار دیودی

گیت OR با سه ورودی در حالتی که هر سه دیود در وضعیت وصل باشند را رسم کنید. خروجی در این وضعیت چه حالتی دارد؟

جدول ۴-۲ جدول صحت یک دروازهٔ OR با سه ورودی را نشان می‌دهد.

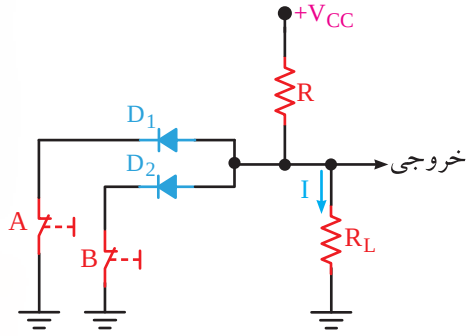
جدول ۴-۲- جدول صحت دروازهٔ منطقی OR با سه ورودی

A	B	C	Y
۰	۰	۰	۰
۰	۰	۱	۱
۰	۱	۰	۱
۰	۱	۱	۱
۱	۰	۰	۱
۱	۰	۱	۱
۱	۱	۰	۱
۱	۱	۱	۱

۲-۲-۲-دروازهٔ منطقی AND (و): ساختمان مدار دروازه منطقی AND با دو ورودی را با استفاده از دو دیود می‌توان نشان داد.

زمانی ولتاژ خروجی بیشترین مقدار(حالت H) را دارد که دیودها قطع باشند. درصورتی که دیودها در حالت اتصال کوتاه قرار گیرند (هدایت کنند)، ولتاژ خروجی حداقل (حالت L) می‌شود. چرا؟ شرح دهید.

شکل ۱۴-۲ دروازه منطقی AND را با دو دیود نشان می‌دهد.

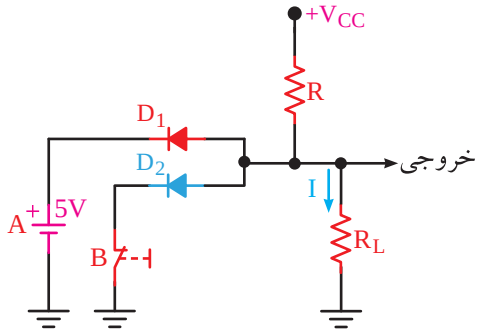


شکل ۱۴-۲- ساختمان دیودی گیت AND در حالت اتصال کوتاه دودیود D_1 و D_2

در این شکل خروجی در حالت L قرار می‌گیرد و هیچ جریانی از مقاومت R_L عبور نمی‌کند.

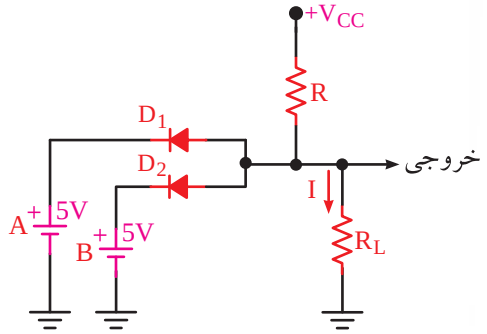
اگر یکی از دیودها در وضعیت وصل باشد و دیگری در حالت قطع، باز هم خروجی در وضعیت L قرار دارد و جریانی از مقاومت R_L عبور نمی‌کند.

شکل ۱۵-۲ گیت AND در حالتی که D_2 هدایت و D_1 قطع است را نشان می‌دهد.



شکل ۱۵-۲- گیت دیودی AND درحالت اتصال کوتاه D_2 و قطع D_1

اگر هر دو دیود D_1 و D_2 در حالت قطع باشند، یعنی ورودی‌ها وضعیت H را دارند، در نتیجه خروجی در حالت H قرار می‌گیرد و جریان I از مقاومت R_L عبور می‌کند. شکل ۱۶-۲ این حالت را نشان می‌دهد.



شکل ۱۶-۲- گیت دیودی AND در حالت قطع هر دو دیود

جدول ۵-۲ جدول صحت گیت AND را در حالت دیودی نشان می‌دهد.

جدول ۵ -۲- جدول صحت گیت دیودی AND

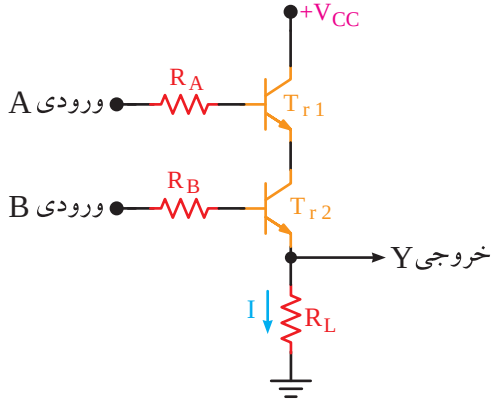
A B	D_1	D_2	V_o
L L	هدایت	هدایت	L
L H	هدایت	قطع	L
H L	قطع	هدایت	L
H H	قطع	قطع	H

جهت هنرجویان علاقه‌مند: توجه داشته باشید که مقدار ولتاژ خروجی در حالت H بستگی به مقدار مقاومت‌های R و R_L دارد. چرا؟ شرح دهید.

ساختمان مدار یک گیت AND با دو ورودی را با استفاده از ترانزیستور در شکل۱۷-۲ مشاهده می‌کنید.

در این مدار دو ترانزیستور به صورت سری در مسیر ولتاژ $+V_{CC}$ و زمین قرار گرفته است. به علت قرارداشتن ترانزیستورها در وضعیت سری فقط در حالتی که ولتاژ H به هر دو ورودیA و B اعمال کنیم جریان برقرار خواهد شد و در نتیجه مقدار خروجی مدار در حالت H یا ۱ منطقی است.

در غیر این حالت ولتاژ خروجی مدار برابر حالت L یا صفر منطقی خواهد بود.



شکل ۱۷-۲- ساختمان ترانزیستوری گیت AND

جهت هنرجویان علاقه‌مند:

ساختمان ترانزیستوری گیت AND درچهار حالت:

ورودی A = L ، ورودی B =L

ورودی A = L ، ورودی B =H

ورودی A = H ، ورودی B =L

ورودی A = H ، ورودی B =H

رسم کنید و به کلاس ارائه نماید و طرز کار هر ترانزیستور رادر تمام حالت‌ها شرح دهید .

جدول ۶ -۲ جدول صحت گیت ترانزیستوری AND را نشان می‌دهد.

جدول ۶ -۲- جدول صحت گیت ترانزیستوری AND

ورودی A	ورودی B	Tr_1	Tr_2	خروجی Y
L	L	قطع	قطع	L
L	H	قطع	وصل	L
H	L	وصل	قطع	L
H	H	وصل	وصل	H

برای گیت AND نیز می‌توان جدول صحت یا جدول درستی را براساس مقادیر صفر و یک منطقی تعریف کرد. جدول ۷-۲ جدول صحت گیت AND را مطابق مقادیرمنطقی نشان می‌دهد.

جدول ۷-۲- جدول صحت گیت AND

A B	Y
۰ ۰	۰
۰ ۱	۰
۱ ۰	۰
۱ ۱	۱

ورودی‌های A و B را متغیرهای ورودی می‌نامیم. همان طورکه ذکر شد، هر متغیر در مدارهای دیجیتالی فقط می‌تواند دو مقدار تعریف شدهٔ صفر و یک را به خود اختصاص دهد. در صورتی که در جبر معمولی این محدودیت وجود ندارد.

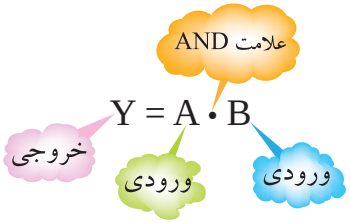
دروازهٔ AND را با نماد[1] شکل۱۸-۲ نشان می‌دهند.

شکل استاندارد بین المللی و امریکایی

شکل ۱۸-۲-نماد دروازهٔ AND

نکتهٔ مهم: در فرایند تألیف این کتاب نمادهای استفاده شده استاندارد بین المللی دارند.

برای نشان دادن این موضوع که متغیر A و متغیر B با یک دیگر AND شده‌اند از رابطهٔ زیر استفاده می کنیم.

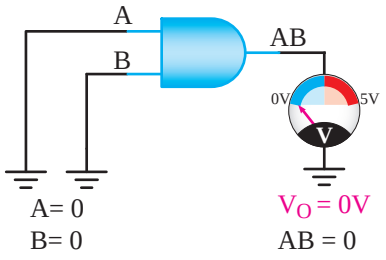


برای ساده نویسی می‌توان علامت نقطه بین متغیرها را حذف کرد و رابطه را به صورت زیر نوشت.

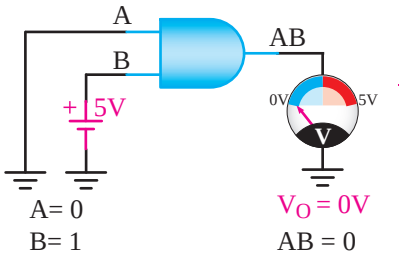
Y=AB

حاصل AB(A AND B) یا Y (خروجی دروازه‌ای AND) زمانی که A و B هر دو یک باشند برابر با یک و چنان‌چه یکی یا هر دو ورودی صفر باشند، برابر با صفر است.

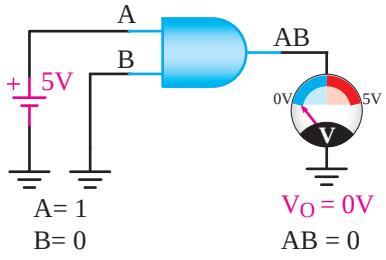
شکل ۱۹-۲ عملکرد دروازهٔ AND را در حالات مختلف نشان می‌دهد.



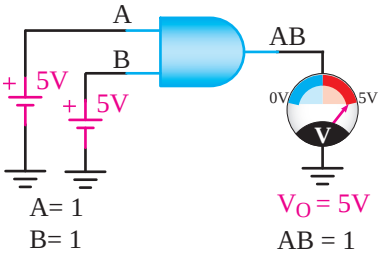
هر دو ورودی صفر، خروجی صفر



ورودی A صفر، ورودی B یک، خروجی صفر

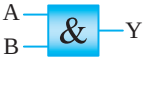


ورودی A یک، ورودی B صفر، خروجی صفر



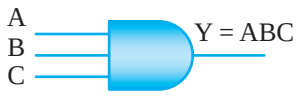
هر دو ورودی یک،خروجی یک

شکل ۱۹-۲- عملکرد دروازهٔ منطقی AND

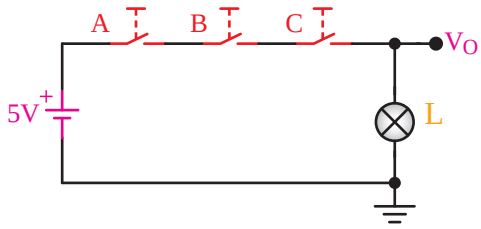
۱- در استاندارد انگلیسی برای گیت AND از نماد 

استفاده می‌شود.

یک دروازه AND می‌تواند بیش از دو ورودی داشته باشد؛ برای مثال، درشکل ۲۰-۲یک دروازه با سه ورودی، همراه با مدار معادل کلیدی آن نشان داده شده است.



الف) نماد دروازهٔ منطقی[1] AND



ب) مدار معادل کلیدی دروازهٔ منطقی AND

شکل ۲۰-۲- نماد AND با سه ورودی و مدار معادل کلیدی آن

جدول صحت مدار گیت AND با سه ورودی در جدول ۸ -۲ نشان داده شده است.

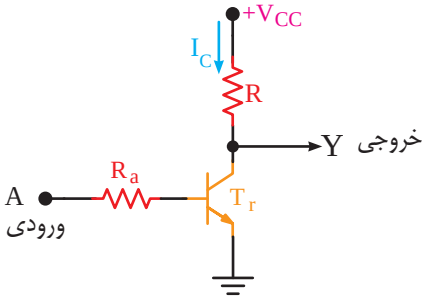
جدول۸-۲- جدول صحت مدار گیتAND با سه ورودی

A	B	C	Y
۰	۰	۰	۰
۰	۰	۱	۰
۰	۱	۰	۰
۰	۱	۱	۰
۱	۰	۰	۰
۱	۰	۱	۰
۱	۱	۰	۰
۱	۱	۱	۱

تمرین کلاسی ۳-۲:

مدار گیت AND با ۴ ورودی را ترسیم و تحلیل کنید، جدول صحت آن را بکشید.

۳-۲-۲- گیت NOT (نه): مدار معادل گیت NOT منطقی را در فصل اول مشـــاهده کردید. برای یادآوری مجدداً آن را در شکل ۲۱-۲ نشان می‌دهیم.



شکل ۲۱-۲- ساختمان ترانزیستور گیت NOT

در ترانزیستور فوق اگر ولتاژ ورودی صفر باشد، ولتاژ بیس صفر می‌شود و ترانزیستور در حالت قطع قرار می‌گیرد. در این حالت به علت صفر شدن I_c، جریانی از مقاومت R عبور نمی‌کند و ولتاژ روی کلکتور ترانزیستورنسبت به زمین برابر با V_{cc}می‌شود. یعنی خروجی مدار در حالت H قرار می‌گیرد. اکنون اگر ولتاژ H را به ورودی مدار بدهیم، ترانزیستور به حالت اشباع می‌رود و خروجی را در حالت L می‌برد.

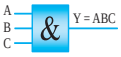
جدول های ۹-۲ جدول صحت یک گیت NOT را نشان می‌دهد.

جدول ۹-۲- جدول صحت گیت NOT

ورودی A	Tr	خروجی Y
L	قطع	H
H	وصل	L

A	Y
۰	۱
۱	۰

همانطور که مشاهده می‌شود، خروجی عکس ورودی است یعنی وقتی ورودی صفر است خروجی برابر با یک و هنگامی‌که ورودی یک است خروجی صفر می‌شود.

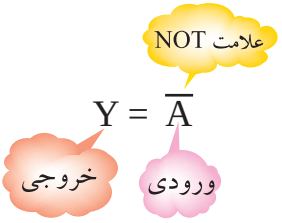
۱- نماد انگلیسی دروازهٔAND با سه ورودی به‌صورت  است.

شکل ۲۲-۲- نماد دروازهٔ منطقی NOT را نشان می‌دهد[1].

استاندارد بین المللی و آمریکایی[2]

شکل ۲۲-۲- نماد دروازه‌ای منطقی NOT

برای نشان دادن این که خروجی برابر با NOT ورودی است، از رابطهٔ زیر استفاده می‌کنیم.

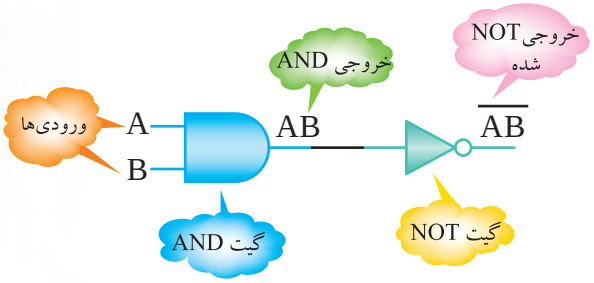


$\bar{A}$ را به صورت «A بار» یا «A، نات» می‌خوانیم.

۲-۳- دروازه‌های منطقی ترکیبی

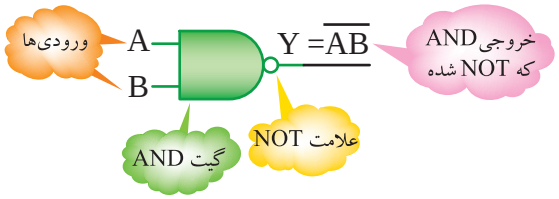
با ترکیب برخی از دروازه‌های اساسی با یکدیگر دروازه‌های منطقی جدیدی ساخته می‌شوند که در ساخت مدارهای الکترونیکی دیجیتالی و کامپیوتری می‌توانند بسیار مفید باشند. دروازه‌های منطقی ترکیبی نیز به صورت مدارهای الکترونیکی یک پارچه یا با استفاده از رله‌ها و کلیدها ساخته می‌شوند. از مزایای دروازه‌های ترکیبی این است که به جای دو یا چند دروازهٔ اساسی می‌توانیم فقط از یک دروازه استفاده کنیم. در ادامه به تشریح دروازه‌های ترکیبی می‌پردازیم.

۲-۳-۱- دروازهٔ منطقی NAND (Not AND): دروازهٔ منطقی NAND از ترکیب دروازهٔ AND و NOT بوجود می‌آید. به عبارت دیگر، ابتدا ورودی‌های این دو دروازه با یک دیگر AND می‌شوند و حاصل آن (که صفر یا یک است) NOT می‌گردد. شکل ۲۳-۲ عملکرد دروازهٔ NAND را نشان می‌دهد.



شکل ۲۳-۲- عملکرد دروازهٔ NAND

همان‌طور که در دروازه‌های منطقی دیگر مشاهده کردید نماد انگلیسی نیز برای دروازه‌های منطقی وجود دارد[3] برای ساده شدن ترسیم دروازه های منطقی NAND، می‌توانیم به جای شکل ۲۳-۲ از نمادهای شکل ۲۴-۲ استفاده کنیم[4].

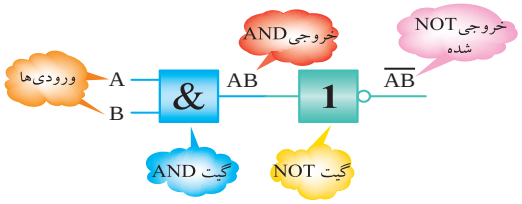


شکل ۲۴-۲- نماد دروازهٔ منطقی NAND

۱- لازم به ذکر است که در اصل، علامت دایره در نماد دروازهٔ منطقی NOT بیانگر عمل NOT می‌باشد. این علامت را در قسمت‌های بعد نیز در ورودی یا خروجی دروازه‌های منطقی مختلف خواهید دید. بنابراین هرگاه یک سیگنال از علامت دایره عبور کند معکوس خواهد شد. در بعضی کتب، به‌جای علامت دایره به معنی NOT از یک مثلث مطابق شکل ——▷— نیز استفاده می‌کنند.

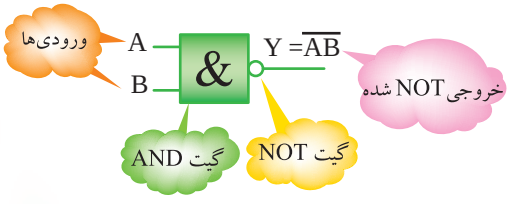
۲- نماد استاندارد انگلیسی دروازهٔ منطقی NOT به صورت A —[1]— Y است.

۳- نماد انگلیسی عملکرد گیت NAND به صورت



است.

۴- در استاندارد انگلیسی گیت NAND به صورت



است.

جدول ۱۰-۲ جدول صحت دروازهٔ منطقی NAND را نشان می‌دهد.

جدول ۱۰-۲- جدول صحت دروازهٔ منطقی NAND و AND

A	B	AB	$\overline{AB}$
۰	۰	۰	۱
۰	۱	۰	۱
۱	۰	۰	۱
۱	۱	۱	۰

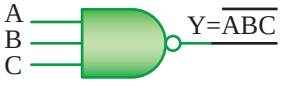
جدول صحت ۱۰-۲ را می‌توانیم به صورت خلاصه‌تر مطابق جدول ۱۱-۲ بنویسیم.

جدول ۱۱-۲- جدول خلاصه شدهٔ دروازهٔ NAND

A	B	Y
۰	۰	۱
۰	۱	۱
۱	۰	۱
۱	۱	۰

همان‌طور که از جدول ۱۱-۲ پیداست، خروجی دروازهٔ NAND زمانی در وضعیت یک منطقی قرار می‌گیرد که دست کم یکی از ورودی‌های آن در وضعیت صفر منطقی باشد.

دروازهٔ منطقی NAND نیز مانند دروازهٔ منطقی AND می‌تواند بیش از دو ورودی داشته باشد. شکل ۲۵-۲ نماد یک دروازهٔ منطقی NAND را با سه ورودی نشان می‌دهد.



استاندارد بین المللی و امریکایی

شکل ۲۵-۲- نماد گیت NAND با سه ورودی

جهت هنرجویان علاقه‌مند:
آیا می‌توانید نماد استاندارد انگلیسی گیت NAND با سه ورودی را رسم کنید؟

جدول صحت دروازهٔ منطقی NAND با سه ورودی به صورت جدول ۱۲-۲ است.

جدول ۱۲-۲- جدول صحت گیت NAND با سه ورودی

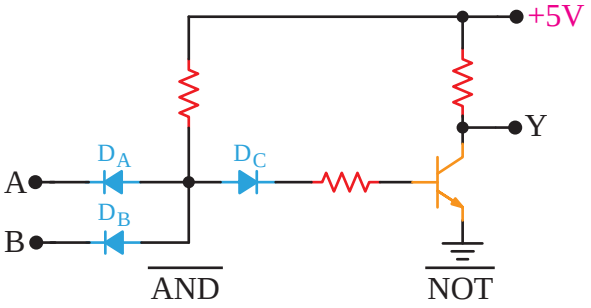
A	B	C	$Y=\overline{ABC}$
۰	۰	۰	۱
۰	۰	۱	۱
۰	۱	۰	۱
۰	۱	۱	۱
۱	۰	۰	۱
۱	۰	۱	۱
۱	۱	۰	۱
۱	۱	۱	۰

نکتهٔ مهم: در گیت NAND زمانی خروجی صفر می‌شود که همهٔ ورودی‌ها یک باشند.

همان‌گونه که ملاحظه می‌کنید، حاصل $\overline{ABC}$ می‌تواند صفر یا یک باشد. این موضوع نشان می‌دهد که ابتدا سه متغیر A، B و C با یکدیگر AND شده‌اند و حاصل آن یعنی خروجی دروازهٔ AND، NOT شده است.

تمرین کلاسی ۴-۲: نماد گیت NAND را با چهار ورودی رسم کنید و جدول صحت آن را تنظیم نمایید.

ساختمان دروازهٔ منطقی NAND: دروازه‌منطقی NAND در بعضی از فناوری‌های ساخت مدارهای مجتمع، از (ICها) دروازهٔ پایه محسوب می‌شود، به طوری که سایر دروازه‌های منطقی با استفاده از این نوع دروازهٔ منطقی ساخته می‌شوند. در شکل ۲-۲۶ مدار الکترونیکی یک نمونه دروازهٔ منطقی NAND را مشاهده می‌کنید.



شکل ۲-۲۶ - مدار الکترونیکی سادهٔ دروازهٔ منطقی NAND

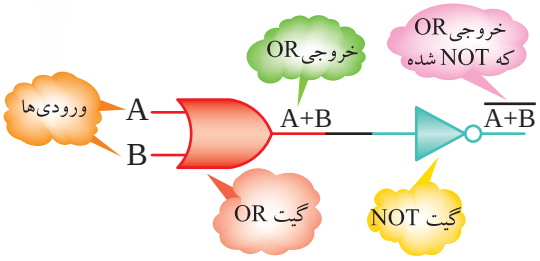
همانطور که در شکل ۲-۲۶ مشاهده می‌کنید مدار الکترونیکی دروازهٔ منطقی NAND ترکیبی از مدار الکترونیکی دروازهٔ منطقی AND و مدار الکترونیکی دروازهٔ منطقی NOT است که با هم عملکرد NAND را بوجود می‌آورند. علت قراردادن دیود D_C در مدار، جلوگیری از تاثیر ولتاژهای ناخواسته در خروجی است که به آن حاشیه نویز می‌گویند. در انتهای همین فصل در این باره توضیح خواهیم داد.

ساختمان داخلی دروازه‌های منطقی که در الکترونیک و کامپیوتر کاربرد دارند ، شامل قطعات و مدارهای الکترونیکی است. در طراحی ساختمان یک دروازهٔ منطقی به منظور افزایش سرعت عملکرد مدار، تا حد امکان از حداقل قطعات استفاده می‌شود.

۲-۳- دروازه منطقی NOR (NOT OR):

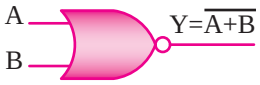
دروازه منطقی NOR از ترکیب دروازه‌های OR و NOT بوجود می‌آید. به عبارت دیگر، ابتدا ورودی‌های این دروازهٔ منطقی با یک دیگر OR می‌شوند و حاصل آن (که صفر یا یک است) را NOT می‌کنند.

در شکل ۲-۲۷ عملکرد دروازهٔ NOR نشان داده شده است[1].



شکل ۲-۲۷- عملکرد دروازهٔ منطقی NOR

برای ساده شدن ترسیم دروازهٔ منطقی NOR می‌توان به‌جای شکل ۲-۲۷ از نماد شکل ۲-۲۸ استفاده کرد[2].

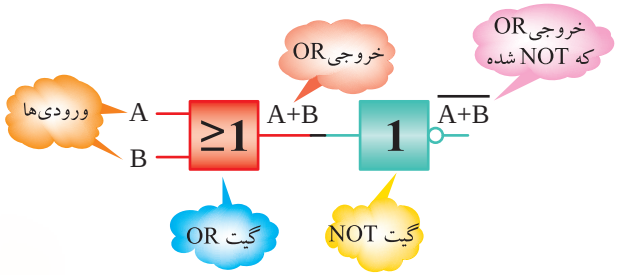


استاندارد بین المللی و امریکایی

شکل ۲-۲۸- نماد گیت NOR

جدول ۲-۱۳ جدول صحت دروازهٔ منطقی OR و NOR را نشان می‌دهد.

۱- در استاندارد انگلیسی عملکرد گیت NOR به صورت



است.

۲- نماد NOR در استاندارد انگلیسی

جدول ۱۳-۲- جدول صحت گیت‌های OR و NOR

A	B	A + B	$\overline{A+B}$
۰	۰	۰	۱
۰	۱	۱	۰
۱	۰	۱	۰
۱	۱	۱	۰

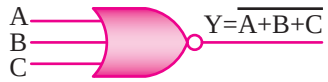
جدول صحت ۱۳- ۲ را می‌توانیم به صورت خلاصه‌تر مطابق جدول ۱۴- ۲ بنویسیم.

جدول ۱۴-۲-جدول خلاصه شدهٔ دروازهٔ منطقی NOR

A	B	Y = $\overline{A+B}$
۰	۰	۱
۰	۱	۰
۱	۰	۰
۱	۱	۰

همان‌طور که از جدول صحت ۱۴-۲ پیداست، خروجی دروازهٔ NOR زمانی در وضعیت یک منطقی قرار می‌گیرد که **همهٔ** ورودی‌های آن در وضعیت صفر منطقی باشند.

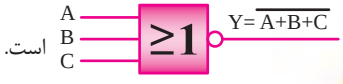
دروازهٔ NOR نیز مانند سایر دروازه‌های منطقی می‌تواند بیش از دو ورودی داشته باشد. شکل ۲۹-۲ یک دروازهٔ NOR با سه ورودی را نشان می‌دهد[1].



شکل ۲۹-۲-نماد گیت NOR با سه ورودی

جدول ۱۵-۲ جدول صحت گیت NOR با سه ورودی را نشان می‌دهد.

۱- در استاندارد انگلیسی نماد NOR با سه ورودی به صورت



است.

جدول ۱۵-۲- جدول صحت گیت NOR با سه ورودی

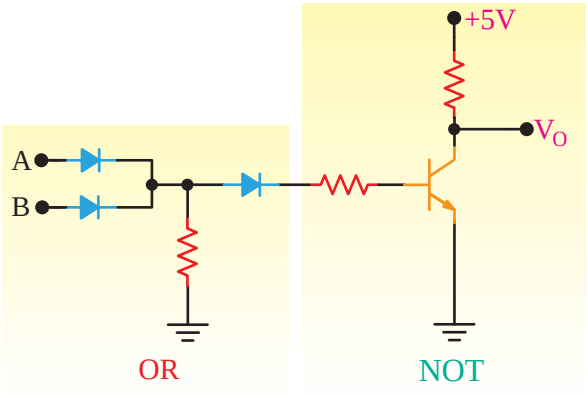
A	B	C	Y
۰	۰	۰	۱
۰	۰	۱	۰
۰	۱	۰	۰
۰	۱	۱	۰
۱	۰	۰	۰
۱	۰	۱	۰
۱	۱	۰	۰
۱	۱	۱	۰

نکتهٔ مهم: توجه داشته باشید زمانی خروجی گیت NOR یک می‌شود که همهٔ ورودی‌ها صفر باشند.

حاصل $\overline{A+B+C}$ می‌تواند صفر یا یک باشد. این عبارت نشان می‌دهد که ابتدا سه متغیر A، B و C با یکدیگر OR می‌شوند و حاصل آن (حاصل OR که صفر یا یک است) NOT می‌گردد. دروازهٔ NOR با بیش از سه ورودی نیز ساخته شده است.

تمرین کلاسی ۵-۲: نمادگیت NOR را با ۴ ورودی رسم کنید و جدول صحت آن را تنظیم نمایید.

ساختمان ورودی گیت NOR شکل ۳۰-۲ مدار الکترونیکی بسیار ساده‌ای از دروازهٔ منطقی NOR را نشان می‌دهد.



شکل ۳۰-۲- مدار الکترونیکی ساده گیت NOR

شکل۳۰-۲ نشان می‌دهد که مدار الکترونیکی دروازهٔ منطقی NOR ترکیبی از مدار الکترونیکی دروازهٔ منطقی OR و مدار الکترونیکی دروازهٔ منطقی NOT که با هم عملکرد NOR را به وجود می‌آورند.

جهت هنرجویان علاقه‌مند: آیا می‌توانید مدار الکترونیکی دیگری برای دروازه‌های منطقی NAND و NOR رسم کنید و آن‌را تحلیل نمایید. نتیجهٔ تحقیق خود را به کلاس ارائه کنید.

۳-۳-۲- دروازهٔ OR انحصاری XOR

(Exclusive OR): ایـــن دروازه فقط دارای دو ورودی اســـت و خروجی آن زمانی یک اســـت که دو ورودی در سطوح منطقی متفاوت باشند (ورودی‌ها یکسان نباشد). جدول صحـــت ۱۶ - ۲ مربوط بـــه دروازهٔ OR انحصاری است.

جدول ۱۶-۲- جدول صحت دروازهٔ OR انحصاری

A	B	Y
۰	۰	۰
۰	۱	۱
۱	۰	۱
۱	۱	۰

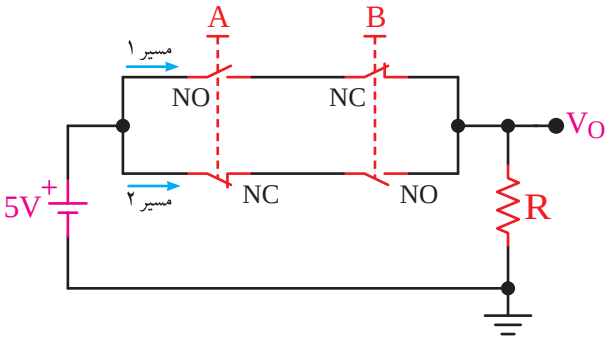
برای بررسی عملکرد دروازه منطقی OR انحصاری می‌توان از مدار کلیدی استفاده کرد.

یادآوری مهم: به نکتهٔ زیر توجه کنید و آن را به خاطر بسپارید.

شستی‌های درحالت عادی باز: این کلیدها در شرایط عادی و حالت آزاد، باز هستند و در صورتی که تغییر حالت پیدا کنند یا به آنها فشار وارد شود، به صورت حالت بسته در می‌آیند. شستی‌های در حالت عادی بازرا normally open می‌نامند و آنها را با NO نمایش می‌دهند.

شستی‌های در حالت عادی بسته: این شستی‌ها در حالت عادی بسته هستند و اگر به آنها فشار وارد شود باز می‌شوند. این شستی‌ها را Normally closed یا NC می‌نامند. در ادامه ازاین کلیدها با اصطلاح NO و NC نام خواهیم برد.

مدار کلیدی گیت XOR را در شکل ۳۱-۲ مشاهده می‌کنید.



شکل ۳۱-۲- مدار معادل کلیدی دروازهٔ OR انحصاری

شستی‌های A و B، شستی‌های دوتایی دوبله NO و NC هستند که با فشار دادن اهرم آنها، یکی از کنتاکت‌های آن بسته می‌شود و کنتاکت دیگر آن باز می‌گردد. از این نوع شستی‌ها برای راه‌اندازی مدارهای فرمان سیستم‌های قدرت مانند موتورهای الکتریکی استفاده می‌شود.

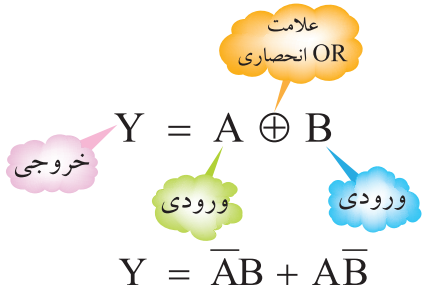
فرض می‌کنیم وضعیت صفر منطقی به گونه‌ای باشد که هیچ نوع فشاری به شستی وارد نشود (شستی‌ها NO و NC حالت طبیعی خود را داشته باشد) و وضعیت یک منطقی حالتی باشد که به شستی فشار وارد می‌کنیم. اکنون فرض کنید به هیچ کدام از شستی‌ها نیرو وارد نکنیم (A = ۰ و B = ۰). در این صورت، هر دو مسیر عبور جریان قطع و V_O = ۰V است.

حال اگر به هر دو شستی نیرو وارد کنیم (A = ۱ و B = ۱)، وضعیت حالات اتصال NO و NC شستی‌های دوبل عوض می‌شود و باز هم هردو مسیر عبور جریان قطع می‌شود، در این حالت V_O = ۰V خواهد شد.

چنان‌چه فقط به یکی از شستی‌ها نیرو وارد کنیم (A = ۰ و B = ۱ یا A = ۱ و B = ۰)، یکی از مسیرها بسته می‌شود و V_O را به ۵ ولت می‌رساند.

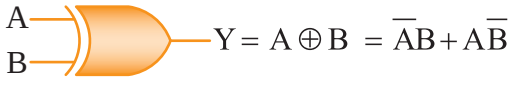
بنابراین، خروجی این دروازه زمانی در وضعیت یک منطقی قرار می‌گیرد که دو ورودی آن از نظر سطح منطقی به یک صورت نباشند (عکس یک دیگر باشند).

برای این که نشان دهیم متغیر A با متغیر B، OR انحصاری شده است، از رابطهٔ زیر استفاده می‌کنیم :

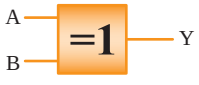


یا

دروازهٔ OR انحصاری را به صورت شکل ۲-۳۲ نمایش می‌دهند[۱].



شکل ۲-۳۲- نماد گیت XOR در استاندارد آمریکایی و بین المللی

۱- نماد انگلیسی دروازهٔ منطقی XOR به صورت  است.

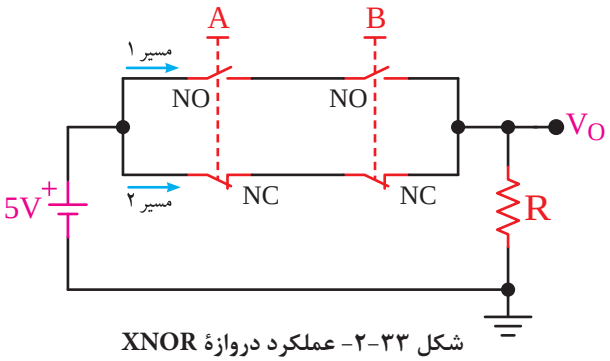
۲-۳-۴- دروازهٔ NOR انحصاری (Exclusive NOR-XNOR):

این دروازه نیز مانند XOR فقط دو ورودی دارد و خروجی آن زمانی یک است که هر دو ورودی آن در یک سطح منطقی باشند(هر دو ورودی یک یا صفر باشند.) جدول صحت ۲-۱۷ مربوط به دروازهٔ NOR انحصاری است.

جدول ۲-۱۷- جدول صحت XNOR

A	B	Y
۰	۰	۱
۰	۱	۰
۱	۰	۰
۱	۱	۱

مدار کلیدی شکل ۲-۳۳ عملکرد دروازهٔ منطقی X-NOR را نشان می‌دهد.



شکل ۲-۳۳- عملکرد دروازهٔ XNOR

همانطور که از شکل ۲-۳۳ پیداست، اگر هیچ نیرویی به شستی A و B وارد نگردد، (A = ۰ و B=۰) مسیر جریان در مدار بسته است، و V_O = ۵V می‌شود و اگر هر دو شستی را فشار دهیم (A = ۱ و B = ۱) بازهم مسیر جریان مدار بسته است، و V_O = ۵V می‌شود. حال اگر **فقط یکی از شستی‌ها** را فشار دهیم (A = ۱ و B = ۰ یا A = ۰ و B = ۱) مسیر جریان در مدار باز می‌شود و V_O=۰V می‌گردد.

برای این که نشان دهیم متغیر A با متغیر B، NOR انحصاری (XNOR) شده است از رابطه زیر استفاده می‌کنیم.

$$Y = \overline{A \oplus B}$$

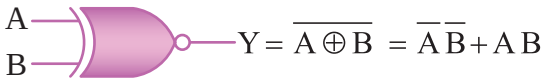
خروجی — ورودی — ورودی

$$Y = \overline{A}\,\overline{B} + AB$$

یا

دروازهٔ منطقی NOR انحصاری (XNOR) را به صورت شکل ۲-۳۴ نمایش می‌دهند.

رابطه منطقی XNOR را به صورت : $Y=A \quad B$ نیز نشان می‌دهند [1].

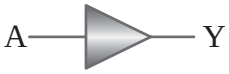


استاندارد بین المللی و امریکایی

شکل ۲-۳۴- نماد دروازهٔ XNOR

چون دروازه‌های منطقی XOR و XNOR از ترکیب دروازه‌های منطقی AND، OR و NOT است بنابراین ساختمان ترانزیستوری آنها نیز ترکیبی از ساختمان گیت‌های اصلی است. به دلیل پیچیدگی مدار از آوردن آنها در این قسمت صرف‌نظر کرده‌ایم.

۲-۳-۵- دروازهٔ بافر Buffer: این دروازهٔ منطقی مانند گیت NOT یک ورودی و یک خروجی دارد. شکل ۲-۳۵ گیت بافر را نشان می‌دهد.



شکل ۲-۳۵-گیت بافر

رابطهٔ منطقی این گیت به‌صورت $Y = A$ است. گیت‌بافر معمولاً به عنوان جداکننده بین دو طبقه استفاده می‌شود و از بارگذاری روی خروجی جلوگیری می‌نماید. در مدارهای دیجیتالی گیت بافر وقتی در خروجی گیت اصلی قرار می‌گیرد، تراز ولتاژ ورودی را عیناً به خروجی مدار انتقال می‌دهد. در داخل گیت بافر مدار تقویت کنندهٔ جریان وجود دارد که میزان جریان دهی خروجی را افزایش می‌دهد.

با استفاده از مدار بافر، مقدار fan out افزایش می‌یابد، یعنی می‌توان تعداد گیت‌های بیشتری را به خروجی گیت اصلی وصل نمود. در این حالت تغذیهٔ خروجی آسیب نمی‌بیند و مدار بارگذاری نمی‌شود.

در ادامه فصل در ارتباط با fan out توضیح بیشتری ارائه خواهد شد.

جدول ۲-۱۸ جدول صحت گیت بافر را نشان می‌دهد.

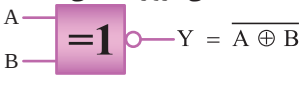
جدول ۲-۱۸- جدول صحت گیت بافر

A	Y
۰	۰
۱	۱

تمرین کلاسی ۲-۶: جریان خروجی یک گیت AND حدود ۲۰ میلی‌آمپر است و می‌تواند یک LED را تغذیه کند، در صورتی که بخواهیم تعداد LEDها را افزایش دهیم، چه تغییری در مدار باید ایجاد کنیم؟

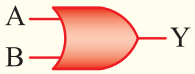
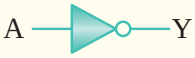
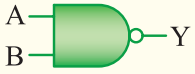
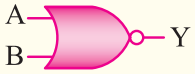
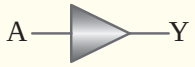
جدول ۲-۱۹ گیت‌های منطقی پایه و ترکیبی را همراه با نماد گرافیکی (استاندارد بین المللی)، تابع منطقی و جدول صحت آنها را نشان می‌دهد.

۱- نماد انگلیسی دروازهٔ منطقی XNOR به صورت



است.

جدول ۱۹-۲- گیت‌های پایه و ترکیبی همراه با نماد، تابع منطقی و جدول درستی

نام دروازه	نماد (سمبل گرافیکی)	تابع منطقی	جدول درستی
AND		$Y = A\,B$	A B Y 0 0 0 0 1 0 1 0 0 1 1 1
OR		$Y = A + B$	A B Y 0 0 0 0 1 1 1 0 1 1 1 1
NOT		$Y = \overline{A}$	A Y 0 1 1 0
NAND		$Y = \overline{A\,B} = (A\,B)'$	A B Y 0 0 1 0 1 1 1 0 1 1 1 0
NOR		$Y = \overline{A + B} = (A + B)'$	A B Y 0 0 1 0 1 0 1 0 0 1 1 0
XOR		$Y = A \oplus B = \overline{A}B + A\overline{B}$	A B Y 0 0 0 0 1 1 1 0 1 1 1 0
XNOR		$Y = \overline{A \oplus B} = \overline{A}\,\overline{B} + A\,B$	A B Y 0 0 1 0 1 0 1 0 0 1 1 1
Buffer		$Y = A$	A Y 0 0 1 1

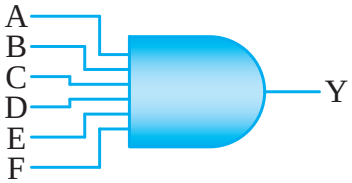
تمرین کلاسی ۲-۷: برای رابطهٔ دروازه‌های منطقی XOR و XNOR با استفاده از دروازه‌های منطقی پایه، مداری طراحی کنید.

۲-۴- مشخصات ویژهٔ دروازه‌های منطقی

مشخصات خانوادهٔ آی سی های دیجیتال معمولاً از طریق تحلیل مدار گیت‌های پایه ای در هر خانواده با هم مقایسه می‌شوند. مهمترین پارامترهای مورد ارزیابی و مقایسه در این خانواده‌ها مقادیر fan-out ، fan -in، حاشیهٔ نویز، تأخیر در انتشار و توان تلف شده است.

اکنون به بررسی مختصری دربارهٔ این مشخصه‌ها می‌پردازیم.

۲-۴-۱- fan-in: حداکثر تعداد ورودی که یک گیت منطقی می‌تواند قبول کند را fan-in آن گیت می‌گویند. مثلاً اگر یک گیت محدود به ۶ ورودی باشد، گوییم fan-in این گیت برابر۶ است. شکل ۲-۳۶ گیت AND را با ۶ ورودی نمایش می‌دهد.

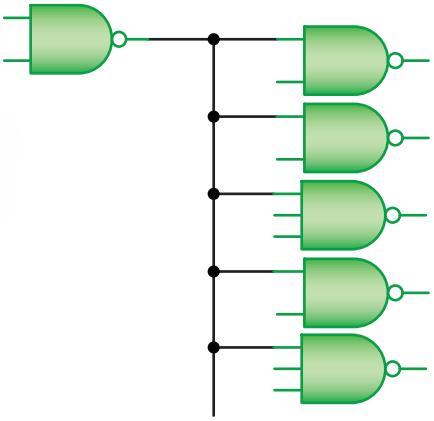


شکل ۲-۳۶- گیت AND با ۶ ورودی

۲-۴-۲- fan-out: حداکثرتعداد گیت‌هایی که می‌تواند از طریق خروجی یک گیت تغذیه شود را fan-out آن گیت گوییم. مثلاً اگر یک گیت دارای fan-out برابر با ۵ باشد خروجی این گیت می‌تواند به ۵ ورودی گیت‌های مختلف یا یکسان وصل شود و آنها را تغذیه کند، به عبارت دیگر با اتصال ۵ گیت به خروجی گیت مورد نظر، ولتاژ خروجی برای حالات منطقی صفر ویک حفظ می‌شود.

شکل ۲-۳۷ یک نمونه کاربرد گیت NAND را با fan - out برابر با ۵ نشان می‌دهد.

fan-out را گنجایش خروجی یک گیت مشخص نیز می‌نامند به عبارت دیگر بدون ایجاد اختلال در کار معمولی این گیت قابل متصل شدن به تعداد گیت‌های تعریف شده در fan-out است.

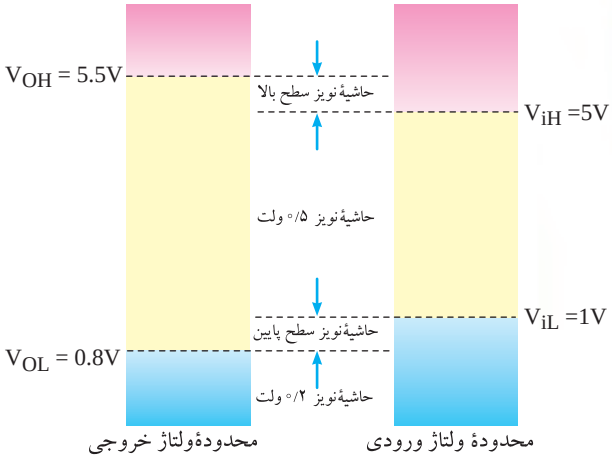


شکل ۲-۳۷- گیت NAND با fan-out برابر ۵

۲-۴-۳- حاشیهٔ نویز Marginal noise: حاشیهٔ نویز در یک گیت منطقی، تأثیر دامنهٔ نویز در ورودی مدار منطقی است. به عبارت دیگر میزان امنیتی است که با ظاهر شدن نویز (هر نوع ولتاژ ناخواسته) در ورودی یک مدار منطقی، بتوانیم اطلاعات را بدون خطا انتقال دهیم و دریافت کنیم. به عبارت دیگر اگر دامنهٔ ولتاژ ناخواسته بیشتر از حاشیهٔ نویز تعریف شده باشد، موجب تغییر وضعیت مدار شده و خروجی نادرست را نتیجه می‌دهد. مثلاً اگر حاشیهٔ نویز تعریف شده برابر ۰/۸ ولت باشد در این حالت، سیگنال نویز نباید به مقداری بیشتر از ۰/۸ ولت برسد. در غیر این صورت موجب بروز خطایی در مدار خواهد شد.

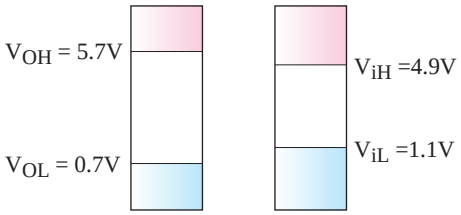
تقریباً در همه‌جا، سیگنال‌های الکترونیکی نامطلوبی وجود دارند که قادر به القاء ولتاژها درسیم‌های رابط بین مدارهای منطقی هستند شکل ۲-۳۸ حاشیهٔ نویز را در محدودهٔ ولتاژ ورودی و محدودهٔ ولتاژ خروجی نشان می‌دهد.حاشیهٔ نویز سطح بالا بین سطح بالای ولتاژ ورودی و سطح بالای ولتاژ خروجی قرار دارد و به همین ترتیب حاشیهٔ نویز سطح

پایین در حد فاصل سطح پایین ولتاژ ورودی و سطح پایین ولتاژ خروجی قرار می‌گیرد.



شکل ۳۸-۲- حاشیهٔ نویز

مثال ۱-۲: حاشیهٔ نویز سطح بالا و سطح پایین را در شکل ۳۹-۲ بدست آورید.



شکل ۳۹-۲- مربوط به مثال

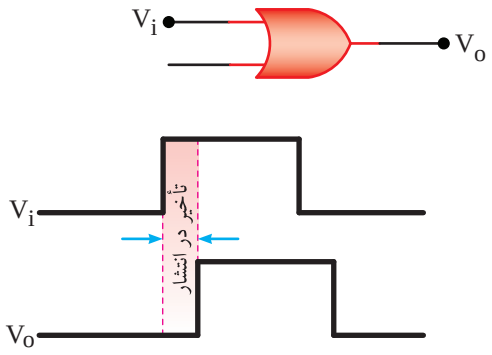
حل :

حاشیه نویز سطح بالا ۰/۸ = ۵/۷-۴/۹

حاشیه نویز سطح پایین ۰/۴ = ۱/۱-۰/۷

۴-۲- تأخیر در انتشار Propagation delay: تأخیر در انتشار عبارت است از زمانی که خروجی یک دروازهٔ منطقی لازم دارد تا تغییر ورودی را از یک حالت به حالت دیگر ظاهر نماید، به عبارت دیگر هر چه تأخیر کمتر باشد سرعت انتقال اطلاعات بیشتر می‌شود.

بنابراین تأخیر در انتشار، یکی از پارامترهای مهمی است که سرعت عملکرد یک سیستم منطقی را مشخص می‌کند. زمان تأخیر انتشار بسیار کوتاه و در حدود چند نانو ثانیه (nsec) است. هر چه تعداد گیت‌ها کمتر باشد تأخیر در انتشار کمتر است. شکل ۴۰-۲ تأخیر در انتشار را در یک دروازهٔ منطقی نشان می‌دهد.



شکل ۴۰-۲- تأخیر در انتشار دروازهٔ منطقی OR

۵-۴-۲-توان تلف شده Power dissipation:

مقدار توانی که در هر گیت به صورت حرارت تلف می‌شود را توان تلف شدهٔ آن گیت می‌گویند و مقدار توان تلف شده برحسب میلی‌وات اندازه‌گیری می‌شود.

۵-۲- استفاده از data book

معمولاً در ساخت دروازه‌های منطقی که عملاً به صورت آی‌سی (IC) در اختیار ما قرار می‌گیرند، از ترانزیستورهای معمولی یا ترانزیستورهای MOSFET[1] استفاده می‌شود.

اگر در یک آی سی از فناوری ترانزیستورهای معمولی استفاده شود، نام آن با حروف SN۷۴ آغاز می‌شود شماره‌هایی که بعد از عدد ۷۴ می‌آید نوع دروازهٔ منطقی یا مدارهای منطقی دیگر را مشخص می‌کند. با مراجعه به کتاب‌های اطلاعات آی‌سی (Transistor Transistor Logic)- (TTL Data Book) می‌توان به نوع آی‌سی پی‌برد. به این نوع آی‌سی‌ها، سری TTL می‌گویند.

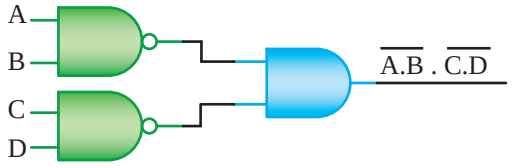
۱ـ در مورد ترانزیستورهای Mosfet به طور اجمالی در کتاب الکترونیک عمومی۲ بحث شده است.

اگر در ساخت آی‌سی مدارهای منطقی از فناوری ترانزیستور MOSFET استفاده شده باشد نام آی‌سی با حروف CD۴۰ شروع می‌شود. شماره‌هایی که بعد از عدد ۴۰ قرار می‌گیرند، نوع دروازهٔ منطقی یا مشخصه‌های دیگر آن را مشخص می‌کند. به این نوع آی‌سی‌ها سری CMOS می‌گویند.

ولتاژ تغذیهٔ آی‌سی‌های سری TTL از ۴/۷۵ ولت تا ۵/۲۵ ولت و ولتاژ تغذیهٔ آی‌سی‌های سری CMOS از ۳ ولت تا ۱۵ ولت است. ولتاژ سطح منطقی یک در این نوع آی سی‌ها، حدود ولتاژ تغذیهٔ آن است.

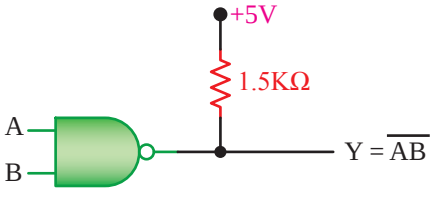
خروجی آی‌سی‌های سری TTL در دو نوع معمولی (Totem pole) و کلکتور باز (Open Collector) ساخته می‌شود.

در نوع معمولی مدار را به همان صورتی که طرح کرده‌ایم می‌توانیم بسازیم برای مثال برای ساختن مدار شکل ۲-۴۱ در عمل سه دروازهٔ منطقی استفاده شده‌است.



شکل ۲-۴۱- مدار دروازهٔ منطقی - معمولی (Totem Pole)

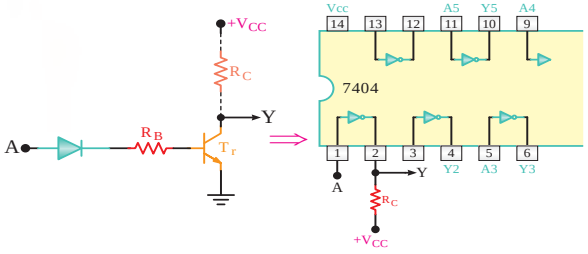
در آی‌سی‌های نوع کلکتور باز خروجی دروازه‌های منطقی را با یک مقاومت حدود ۱ KΩ به $+V_{CC}$ متصل می‌کنیم. شکل ۲-۴۲ نحوهٔ اتصال این مقاومت را نشان می‌دهد.



شکل ۲-۴۲- مدار دروازهٔ منطقی کلکتور باز

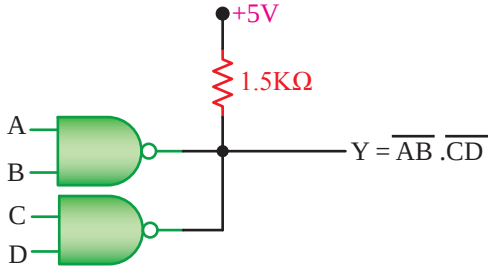
ساختمان داخلی گیت NOT را می‌توانید در شکل ۲-۴۳ مشاهده کنید.

R_C که از خارج به آی سی متصل می‌شود را مقاومت pull up می‌گویند. Pull up به معنی بالا کشیدن است و در اینجا به معنی کامل کردن مدار داخلی به کار می‌رود.



شکل ۲-۴۳- ساختمان داخلی یک گیت نوع کلکتور باز

هنگام تعویض یک دروازهٔ منطقی معیوب با یک دروازهٔ منطقی سالم باید به نوع دروازه (معمولی یا کلکتور باز) توجه کنید. زیرا شکل ظاهری و نماد هر دو نوع آی سی مشابه است. معمولاً در کتاب‌های مرجع برای هر شمارهٔ آی‌سی، نوع معمولی یا کلکتور بازبودن را مشخص می‌کنند. در اغلب این کتاب‌ها فرض را بر این می‌گیرند که همهٔ آی‌سی‌ها معمولی‌اند و فقط آی‌سی‌های کلکتور باز را مشخص می‌کنند. یکی از مزایای آی‌سی‌های کلکتور باز این است که اگر خروجی آنها را به یکدیگر وصل کنیم، مانند دروازهٔ منطقی AND عمل می‌کنند. (شکل ۲-۴۴)



شکل ۲-۴۴- دروازهٔ منطقی AND کلکتور باز

به این نوع AND، AND سیمی می‌گویند. توجه داشته باشید که دروازه‌های معمولی را به هیچ عنوان نباید به یک‌دیگر متصل کنید.

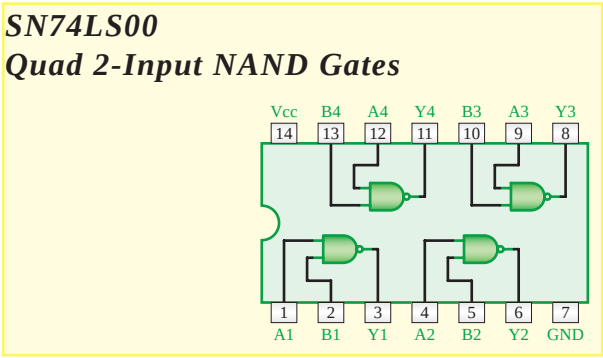
همهٔ دروازه‌های منطقی که در ماشین حساب‌ها و دستگاه‌های مشابه آن به کار می‌روند، الکترونیکی هستند و از سرعت قطع و وصل بسیار بالایی برخوردارند. در صنعت، گاهی به دروازه‌های منطقی نیاز داریم که بتوانند ولتاژهای بالا (مثلاً ۲۲۰ ولت برق شهر) را درخروجی خود با سرعت بسیار بالا قطع و وصل کنند.

در این گونه موارد، دروازه‌های منطقی که با استفاده از رله‌های الکترومغناطیسی یا قطعات الکترونیک صنعتی ساخته می‌شوند را به کار می‌برند.

۱-۵-۲- برگهٔ اطلاعات IC(Data sheet):

دروازه‌های منطقی پایه را معمولاً به‌صورت آی‌سی(IC) می‌سازند و غالباً در هر آی‌سی ۲ تا ۶ دروازهٔ منطقی قرار می‌گیرند. اطلاعات مربوط به ICها را معمولاً در کتاب اطلاعات Data book به صورت برگه‌های اطلاعاتی Data sheet قرار می‌دهند.

شکل ۴۵-۲ قسمتی از برگهٔ اطلاعات آی‌سی شمارهٔ SN۷۴LS۰۰ که مربوط به دروازهٔ منطقی NAND است را نشان می‌دهد. اطلاعات برگه‌ای از یک Data book است.



شکل ۴۵-۲- آی سی N۷۴LS۰۰ مربوط به دروازهٔ منطقی NAND

همان‌طور که در شکل ۴۵-۲ مشاهده می‌کنید این آی‌سی دارای ۱۴ پایه است که پایهٔ ۱۴ مربوط به تغذیهٔ V_{CC} و پایهٔ ۷ مربوط به اتصال زمین (GND) است. در داخل آی سی ۴ عدد دروازهٔ منطقی NAND به طور جداگانه قرار دارد.

در جدول ۲۰ـ۲، جدول مربوط به مشخصات محدودهٔ عملیاتی تضمین شدهٔ دروازهٔ منطقی NAND را مشاهده می‌کنید و در جدول ۲۱ـ ۲ ترجمهٔ فارسی جدول ۲۰ـ۲ آمده است.

جدول ۲۰-۲-جدول مربوط به دروازهٔ منطقی NAND

GUARANTEED OPERATING RANGES

Symbol	Parameter	Min	Typ	Max	Unit
V_{CC}	Supply Voltage	4.75	5.0	5.25	V
T_A	Operating Ambient Temperature Range	0	25	70	°C
I_{OH}	Output Current - High			- 0.4	mA
I_{OL}	Output Current - Low			8.0	mA

جدول ۲۱-۲- جدول فارسی مربوط به دروازهٔ منطقی NAND

علامت	مشخصه	کمترین	نوع	بیشترین	واحد
V_{CC}	ولتاژ تغذیه	۴/۷۵	۰/۵	۵/۲۵	V
T_A	حد محدودهٔ دمای عملکرد	۰	۲۵	۷۰	°C
I_{OH}	جریان بالای خروجی			- ۰/۴	mA
I_{OL}	جریان پایین خروجی			۰/۸	mA

در شکل ۴۶ - ۲ نمای ظاهری این آی‌سی‌ها را در دو نوع پلاستیکی مشاهده می‌کنید.

SOIC مدارمجتمع با پایه‌های کوچک
D Suffix با پسوند D
Case 751A شمارهٔبدنه ۷۵۱A

SOIC: Small Outline Integrated Circuit

Plastic پلاستیکی
N Suffix با پسوند N
Case 646 شمارهٔبدنه ۶۴۶

شکل ۴۶ - ۲- نمای ظاهری آی سی N۷۴LS۰۰

جدول دیگری نیز معمولاً در برگه‌های اطلاعات Data sheet مربوط به دروازهٔ منطقی وجود دارد که مربوط به مشخصات تعداد پایه‌های آی‌سی و آرایش است،جدول ۲۲-۲ قسمتی از جدول اطلاعات آی سی است.

جدول ۲۲-۲- مشخصات تعداد پایه های آی سی و نحوهٔ آرایش آن

ORDERING INFORMATION

Device	Package
SN74LS00N	Pin Dip 14
SN74LS00D	14Pin

بسته‌بندی	قطعه
۱۴ پایه دو ردیفه	SN۷۴LS۰۰N
۱۴ پایه	SN۷۴LS۰۰D

درهرصفحه از اطلاعات مربوط به یک آی‌سی مشخصات دیگری نیز نوشته می‌شود که بر حسب نیاز مورد استفاده قرار می‌گیرد. بررسی این صفحات را در صورت نیاز خودتان انجام دهید.

۲-۵-۲- آشنایی با سری خانوادهٔ TTL: اطلاعات کامل و جزئیات مداری خانواده‌های TTL در مراجع متعدد آمده است.

حروفی که همراه با شمارهٔ تراشه (IC) می‌آید دسته‌بندی می‌شود که در این قسمت به تشریح تعدادی از این دسته‌بندی‌ها می‌پردازیم.

الف) تراشه های TTL استاندارد (Std TTL): در دسترس‌ترین، ارزان‌ترین و در عین حال متنوع‌ترین نوع آی‌سی‌هاست. این آی‌سی‌ها دارای تأخیر انتشار حدود ۱۰ nsec و توان مصرفی هر دروازه حدود ۱۰ mw می‌باشد.

نکتهٔ مهم: اطلاعات مربوط به دسته‌بندی تراشه‌ها صرفاً جهت آشنایی آمده است و فراگیر باید بتواند با مراجعه به منابع از اطلاعات استفاده کند. لذا نیازی به خاطر سپردن این اطلاعات نیست و در صورت پرسش در آزمون باید اطلاعات Data sheet در اختیار هنرجو قرار گیرد.

ب) تراشه‌های TTL شاتکی کم‌مصرف پیشرفته (ALS TTL): شبیه سری LS است ولی در فرایندهای ساخت آن از فناوری پیشرفته‌تری استفاده شده است. ضریب تقویت بالا، تأخیر انتشار حدود ۴nsec و توان مصرفی هر دروازه حدود ۱mw از ویژگی‌های این نوع آی سی است.

پ) تراشه‌های TTL شاتکی پیشرفته (AS TTL): برای سرعت‌های بسیار بالا ساخته شده است که این افزایش سرعت میزان جریان مصرفی آن را زیاد کرده است. تأخیر انتشار در این نوع آی سی‌ها حدود ۱/۵ nsec و توان مصرفی هر دروازه حدود ۲۲ mw است.

ت) تراشه‌های TTL شاتکی سریع (F TTL): از نظر سرعت و توان مصرفی مانند سری AS است.

ث) تراشه های TTL توان بالا (H TTL): به‌علت جریان مصرفی بسیار بالا از رده خارج شده است.

ج) تراشه‌های TTLشاتکی توان پایین (L TTL): به علت سرعت پایین از رده خارج شده است.

چ) تراشه‌های TTL شاتکی کم مصرف(LS TTL): نسبت به سری استاندارد سرعت بیشتری دارد و توان مصرفی آن $\frac{1}{5}$ برابر نوع استاندارد و شبیه سری ALS است.

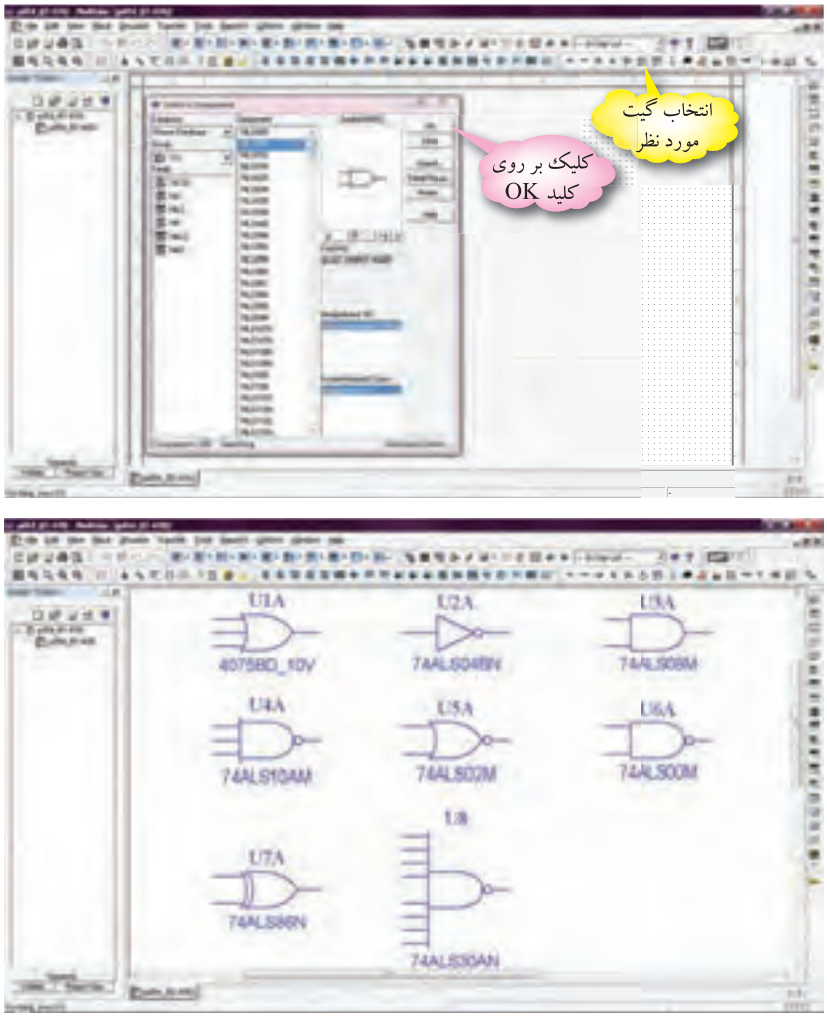
ح) تراشه‌های TTL شاتکی (S TTL): نوع اصلاح شده با سرعت بالا و مصرف پایین است.

توجه: اطلاعات مربوط به سری خانوادهٔ TTL فقط جهت آشنایی است و در آزمون‌ها سؤالی در این رابطه داده نمی‌شود.

۶-۲- استفاده از نرم افزار

با استفاده از نرم‌افزار مولتی سیم می‌توانید دروازه‌های منطقی را برروی میز کار نرم افزار بیاورید و در مدارهای مختلفی که در فصل بعدی آموزش می‌بینید از آن‌ها استفاده کنید.

در شکل ۴۷-۲ طریقهٔ استفاده از کلیدهای مربوط به دروازه‌های منطقی را مشاهده می‌کنید.



شکل ۴۷-۲- نمونه‌ای از دروازه‌های منطقی در نرم افزار

تمرین کلاسی ۸ -۲: انواع دروازه‌های منطقی را در نرم‌افزار مولتی‌سیم شناسایی کنید و نتیجهٔ فعالیت خود را به کلاس ارائه کنید.

۷-۲- الگوی پرسش

۱- مفاهیم زیر را تعریف کنید.

ولتاژ بالا - ولتاژ پایین - منطق مثبت - منطق منفی

۲- مدار دیودی گیت AND را رسم کنید و طرز کار آن را شرح دهید.

۳- یک دروازهٔ AND با چهار ورودی را رسم کنید و جدول صحت آن را بنویسید.

۴- مدار ترانزیستوری گیت OR را رسم و طرز کار آن را شرح دهید.

۵- یک گیت NOT را در مسیر یکی از ورودی‌های گیت OR قرار می‌دهیم. تابع خروجی آن را بنویسید.

۶- در طراحی ساختمان یک دروازهٔ منطقی چه عاملی بر سرعت عملکرد آن تأثیر دارد؟

۷- جدول صحت دروازهٔ X-OR را با سه ورودی بنویسید.

۸- مشخصات ویژهٔ دروازه‌های منطقی را به‌طور خلاصه توضیح دهید.

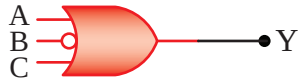
۹- fan-in یک دروازهٔ منطقی برابر با ۴ است این دروازهٔ منطقی چه ویژگی خاصی دارد؟

۱۰- در صورتی که حاشیهٔ نویز یک گیت منطقی ۰/۳۶ ولت باشد و یک سیگنال ناخواسته با ولتاژ ۰/۴ ولت به ورودی آن وارد شود، آیا خللی در کارگیت به وجود می‌آورد؟ چرا؟

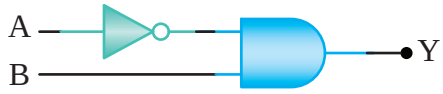
۱۱- جدول صحت و خروجی تابع هر یک از شکل‌های زیر را بنویسید.

الف)

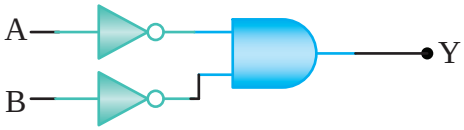
ب)



پ)



۱۲- با استفاده از جدول صحت نشان دهید که مدار زیر مانند یک گیت NOR عمل می‌کند.



۱۳- جدول صحت را برای گیت‌های زیر که هر یک دارای سه ورودی هستند، بنویسید.

NAND - AND - OR - NOR

۱۴- چگونه خروجی یک گیت NAND با سه ورودی همواره صفر منطقی است؟

۱۵- تحت چه شرایطی یک گیت NOR دارای خروجی ۱ است؟ شرح دهید.

۱۶- اطلاعات مربوط به تراشهٔ SN۷۴LS۰۰ که در زیر آمده است را از جدول استخراج و درجدولی توضیح دهید.

SN74LS00

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (Unless otherwise specified)

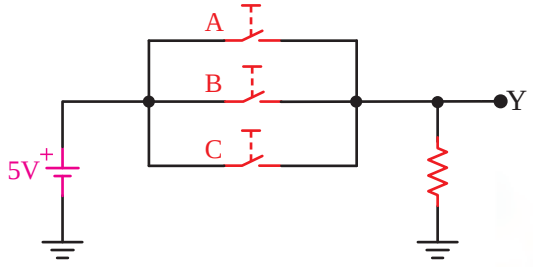
Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
V_{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage forAll Inputs
V_{IL}	Input LOW Voltage			0.8	V	Guaranteed Input LOW Voltage for All Inputs
V_{IK}	Input Clamp Diode Voltage		−0.65	−1.5	V	V_{CC} = MIN , I_{IN} = −18 mA
V_{OH}	Output HIGH Voltage	2.7	3.5		V	V_{CC} = MIN , I_{OH}= MAX , V_{IN} =V_{IH} or V_{IL} per Truth Table
V_{OL}	Output LOW Voltage		0.25	0.4	V	I_{OL}= 4.0 mA; V_{CC}= V_{CC}MIN , V_{IN}=V_{IL} or V_{IH} per Truth Table
			0.35	0.5	V	I_{OL}= 8.0 mA
I_{IH}	Input HIGH Current			20	µA	V_{CC}= MAX , V_{IN}= 2.7 V
				0.1	mA	V_{CC}= MAX , V_{IN}= 7.0 V
I_{IL}	Input LOW Current			−0.4	mA	V_{CC}= MAX , V_{IN}= 0.4 V
I_{OS}	Short Circuit Current (Note 1)	−20		−100	mA	V_{CC}= MAX
I_{CC}	Power Supply Current Total , Output HIGH Total , Output LOW			1.6 4.4	mA	V_{CC}= MAX

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

شکل سؤال ۱۶

توجه: شماره آی سی‌ها جهت آشنایی با مدار داخلی آنهاست و نیاز به حفظ کردن آنها و شمارهٔ پایه‌ها نیست. در صورت استفاده باید به برگه‌های اطلاعاتی هریک در data book مراجعه شود و در آزمون‌ها با ارائهٔ نقشه می‌توان مشخصات فنی را مورد سؤال قرار داد.

۱۷- شکل زیر عملکرد چه نوع دروازهٔ منطقی را نشان می‌دهد رابطه و جدول صحت آن را بنویسید.



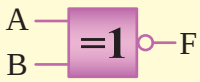
جهت هنرجویان علاقه‌مند:

۱۸- جدول صحت، رابطه و نام دروازه‌های منطقی هر یک از نمادهای زیر را بنویسید.

الف)

ب)

پ)



برای پاسخ به این سؤال از زیر نویس‌های این فصل استفاده کنید.

۱۹- نمادهای دیگر هر یک از موارد سؤال ۱۸ را رسم کنید

۲۰- هنگام تعویض یک دروازهٔ منطقی معیوب با یک دروازهٔ منطقی سالم چه نکته‌ای را مورد توجه باید قرار داد؟

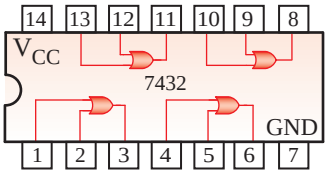
۲۱- آیا در هنگام ساخت مدار می‌توان ترکیبی از دروازه های CMOS و TTL را به کار برد؟

۲۲- اگر تعداد دروازه‌های موجود در یک تراشه بیش از تعداد مورد نیاز باشد، آیا موجب بروز مشکل می‌شود؟

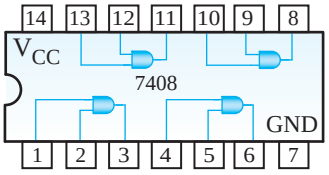
۸-۲- معرفی مشخصات پایه‌های آی‌سی‌های گیت‌های منطقی

شکل ۴۸-۲ نقشهٔ تعدادی از آی‌سی‌های پرکاربرد را در دیجیتال نشان می‌دهد. در این شکل شمارهٔ پایه‌های آی‌سی، تعداد گیت‌ها و ارتباط گیت‌ها با پایه‌ها مشخص شده است. در آی‌سی های شکل ۴۸-۲ پایهٔ ۱۴ تغذیهٔ آی سی و پایهٔ ۷ زمین آی‌سی است.

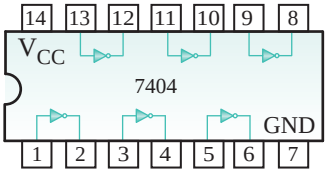
شکل ظاهری آی سی



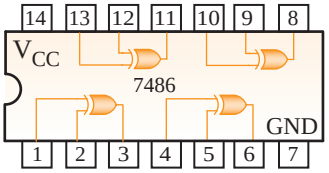
الف) آی سی ۷۴۳۲ گیت OR



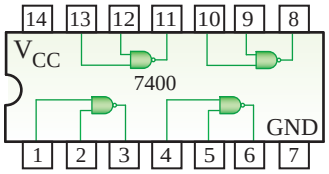
ب) آی سی ۷۴۰۸ گیت AND



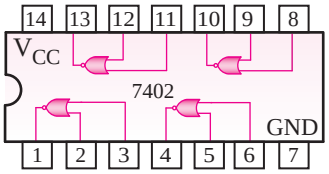
پ) آی سی ۷۴۰۴ گیت NOT



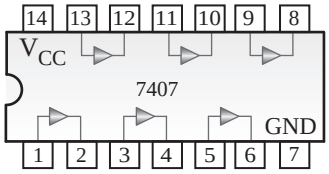
ت) آی سی ۷۴۸۶ گیت XOR



ث) آی سی ۷۴۰۰ گیت NAND



ج) آی سی ۷۴۰۲ گیت NOR



چ) آی سی ۷۴۰۷ گیت بافر

شکل ۴۸-۲- نقشهٔ آی‌سی‌های پر کاربرد

فصل سوم

جبر بول

هدف کلی: شـــناخت جبر بول و اتحادهای اساســی آن، توابع بولی به شکل مجموع حاصل ضرب‌ها و حاصل ضرب جمع‌ها، پیاده‌سازی توابع منطقی توسط دروازه‌های منطقی پایه و نقشهٔ کارنو

کل زمان اختصاص داده شده به فصل: ۲۰ ساعت آموزشی

هدف‌های رفتاری: در پایان این فصل از فراگیرنده انتظار می‌رود که :

۱ـ توابع بولی را شرح دهد.
۲ـ عبارت بولی یک تابع منطقی را بنویسد.
۳ـ اتحادهای اساسی جبر بول را شرح دهد.
۴ـ توابع بولی را به کمک اتحادهای اساسی ساده کند.
۵ـ توابع بولی ساده شده را با دروازه‌های منطقی ترسیم (پیاده‌سازی) کند.
۶ـ عبارت بولی را به شکل نرمال (عادی) بنویسد.
۷ـ عبارت بولی را به شکل حاصل ضرب توضیح دهد.
۸ـ عبارت بولی را به شکل مجموع توضیح دهد.
۹ـ عبارت بولی را به شکل استاندارد مجموع حاصل ضرب‌ها شرح دهد.
۱۰ـ عبارت بولی به شکل استاندارد و حاصل ضرب جمع‌ها را توضیح دهد.
۱۱ـ عبارت منطقی را به شکل استاندارد مین ترم بنویسد.
۱۲ـ عبارت بولی را با استفاده از نقشهٔ کارنو ساده کند .
۱۳ـ توابع منطقی را با گیت‌های منطقی پیاده‌سازی (طرح) کند.
۱۴ـ تعداد ورودی‌های دروازه‌های منطقی را افزایش دهد.
۱۵ـ دروازه‌های منطقی مختلف را فقط با NAND و NOR بسازد.
۱۶ـ جـــدول صحـــت را از ورودی داده‌هـــای مساله استخراج کند.
۱۷ـ تابع منطقی را به شکل مجموع حاصل ضرب‌ها بنویسد (حداکثر چهار ورودی).
۱۸ـ مراحل طراحی مدارهای ترکیبی ساده را شرح دهد.
۱۹ـ مدارهای سادهٔ ترکیبی را تشریح کند.
۲۰ـ یک نمونه مدار ترکیبی ساده را طراحی کند.
۲۱ـ با استفاده از نرم افزار مولتی‌سیم توابع بولی را با کمک گیت‌ها شبیه‌سازی کند.
۲۲ـ به سؤال‌های الگوی پرسش پاسخ دهد.
۲۳ـ کلیهٔ هدف‌های رفتاری در حیطهٔ عاطفی که در فصل اول آمده‌است را باید در این فصل مورد توجه قرار دهد.

پیش‌گفتار

جبر بول دستگاه ریاضی مناسبی برای تجزیه‌وتحلیل مدارهای دیجیتالی است . در این فصل با اتحادهای اساسی جبر بول، چگونگی به‌دست آوردن تابع منطقی یک مدار مشخص، شکل‌های نرمال، ساده‌کردن توابع منطقی آشنا می‌شویم.

۱ـ۳ـ جبر بول (Boolean algebra)

در این فصل یک مدل ریاضی را مورد بررسی قرار می‌دهیم که نحوهٔ کار یک مدار دیجیتال را بیان می‌کند. چنین مدلی را جبربول می‌نامیم.

این جبر روش‌های مفید و ساده‌ای را برای تجزیه و تحلیل و ترکیب مدارهای دیجیتالی، از جمله مدارهای ترکیبی (Combinational) و مدارهای ترتیبی (Sequential) ارائه می‌دهد.

برای درک بهتر جبر بول و استفادهٔ مؤثر از آن، ابتدا روش‌های کلی مربوط به این جبر را بیان می‌کنیم، سپس به روابط منطقی و عملیات جبری می‌پردازیم.

این عملیات برای ساده‌کردن و به دست آوردن فرم استاندارد و ساده شدهٔ مدار مورد استفاده قرار می‌گیرد. در جبر بول یک مدل ریاضی قابل استفاده مدلی است که بتواند:

۱ـ روابط بین خروجی‌ها و ورودی‌ها را به صورت ساده‌ترین رابطهٔ ریاضی بیان کند.

۲ـ از نظر اجرای آزمایشگاهی و عمل قابل اجرا باشد.

۳ـ قادر به بیان عمل منطقی مدار باشد.

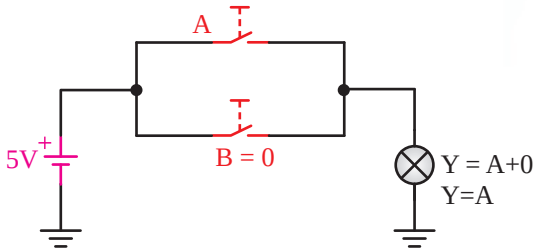
۱ـ۱ـ۳ـ قوانین حاکم بر جبر بول یا اتحادهای اساسی

اتحادهای اساسی در ساده‌سازی توابع منطقی کاربرد دارند. در ادامه به بررسی این قوانین و اتحادها می‌پردازیم. برای اثبات این قوانین (قاعده‌ها)، از مدارهای کلیدی استفاده می‌کنیم. شرایط روشن شدن لامپ در شکل ۱ـ۳ را به عنوان خروجی مدار در نظر

می‌گیریم و آن را با y نشان می‌دهیم.

الف) عضو خنثی: در عمل OR (جمع منطقی)[1]، صفر منطقی عضو خنثی است. یعنی اگر هر عبارتی با صفر جمع شود، حاصل همان عبارت منطقی (تابع منطقی) خواهد بود. به شکل ۱ـ۳ که یک نمونه مدار سادهٔ جمع با عضو خنثی است توجه کنید.

در این شکل کلید A دو وضعیت بسته (۱) و باز (۰) را می‌تواند اختیار کند.



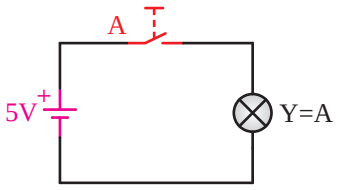
شکل ۱ـ۳ـ یک نمونه مدار اصلی جمع با عضو خنثی

توجه: در این قسمت ، کلید در حالت بسته را «یک» و کلید در حالت باز را « صفر» فرض کرده‌ایم.

کلید B یک کلید همیشه باز است و در این مدار همواره حالت باز یا صفر را به خود می‌گیرد و نمی‌تواند تغییر وضعیت دهد. این کلید به صورت موازی با کلید A قرار دارد. در این شرایط خروجی مدار یعنی لامپ Y تابع تغییرات کلید A خواهد بود. یعنی اگر کلید A بسته شود لامپ روشن و اگر باز شود لامپ خاموش خواهد شد.

با برداشتن کلید B هیچ تغییری در مدار رخ نمی‌دهد و خروجی Y همواره تابع A خواهد بود. بنابراین بودن یا نبودن کلید B هیچ تأثیری در عملکرد خروجی مدار ندارد. شکل ۲ـ۳ این وضعیت را نشان می‌دهد.

۱ـ از این پس در این کتاب عمل OR را با عنوان «جمع منطقی» یا «جمع» نیز بیان خواهیم کرد.



شکل ۲ـ۳ـ مدار معادل اثر صفر در عمل جمع منطقی (OR)

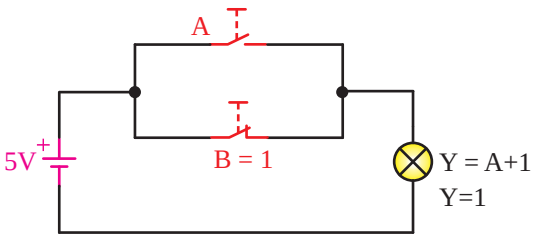
مدار معادل شکل ۱ـ۳ در شکل ۲ـ۳ آمده است. پس می‌توانیم نتیجه بگیریم که اگر صفر منطقی با هر عبارت منطقی جمع شود حاصل همان عبارت خواهد بود.

$$A + 0 = A$$

تمرین کلاسی ۱ـ۳: (A+B) را با صفر منطقی جمع کنید، حاصل آن را به‌دست آورید، مدار اصلی و معادل آن را ترسیم کنید.

ب) جمع با یک منطقی: اگر ۱ با هر عبارت منطقی جمع شود حاصل برابر با «۱» خواهد شد. شکل ۳ـ۳ـالف یک نمونه مدار سادهٔ جمع شدن «۱» با عبارت منطقی را نشان می‌دهد. در این مدار کلید A با کلید B موازی شده است. کلید B یک کلید همیشه بسته (یک منطقی) است. در حالتی که کلید A می‌تواند تغییر وضعیت دهد. با توجه به توضیح داده شده در مورد عضو خنثی (صفر)، در این مدار رفتار کلید A هیچ تأثیری در خروجی ندارد و خروجی همواره "۱" خواهد بود.

به عبارت دیگر لامپ همیشه روشن است.



شکل ۳ـ۳ـ الف) مدار اصلی جمع با یک منطقی

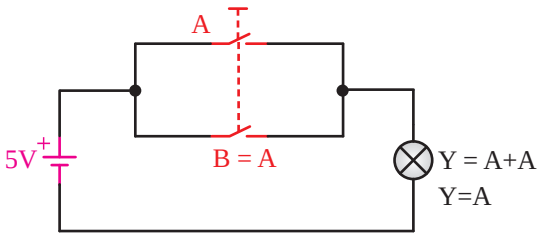
شکل ۳ـ۳ـ ب) مدار معادل اثر یک در عمل جمع منطقی (OR)

در شکل ۳ـ۳ـ ب مدار معادل شکل ۳ـ۳ـ الف را مشاهده می‌کنید. در این مدار کلید A هیچ تأثیری ندارد و خروجی همواره «یک» است، پس می‌توانیم روی خروجی بنویسیم

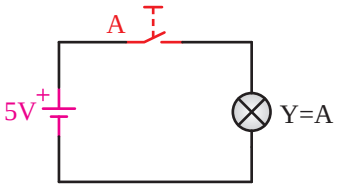
$$A + 1 = 1$$

تمرین کلاسی ۲ـ۳: عبارت B+C را با یک منطقی جمع کنید ، حاصل آن را به‌دست آورید و مدار اصلی و مدار معادل آن را ترسیم کنید.

پ) جمع یک عبارت منطقی با خودش: هرگاه هر عبارت منطقی با خودش جمع منطقی (OR) شود، حاصل همان عبارت است، در شکل ۴ـ۳ـ الف یک نمونه مدار مربوط به جمع هر عبارت با خودش را ملاحظه می‌کنید. برای تحلیل این مدار به توضیحات داده شده در مورد عضو خنثی توجه نمایید. در شکل ۴ـ۳ـ ب مدار معادل جمع هر عبارت با خودش را مشاهده می‌کنید.



شکل ۴ـ۳ـ الف) مدار اصلی جمع منطقی هر عبارت با خودش



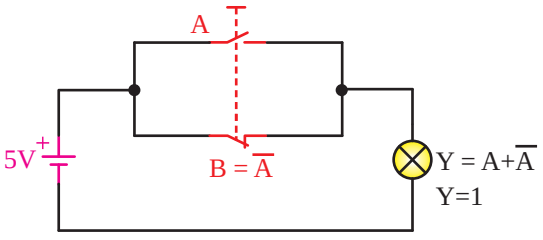
شکل ۴ـ۳ـ ب) مدار معادل جمع منطقی(OR) هر عبارت با خودش

از مدارهای شکل ۴ـ۳ می‌توان نتیجه گرفت که:

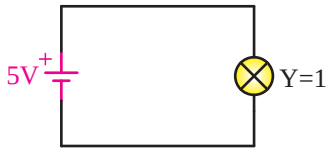
$$A+A=A$$

تمرین کلاسی ۳ـ۳: عبارت منطقی B+C را با خودش جمع منطقی کنید. حاصل آن را به‌دست آورید، مدار اصلی و مدار معادل آن را ترسیم کنید.

ت) جمع یک عبارت منطقی با معکوس آن: هرگاه هر عبارت منطقی با معکوس خودش(NOT) جمع منطقی (OR) شود ، حاصل یک می‌شود، در مدار شکل ۵ـ۳ـ الف عبارت A را با عبارت B که معکوس A است جمع کرده‌ایم. همان طور که از حالت‌های کلید A و B مشاهده می‌کنید در کلیهٔ شرایط لامپ روشن می‌ماند. مدار معادل شکل ۵ـ۳ـ الف را در شکل ۵ـ۳ـ ب ملاحظه می‌کنید.



الف) مدار اصلی



ب) مدار معادل

شکل ۵ـ۳ـ جمع منطقی(OR)هرعبارت‌بامعکوس خودش

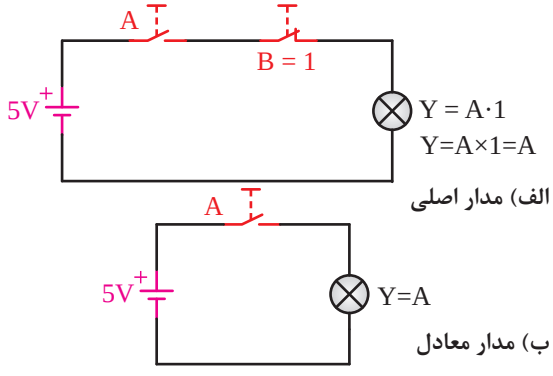
از مدارهای شکل ۵ـ۳ نتیجهٔ زیر حاصل می‌شود.

$$A+\bar{A}=1$$

نکته: همان طور که در شکل‌های ۱ـ۳ تا ۵ـ۳ ملاحظه کردید، عمل جمع منطقی دقیقاً مشابه گیت OR منطقی است.

تمرین کلاسی ۴ـ۳: عبارت منطقی $C+D$ را با $\bar{C}$ جمع منطقی کنید و حاصل آن را به‌دست آورید . مدار اصلی و مدار معادل آن را ترسیم کنید.

ث) ضرب منطقی[1] عبارت منطقی در یک: هرگاه هر عبارت منطقی در "یک" ضرب منطقی(AND) شود، حاصل همان عبارت است (در عمل ضرب منطقی «یک» عضو خنثی محسوب می‌شود). در شکل ۶ـ۳ـ الف کلید A در حالت صفر قرار دارد و کلید B فقط در یک حالت قرار دارد و نمی‌تواند تغییر کند. بنابراین عامل اثرگذار روی مدار فقط کلید A است. شکل ۶ـ۳ ب مدار معادل شکل ۶ـ۳ـ الف را نشان می‌دهد.



شکل ۶ـ۳ـ تأثیر یک منطقی در عمل ضرب منطقی (AND)

۱ـ از این پس در این کتاب عمل AND را با عنوان «ضرب منطقی» یا «ضرب» نیز بیان خواهیم کرد.

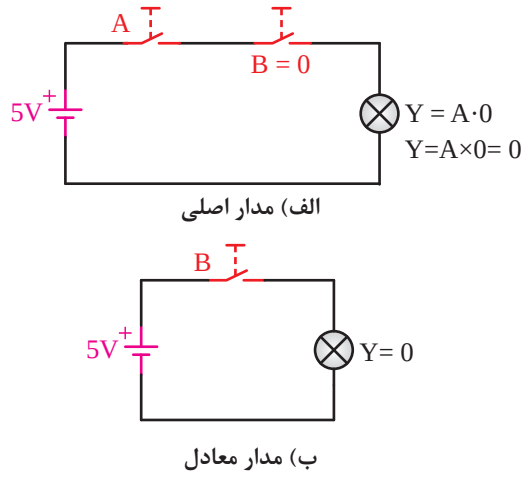
از مدارهای شکل ۶ـ۳ می‌توان نتیجه گرفت که «یک» منطقی در ضرب منطقی (AND) بی‌تأثیر است، یعنی:

$$A \cdot 1 = A$$

تمرین کلاسی ۵ـ۳: عبارت $(A+B)$ را در «۱» منطقی ضرب کنید و حاصل را به‌دست آورید . مدار اصلی و مدار معادل آن را ترسیم کنید.

ج) ضرب عبارت منطقی درصفر: هرگاه هر عبارت منطقی در «صفر» منطقی ضرب منطقی (AND) شود حاصل صفر خواهد شد، در شکل ۷ـ۳ـ الف کلید A دو حالت بسته و باز را اختیار می‌کند و کلید B یک حالت دارد و آن حالت خاموش یا صفر منطقی است.

شکل ۷ـ۳ـ ب مدار معادل شکل ۷ـ۳ـ الف را نشان می‌دهد.



شکل ۷ـ۳ـ تأثیر صفر منطقی در عمل ضرب منطقی (AND)

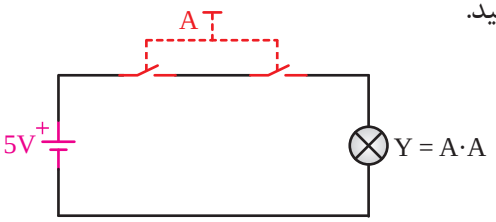
از مدارهای شکل ۷ـ۳ به این نتیجه می‌رسیم که هرگاه صفر منطقی در عبارتی ضرب منطقی (AND) شود، حاصل صفر خواهد شد. بنابراین:

$$A \cdot 0 = 0$$

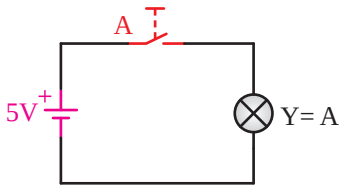
تمرین کلاسی ۶ـ۳: عبارت (C+D) را در «صفر» منطقی ضرب کنید، حاصل عبارت را به‌دست آورید . مدار اصلی و مدار معادل آن را ترسیم کنید.

سؤال: آیا در عمل ضرب ریاضی نیز نتایج موارد ث و ج صادق است؟ توضیح دهید.

چ) ضرب یک عبارت منطقی در خودش: هرگاه هر عبارت منطقی در خودش ضرب منطقی (AND) شود حاصل همان عبارت خواهد بود. در شکل ۸ـ۳ـ الف مدار اصلی و در شکل ۸ـ۳ـ ب مدار معادل آن را مشاهده می‌کنید.



الف) مدار اصلی



ب) مدار معادل

شکل ۸ـ۳ـ تأثیر عمل ضرب منطقی (AND) هرعبارت در خودش

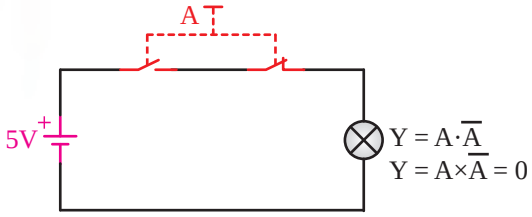
از مدارهای شکل ۸ـ۳ نتیجهٔ زیر حاصل می‌شود.

$$A \cdot A = A$$

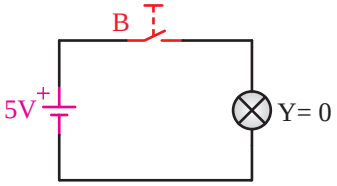
تمرین کلاسی ۷ـ۳: عبارت (A+B) را در خودش ضرب منطقی کنید. حاصل عبارت را به‌دست آورید . مدار اصلی و مدار معادل آن را ترسیم کنید.

ح) ضرب عبارت منطقی در معکوس آن: هرگاه هر عبارت منطقی در معکوس خودش ضرب منطقی (AND) شود، حاصل صفر خواهد شد. در شکل ۹ـ۳ـ الف مدار اصلی و در شکل ۹ـ۳ـ ب مدار معادل آن را ملاحظه می‌کنید.

کلید B یک کلید یک حالته معادل صفر است.



الف) مدار اصلی



ب) مدار معادل

شکل ۹ـ۳ـ تأثیر ضرب منطقی (AND) بین هر عبارت منطقی و معکوس آن

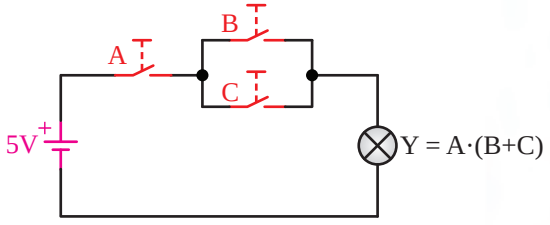
از مدارهای شکل ۹ـ۳ می‌توان به نتیجهٔ زیر رسید.

$$A.\bar{A}=0$$

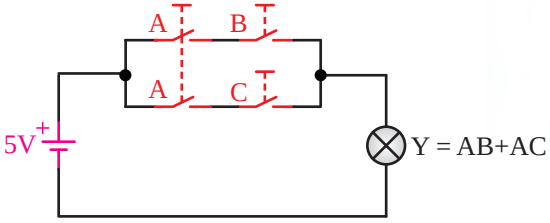
تمرین کلاسی ۸ـ۳: عبارت A+B را در $(\bar{A}+\bar{B})$ ضرب کنید و حاصل را به دست آورید . مدار اصلی آن را ترسیم کنید.

خ) توزیع‌پذیری AND در OR: هرگاه یک عبارت منطقی در پرانتزی ضرب منطقی(AND) شود، در تک‌تک عبارت‌های داخل پرانتز ضرب منطقی می‌شود، در شکل ۱۰ـ۳ـالف ضرب منطقی تابع (B+C) را در تابع A ملاحظه می‌کنید. در شکل ۱۰ـ۳ـ ب مدار

معادل شکل ۱۰ـ۳ـالف آمده است.



الف) مدار اصلی



ب) مدار معادل

شکل ۱۰ـ۳ـ ضرب یک عبارت منطقی درعبارت منطقی داخل پرانتز

از مدارهای شکل ۱۰ـ۳ می‌توان به نتیجهٔ زیر رسید.

$$A\,.\,(B+C) = AB+AC$$

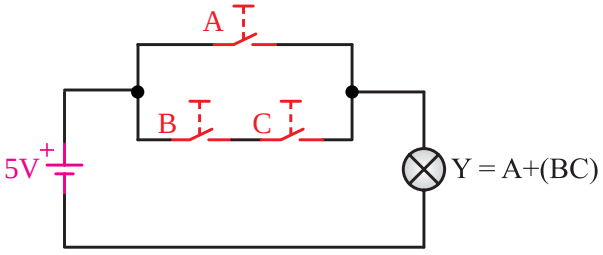
این عمل را توزیع‌پذیری AND در OR می‌نامند. به‌عبارت دیگر در رابطهٔ سمت راست اگر از عبارت A فاکتور گرفته شود، خواهیم داشت:

$$\underline{A}B + \underline{A}C = A\,(\,B+\,C)$$

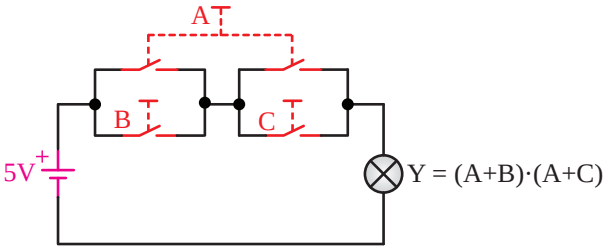
یعنی پس از فاکتورگیری عبارت سمت چپ داخل کادر به‌دست می‌آید . عمل فاکتورگیری در ساده سازی توابع منطقی کاربرد زیادی دارد که در مباحث بعدی به آن بیشتر خواهیم پرداخت.

تمرین کلاسی ۹ـ۳: تابع B را در تابع (A+C+D) ضرب منطقی کنید، حاصل را به‌دست آورید. مدار اصلی و مدار معادل آن را ترسیم کنید.

د) جمع منطقی یک عبارت با پرانتز: هرگاه یک عبارت منطقی با پرانتزی جمع منطقی (OR) شود با تک‌تک عبارت‌های داخل پرانتز جمع منطقی (OR) می‌شود. شکل ۱۱ـ۳ـالف حاصل جمع BC را با A نشان می‌دهد. در شکل ۱۱ـ۳ـب مدار معادل شکل ۱۱ـ۳ـالف را ملاحظه می‌کنید.



الف) مدار اصلی



ب) مدار معادل

شکل ۱۱ـ۳ـ حاصل جمع منطقی (OR) در پرانتز

از مدارهای شکل ۱۱ـ۳ نتیجهٔ زیر حاصل می‌شود.

$$A + BC = (A+B)\,(A+C)$$

تمرین کلاسی ۱۰ـ۳: تابع AB + (CD) را بااستفاده از قانون جمع منطقی عبارت با پرانتز جمع منطقی کنید، حاصل را به‌دست آورید. مدار اصلی و مدار معادل آن را ترسیم کنید.

جدول ۱ـ۳ قوانین جبر بول را نشان می‌دهد:

جدول ۱ـ۳ـ قوانین جبر بول

تأثیر عضو خنثی «صفر» در جمع منطقی	$A+0=A$
تأثیر «یک» منطقی در جمع منطقی	$A+1$
جمع منطقی یک تابع با خودش	$A+A=A$
جمع منطقی یک تابع با معکوس خودش	$A+\overline{A}=1$
تأثیر عضو خنثی «یک» در ضرب منطقی	$A\cdot1=A$
تأثیر «صفر» منطقی در عمل ضرب منطقی	$A\cdot0=0$
ضرب یک تابع در خودش	$A\cdot A=A$
ضرب یک تابع در معکوس خودش	$A\cdot\overline{A}=0$
ضرب یک تابع در پرانتز	$A\cdot(B+C)=AB+AC$
جمع یک تابع با پرانتز	$A+(BC)=(A+B)\cdot(A+C)$

جورج بول ۱۸۶۴ ۱۸۱۵

جورج بول از پدری کفاش و مادری خدمتکار در انگلستان بـه دنیـا آمـد. به منظـور حمایـت از خانـواده به‌دلیل مشکلات مالی، خیلـی زود تحصیلات ابتدایـی را به اتمام رساند. در سال‌هـای جوانی از طریـق معلمی امـرار معاش می‌کرد و در سال ۱۸۳۴ مدرسه‌ای را بنیان گذاشت. به تنهایی مطالعات ریاضیات پیشرفته را دنبال کرد و به واسطهٔ انتشار مقالاتی در این زمینه به شهرت جهانی دست یافت. اولین مدال طلای ریاضیات را از انجمن سلطنتی لندن در سال ۱۸۴۴ دریافت کرد و به‌عنوان اولین پرفسور ریاضیات در کالج کوئین منصوب شد . او هم‌چنین لقب پدرمنطق نمادین و بنیانگذار ریاضیات محض را از آن خود ساخت.

۲ـ۳ـ قوانین دمورگان (Demorgan)

۱ـ۲ـ۳ـ طبق قانون اول دمورگان اگر پرانتزی که عمل جمع منطقی (OR) در آن صورت می‌گیرد را NOT کنیم، عمل جمع منطقی (OR) به ضرب منطقی (AND) تبدیل می‌شود و علامت NOT روی تک‌تک عناصر عبارت قرار می‌گیرد.

$$\overline{(A+B)}=\overline{A}.\overline{B}$$

مثال ۱ـ۳: با استفاده از قانون اول دمورگان معادل عبارت $\overline{C+D+E}$ را بنویسید.

حل: $\overline{(C+D+E)}=\overline{C}.\overline{D}.\overline{E}$

تمرین کلاسی ۱۱ـ۳: معادل عبارت $\overline{A+B+C+D}$ را بنویسید.

۲ـ۲ـ۳ـ قانون دوم دمورگان نشان می‌دهد، اگر NOT روی یک عبارتی که عمل ضرب منطقی دارد، قرار بگیرد، ضرب منطقی به‌جمع منطقی تبدیل می شود و علامت NOT روی تک تک عناصر مربوط به آن عبارت قرار می‌گیرد.

$$\overline{A.B}=\overline{A}+\overline{B}$$

از قوانین دمورگان در ساده‌سازی عبارت‌های منطقی استفاده می‌شود.

مثال ۲ـ۳: با استفاده از قانون دوم دمورگان معادل عبارت $\overline{C.D.E}$ را بنویسید.

حل: $\overline{C.D.E}=\overline{C}+\overline{D}+\overline{E}$

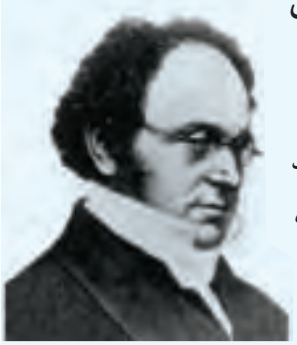
مثال ۳ـ۳: با استفاده از قوانین دمورگان معادل عبارت $\overline{(A+B)}(\overline{C.D})$ را بنویسید.

حل:

$$\overline{(A+B)}(\overline{C.D})=(\overline{A}.\overline{B})(\overline{C}+\overline{D})=\overline{A}\,\overline{B}\,\overline{C}+\overline{A}\,\overline{B}\,\overline{D}$$

تمرین کلاسی ۱۲ـ۳: با استفاده از قانون دوم دمورگان معادل عبارت $\overline{ABCD}$ را بنویسید.

آگوستوس دمورگان
(۱۸۰۶ـ۱۸۷۱)



دانشمندی انگلیسی‌الاصل، متولد هندوستان و نویسنده مقالهٔ مشهور «نظریهٔ احتمالات» در دائرةالمعارف متروپولیتن (۱۸۴۵) است. در این مقاله او به تحلیل تئوری تحلیلی و لاپلاس پرداخته است.

شهرت وی عمدتاً به دلیل قوانین دمورگان در احتمالات است.

مثال ۴ـ۳: می‌خواهیم یک مدار را مطابق شکل ۱۲ـ۳ با استفاده از دروازه‌های منطقی طوری طراحی کنیم که دارای مشخصات زیر باشد:

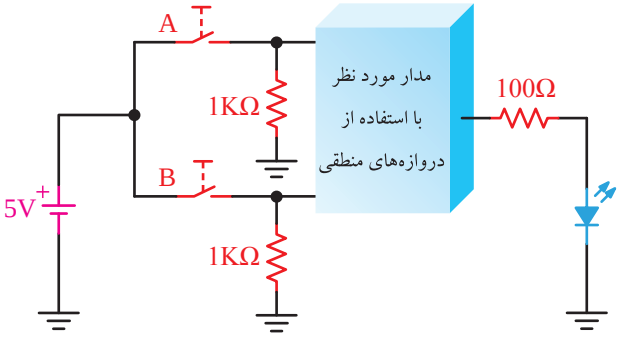
الف) دو کلید ورودی و یک مقاومت خروجی متصل به یک دیود نوردهنده (LED) داشته باشد.

ب) اگر هر دو کلید A و B باز باشند (A=۰ و B=۰) دیود نوردهنده (LED) روشن شود.

پ) اگر کلید A باز و کلید B بسته باشد(A=۰ و B=۱)، دیود نوردهنده (LED) روشن شود.

ت) اگر کلید A بسته و کلید Bباز باشد(A=۱ و B=۰) دیود نوردهنده (LED) خاموش باشد.

ث) اگر هر دو کلید A و B بسته باشند (A=۱ و B=۱) دیود نوردهنده (LED) روشن شود.



شکل ۱۲ـ۳ـ مدار الکتریکی مربوط به مثال ۴ـ۳

حل:

مرحلهٔ (۱) تنظیم جدول اولیه

به جای مطرح کردن بندهای الف تا ث می‌توانیم صورت مثال را به شکل جدول ۲ـ۳ بیان کنیم.

نکته: در ضمن، به یاد داشته باشید که اگر خروجی مدار در وضعیت یک منطقی قرار گیرد، دیود نوردهنده روشن و اگر در وضعیت صفر منطقی قرار گیرد، دیود خاموش می‌شود.

جدول ۲ـ۳ـ جدول مربوط به مثال ۴ـ۳

وضعیت دیود نور دهنده	وضعیت کلید B	وضعیت کلید A
روشن	باز	باز
روشن	بسته	باز
خاموش	باز	بسته
روشن	بسته	بسته

مرحلهٔ (۲) تنظیم جدول صحت

اگر روشن بودن دیود نوردهنده (LED) را یک منطقی وخاموش بودن آن را صفر در نظر بگیریم و همچنین باز بودن کلید را صفر منطقی و بسته بودن آن را یک منطقی منظور کنیم، جدول ۳ـ۳ به‌صورت زیر درمی‌آید.

جدول ۳ـ۳ـ جدول صحت مربوط به مثال ۴ـ۳

ورودی‌ها		خروجی
A	B	Y
۰	۰	۱
۰	۱	۱
۱	۰	۰
۱	۱	۱

مرحلهٔ (۳) تعیین عبارت‌های خروجی مربوط به هر ردیف جدول صحت

جدول صحت ۳ـ۳ را می‌توان به‌صورت یک عبارت جبری نوشت. هرجایی که در جدول خروجی یک است عبارت مربوط به وضعیت ورودی‌ها را می‌نویسیم. در ستون مربوط به ورودی‌ها، هرجا که ورودی صفر است معکوس ورودی را می‌نویسیم و هر جا که ورودی یک است خود ورودی را قرار می‌دهیم. جدول ۴ـ۳ جدول صحت عبارت‌های منطقی مثال ۴ـ۳ را نشان می‌دهد.

جدول ۴ـ۳ جدول صحت مثال ۴ـ۳

ورودی‌ها				خروجی	
A		B		Y	
$\overline{A}$	۰	$\overline{B}$	۰	۱	$\overline{A}\cdot\overline{B}=1$
$\overline{A}$	۰	B	۱	۱	$\overline{A}\cdot B=1$
A	۱	$\overline{B}$	۰	۰	
A	۱	B	۱	۱	$A\cdot B=1$

$$Y=\overline{A}\cdot\overline{B}+\overline{A}\cdot B+A\cdot B$$

مرحلهٔ (۴) به‌دست آوردن رابطهٔ خروجی از حاصل جمع عبارت‌های خروجی جدول که حاصل آن یک است، عبارت خروجی اصلی یا Y به‌دست می‌آید.

مرحلهٔ (۵) تشریح مراحل

$$Y=\overline{A}.\overline{B}+\overline{A}.B+A.B$$

مفهوم عبارت (۱) این است که زمانی Y= ۱ می‌شود که $\overline{A}\overline{B}=1$ یا $\overline{A}B=1$ یا AB = ۱ شود در غیر این صورت، Y= ۰ خواهد بود.

نکته: توجه کنید که هیچ‌گاه هر سه جمله به‌طور هم‌زمان نمی‌توانند برابر یک شوند، بلکه در هر لحظه به ازای یک عبارت ورودی فقط و فقط یک خروجی خواهیم داشت. چرا؟ توضیح دهید.

مجدداً به‌صورت مثال ۴ـ۳ و بندهای الف تا ث توجه کنید.

زمانی که A= ۰ و B=۰ (هردو کلید باز) است، دیود نور دهنده (LED) باید روشن شود (Y=۱). پس این مطلب را به‌صورت $\overline{A}.\overline{B}$ می‌نویسیم، بنابراین اگر A=۰ باشد، $\overline{A}$=۱ و اگر B=۰ باشد، $\overline{B}$ =۱ می‌شود. لذا $\overline{A}\overline{B}$=۱ است. اگر «یک» منطقی در «یک» منطقی ضرب شود حاصل مساوی یک می‌شود.

زمانی که A=۰ و B=۱ (کلید A باز و B بسته) است دیود نور دهنده (LED) باید روشن شود (Y=۱). پس باید این را به صورت $\overline{A}B$ نوشت ، یعنی اگر A=۰ باشد، $\overline{A}$=۱ می شود. بنابراین، ($\overline{A}B$=۱) است.

زمانی که A=۱ و B=۱ (هردو کلید بسته باشند) دیود نوردهنده (LED) باید روشن شود (Y=۱). پس باید مطلب را به‌صورت AB بنویسیم.

چون دیود نوردهنده (LED) باید در سه حالت روشن شود و در هر لحظه فقط یکی از حالت‌ها اتفاق می‌افتد. طبق جدول صحت، که دارای سه حالت روشن و یک حالت خاموش است، باید این سه حالت یعنی حالت‌هایی را که باید Y=۱ شود با یک‌دیگر OR کنیم، بدین ترتیب هنگامی که یکی از ورودی‌های OR یک شود، خروجی آن نیز یک می‌شود.

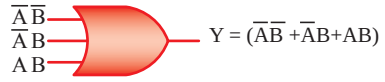
با حل این مثال توانستیم مثال ۴ـ۳ را به‌صورت یک رابطهٔ جبری بیان کنیم. **در این عبارت جبری، هر متغیر فقط دو مقدار** (صفر یا یک منطقی) را به خود اختصاص می‌دهد. ریاضیات حاکم بر این نوع روابط

همان **جبر بول** است.

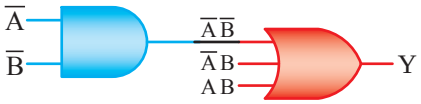
مرحلهٔ (۶) طراحی مدار با استفاده از گیت‌های منطقی طراحی مدار موردنظر را مطابق شکل ۱۳ـ۳ مرحله به مرحله بررسی می‌کنیم. چون تابع اصلی به صورت زیر است:

$$Y = \overline{A}\,\overline{B} + \overline{A}B + AB$$

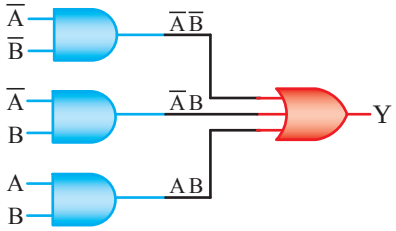
مدار اصلی، مشابه شکل ۱۳ـ۳ـ الف خواهد شد زیرا سه تابع $\overline{A}\,\overline{B}$ و $\overline{A}B$ و AB باید با هم جمع شوند.



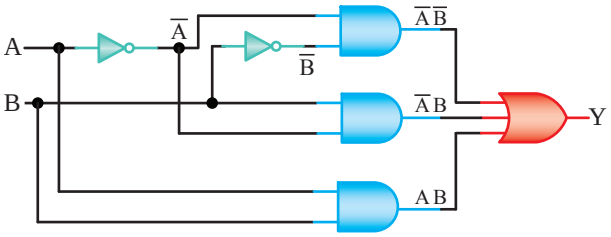
الف) اختصاص یک گیت **OR** به تابع اصلی



ب) اجرای تابع $\overline{A}\,\overline{B}$ با گیت **AND**



پ) اجرای سایر توابع توسط گیت‌های مربوط به آنها



ت) استفاده از گیت **NOT** برای نفی متغیرها

شکل ۱۳ـ۳ـ مراحل طراحی مدار مثال ۴ـ۳

در نهایت برای این‌که مدار را به‌صورت کامل درآوریم، باید در مسیر ورودی‌های مدار یک کلید قرار دهیم و توسط یک مقاومت مناسب مسیر کلید را به زمین اتصال دهیم.

در خروجی مدار با فرض شرایط مطلوب یک مقاومت ۱۰۰ اهم را با یک LED سری کرده‌ایم و آن را به زمین اتصال داده‌ایم.

شکل ۱۴ـ۳ مدار کامل را نشان می دهد.

مرحلهٔ (۶) ساده کردن تابع خروجی

طبق قوانینی که در جبر بول آموختیم، رابطهٔ خروجی مدار را مورد بررسی قرار می‌دهیم و ساده می‌کنیم.

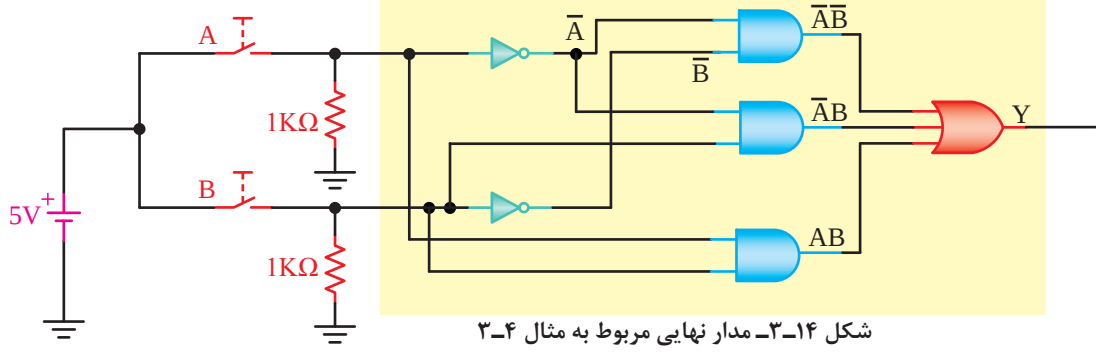
$$Y = \overline{A}\,\overline{B} + \overline{A}B + AB$$

با توجه به توزیع‌پذیری می‌توانیم از متغیر مشترک در جمله‌ها فاکتورگیری کنیم.

$$Y = \overline{A}(\overline{B} + B) + AB$$

از $\overline{A}$ جملهٔ اول و دوم فاکتورمی‌گیریم و در پرانتز به‌عبارت $\overline{B} + B$ می‌رسیم، طبق یکی از قوانین جبر بول حاصل $\overline{B} + B = 1$ می‌شود بنابر این تابع را ساده می‌کنیم.

$$Y = \overline{A}(1) + AB$$



شکل ۱۴ـ۳ـ مدار نهایی مربوط به مثال ۴ـ۳

تمرین کلاسی ۱۳ـ۳: $\overline{B}+B=1$ کدام قانون است آن را تعریف کنید.

قانون دیگر جبر بول می‌گوید که اگر عبارتی در «یک» منطقی ضرب (AND) شود حاصل خود عبارت خواهد شد. از این قانون نیز برای ساده سازی استفاده می‌کنیم.

$$Y=(\overline{A})(1)+AB$$

و چون $\overline{A}\times 1=\overline{A}$ است پس می‌توان نوشت:

$$Y=\overline{A}+AB$$

طبق قانون دیگری در جبر بول داریم که اگر تابعی با یک تابع حاصل‌ضرب جمع شود. تابع در هر یک از توابع مربوط به حاصل‌ضرب جمع می‌شود پس می‌توانیم بنویسیم:

$$Y=\overline{A}+AB=(\overline{A}+A).(\overline{A}+B)$$

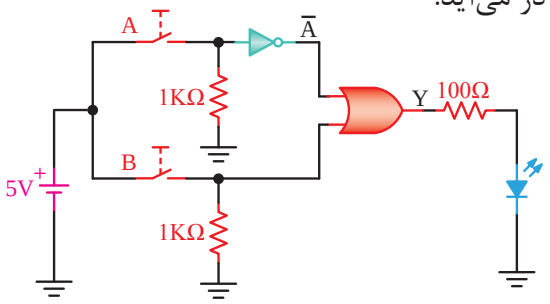
براساس قانون $\overline{A}+A=1$ پرانتز اول یک خواهد شد. لذا تابع به‌صورت زیر درمی‌آید:

$$Y=1.(\overline{A}+B)$$

طبق قانون حاصل ضرب با عضو خنثی (یک) در یک تابع داریم:

$$Y=\overline{A}+B$$

همان‌طور که ملاحظه می‌شود، حاصل به‌دست آمده برای رابطهٔ خروجی بسیار ساده است، حال اگر برای این رابطه مداری طراحی کنیم مدار به صورت شکل ۱۵ـ۳ در می‌آید.



شکل ۱۵ـ۳ـ مدار مربوط به ساده‌سازی مدار مثال ۴ـ۳

با مقایسه شکل‌های ۱۴ـ۳ و ۱۵ـ۳ به ویژگی‌های قوانین جبر بول پی‌می‌بریم. در شکل ۱۴ـ۳ باید از ۶ دروازهٔ منطقی برای طراحی مدار استفاده کنیم در صورتی که در مدار شکل ۱۵ـ۳ فقط دو دروازهٔ منطقی به‌کار رفته است.

به عبارت دیگر به جای ۶ گیت پیچیده فقط از دو گیت منطقی ساده استفاده کرده‌ایم که این امر باعث کاهش توان مصرفی مدار و صرفه‌جویی در تعداد گیت‌ها می‌شود.

مثال ۵ـ۳: عبارت‌های جبر بول جدول صحت ۵ـ۳ را بنویسید.

جدول ۵ـ۳ـجدول مربوط به مثال ۵ـ۳

A	B	Y
۰	۰	۱
۰	۱	۱
۱	۰	۰
۱	۱	۰

پاسخ: مرحلهٔ ۱ نوشتن توابع هر دوردیف جدول که خروجی آن یک است.

جدول ۶ـ۳ـ پاسخ مثال ۵ـ۳

A	B	Y	
0	0	1	$\overline{A}\cdot\overline{B}=1$
0	1	1	$\overline{A}\cdot B=1$
1	0	0	
1	1	0	

همان‌طور که از جدول صحت پیداست، خروجی Y زمانی در وضعیت یک منطقی قرار می‌گیرد که $\overline{A}\overline{B}=1$ یا $\overline{A}B=1$ شود.

مرحلهٔ ۲ نوشتن تابع خروجی

رابطهٔ Y (خروجی مدار) از حاصل جمع سطرهایی که خروجی آن «یک» است به دست می‌آید. پس می‌توان

رابطهٔ خروجی را به‌صورت زیر نوشت:

$$Y = \overline{A}B + A\overline{B}$$

تمرین کلاسی ۱۴ـ۳: براساس رابطهٔ خروجی مثال ۵ـ۳ مداری طراحی کنید: سپس رابطهٔ خروجی را ساده کنید و مدار دیگری بر اساس رابطهٔ ساده شدهٔ عبارت خروجی رسم کنید، این دو مدار را با هم مقایسه کنید.

مثال ۶ـ۳: دربارهٔ عبارت جبر بول زیر اظهارنظر کنید.

$$Y = A\overline{B} + AB$$

پاسخ: رابطهٔ فوق سیستمی را نشان می‌دهد که دارای دو متغیر ورودی (A و B) و یک متغیر خروجی (Y) است. متغیر خروجی زمانی در وضعیت یک منطقی قرار می‌گیرد که B=۰ و A=۱ باشد یا A=۱ و B=۱ شود. در غیر این صورت، خروجی آن در وضعیت صفر منطقی قرار می‌گیرد.

مثال ۷ـ۳: جدول صحت رابطهٔ $Y = A\overline{B} + \overline{A}B$ را رسم کنید.

پاسخ : چون این سیستم دارای دو متغیر است، پس چهار حالت مختلف وجود دارد و خروجی زمانی که B=۰ و A=۱ یا B=۱ و A=۰ است، در وضعیت یک منطقی قرار می‌گیرد.بنابراین می‌توانیم براساس حالات فوق جدول صحت ۷ـ۳ را بنویسیم.

جدول ۷ـ۳ جدول مربوط به مثال ۷ـ۳

A	B	Y	
0	0	0	
0	1	1	$\overline{A}\cdot B$
1	0	1	$A\cdot\overline{B}$
1	1	0	

در سایر حالت‌ها خروجی در وضعیت صفر منطقی قرار می‌گیرد.

تمرین کلاسی ۱۵ـ۳: رابطهٔ مثال ۷ـ۳ را با کدام دروازهٔ منطقی می‌توان طراحی کرد؟

نکته: به ستون‌های ورودی توجه کنید ردیف اول صفر باینری، ردیف دوم یک باینری، ردیف سوم دو باینری و ردیف چهارم سه باینری را نشان می‌دهد. از این الگو برای تمامی جدول‌ها استفاده کنید.

مثال ۸ـ۳: مداری را طرح کنید که جدول صحت ۸ـ۳ در مورد آن صدق کند.

جدول ۸ـ۳ـ جدول مربوط به مثال ۸ـ۳

A	B	C	Y
۰	۰	۰	۱
۰	۰	۱	۰
۰	۱	۰	۰
۰	۱	۱	۱
۱	۰	۰	۱
۱	۰	۱	۱
۱	۱	۰	۰
۱	۱	۱	۱

پاسخ: مرحلهٔ (۱) نوشتن روابط خروجی هریک از ردیف‌های جدول

جدول صحت ۸ـ۳ مربوط به یک سیستم مدار منطقی است. این سیستم سه متغیر ورودی (A، B و C) و یک متغیر خروجی (Y) دارد.

باتوجه به جدول خروجی این سیستم مدار منطقی

زمانی در وضعیت یک منطقی قرار می‌گیرد که A=۰ و B=۰ و C=۰ یا A=۰ و B=۱ و C=۱ یا A=۱ و B=۰ و C=۰ یا A=۱ و B=۰ و C=۱ یا A=۱ و B=۱ و C=۱ باشد. جدول صحت فوق را مجدداً رسم می‌کنیم و رابطهٔ مربوط به هر ردیف که خروجی آن یک است را می‌نویسیم.

جدول ۹ـ۳ـ جدول پاسخ مثال ۸ـ۳

A	B	C	Y	
0	0	0	1	$\bar{A}\cdot\bar{B}\cdot\bar{C}$
0	0	1	0	
0	1	0	0	
0	1	1	1	$\bar{A}\cdot B\cdot C$
1	0	0	1	$A\cdot\bar{B}\cdot\bar{C}$
1	0	1	1	$A\cdot\bar{B}\cdot C$
1	1	0	0	
1	1	1	1	$A\cdot B\cdot C$

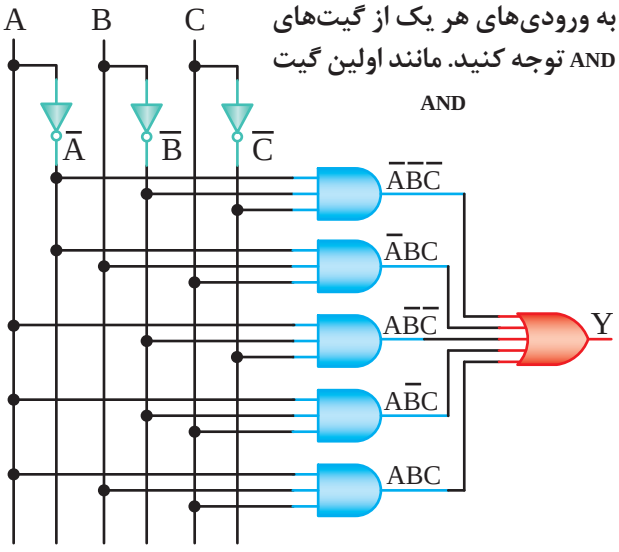
مرحلهٔ ۲ با توجه به رابطهٔ خروجی‌هایی که تعداد آن‌ها یک است تابع خروجی را به‌صورت حاصل جمع می‌نویسیم.

$$Y=\bar{A}\bar{B}\bar{C}+\bar{A}BC+A\bar{B}\bar{C}+A\bar{B}C+ABC$$

مرحلهٔ ۳ طراحی مدار

چون خروجی در پنج حالت یک شده است، پس رابطهٔ آن شامل پنج عبارت می‌شود. مداری که تابع بالا را اجرا می‌کند در شکل ۱۶ـ۳ دیده می‌شود.

به ورودی‌های هر یک از گیت‌های AND توجه کنید. مانند اولین گیت AND



شکل ۱۶ـ۳ـ مدار منطقی مربوط به مثال ۸ـ۳

برای ساده‌کردن رابطهٔ خروجی مثال ۸ـ۳ مراحل زیر را انجام می‌دهیم:

ابتدا هر یک از جمله‌ها را شماره‌گذاری می‌کنیم.

$$Y=\underset{1}{\bar{A}\bar{B}\bar{C}}+\underset{2}{\bar{A}BC}+\underset{3}{A\bar{B}\bar{C}}+\underset{4}{A\bar{B}C}+\underset{5}{ABC}$$

از جمله‌های ۱و۳ از $\bar{B}\bar{C}$ آن‌ها و از جمله‌های ۴ و ۵ از AC آن‌ها فاکتورگیری می‌کنیم، هم‌چنین می‌توان در جمله‌های ۲ و ۵ از BC آن‌ها فاکتور بگیریم.

$$Y=\underbrace{\bar{B}\bar{C}(\bar{A}+A)}_{۳و۱}+\underbrace{AC(\bar{B}+B)}_{۵و۴}+\underbrace{BC(\bar{A}+A)}_{۵و۲}$$

نکته: یک جمله می‌تواند چند بار در فاکتورگیری شرکت داشته باشد. زیرا هر تابع که با خودش جمع شود خود تابع خواهد بود، بنابراین تکرار توابع تأثیری در نتایج ندارد.

داخل تمام پرانتزها طبق جبربول برابر یک می‌شود و نتیجهٔ ضرب (AND) آنها در عبارت قبل از پرانتز مساوی با خود عبارت خواهد شد.

$$Y=\bar{B}\bar{C}+AC+BC$$

بار دیگر نیز می‌توانیم مدار را ساده‌تر کنیم در رابطهٔ جدید مجدداً هر یک از جمله‌ها را شماره‌گذاری می‌کنیم.

$$Y=\underset{1}{\bar{B}\bar{C}}+\underset{2}{AC}+\underset{3}{BC}$$

جمله‌های ۱و۳ با هم رابطهٔ دروازهٔ منطقی XNOR را دارد.

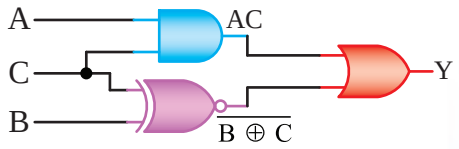
در نتیجه داریم:

$$Y=AC+\overline{(B\oplus C)}$$

یادآوری: رابطهٔ گیت XNOR برای ورودی B و C به‌صورت مقابل است:

$$Y=\overline{B\oplus C}=\bar{B}\bar{C}+BC$$

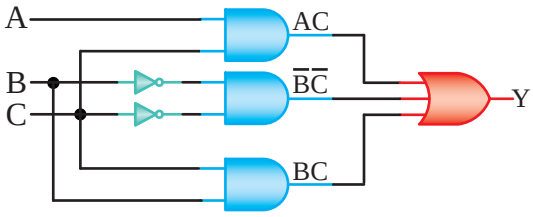
در شکل ۱۷ـ۳ مدار این رابطه را مشاهده می‌کنید.



شکل ۱۷ـ۳ـ مدار ساده شدهٔ مثال ۸ـ۳

با مقایسهٔ مدارها در شکل ۱۶ـ۳ و ۱۷ـ۳ در می‌یابیم که در مدار شکل ۱۶ـ۳ از ۹ دروازهٔ منطقی استفاده شده درصورتی که در مدار شکل ۱۷ـ۳ سه دروازهٔ منطقی به کار رفته است.

اگر مدار رابطهٔ $Y=\overline{B}\overline{C}+AC+BC$ را قبل از ساده شدن طراحی کنیم، مدار شکل ۱۸ـ۳ را خواهیم داشت، در این مدار به جای ۹ دروازهٔ منطقی از ۶ دروازهٔ منطقی استفاده شده است.



شکل ۱۸ـ۳ مدار مثال ۸ـ۳

تمرین کلاسی ۱۶ـ۳: آیا می‌توانید رابطهٔ خروجی مدار ۱۸ـ۳ را بنویسید؟

تمرین کلاسی ۱۷ـ۳: چگونه از رابطهٔ جدول اصلی به رابطهٔ شکل ۱۸ـ۳ رسیده‌ایم؟ با توجه به مراحل اجرای درس، شرح دهید.

۳ـ۳ـ ساده‌سازی توابع جبربول

۱ـ۳ـ۳ـاصول ساده‌سازی توابع جبربول: ساده‌سازی توابع جبر بول، براساس فاکتورگیری از متغیرهای مشترک توابع و حذف تدریجی متغیرهاست. در این قسمت برای درک بهتر مفاهیم توابع جبر بول با توجه به روابط و مدل ریاضی آن مورد بررسی قرار می‌دهیم.

به مثال ۹ـ۳ توجه کنید.

مثال ۹ـ۳: تابع $Y=A\overline{B}+\overline{A}\overline{B}$ را ساده کنید.

چون $\overline{B}$ در هر دو جمله ظاهر شده است، از $\overline{B}$ فاکتور می‌گیریم (طبق قانون توزیع‌پذیری بول)

$$Y=A\overline{B}+\overline{A}\overline{B}=\overline{B}(A+\overline{A})$$

از طرفی طبق قانون جمع یک عبارت با معکوس خودش:

$$A+\overline{A}=1$$

$$Y=\overline{B}.1$$

طبق قانون ضرب یک تابع در یک منطقی می‌توانیم بنویسیم:

$$Y=\overline{B}$$

مثال ۱۰ـ۳: تابع $Y=\overline{A}B+\overline{A}\overline{B}+AB$ را ساده کنید.

$$Y=A\overline{B}+\overline{A}B+AB=A\overline{B}+B(\overline{A}+A)=B+A\overline{B}$$

از طرفی براساس قانون جمع یک عبارت با معکوس خودش و ضرب یک تابع در یک منطقی

$$Y=(B+A)(B+\overline{B})=(B+A)(1)=A+B$$

مثال ۱۱ـ۳: تابع $Y=\overline{A}\overline{B}\overline{C}+\overline{A}\overline{B}C+A\overline{B}\overline{C}+ABC+A\overline{B}C$ را ساده کنید.

$$Y=\underbrace{\overline{A}\overline{B}\overline{C}}_{\text{جملهٔ اول}}+\underbrace{\overline{A}\overline{B}C}_{\text{جملهٔ دوم}}+\underbrace{A\overline{B}\overline{C}}_{\text{جملهٔ سوم}}+\underbrace{ABC}_{\text{جملهٔ چهارم}}+\underbrace{A\overline{B}C}_{\text{جملهٔ پنجم}}$$

تابع را شماره‌گذاری می‌کنیم.

از عوامل مشترک فاکتورگیری می‌کنیم.

$$Y=\underbrace{\overline{A}\overline{B}(\overline{C}+C)}_{\text{از جملهٔ اول و دوم}}+\underbrace{AB(\overline{C}+C)}_{\text{از جملهٔ سوم و چهارم}}+A\overline{B}C$$

عبارت‌های داخل پرانتز طبق قانون جمع یک عبارت با معکوس خودش یک می‌شود.

$$Y=\bar{A}\bar{B}+AB+A\bar{B}C$$

$$Y=\bar{A}\bar{B}+\underline{(AB+A\bar{B})(AB+C)}$$

طبق قانون جمع منطقی
یک عبارت با پرانتز

$$=\bar{A}\bar{B}+\Big[\ \overset{1}{\cancel{A(B+\bar{B})}}\ \Big](AB+C)$$

$$Y=\bar{A}\bar{B}+\underline{A(AB+C)}=\bar{A}\bar{B}+\underline{AAB}+AC$$

طبق قانون ضرب یک عبارت در خودش — طبق قانون توزیع‌پذیری AND در OR

$$=\bar{A}\bar{B}+AB+AC$$

مثال ۱۲ـ۳: تابع

$$Y=\bar{A}B\bar{C}+AB\bar{C}+\bar{A}\bar{B}\bar{C}+A\bar{B}C+\bar{A}\bar{B}C+A\bar{B}\bar{C}$$

را ساده کنید.

$$Y=\underset{1}{\bar{A}B\bar{C}}+\underset{2}{AB\bar{C}}+\underset{3}{\bar{A}\bar{B}\bar{C}}+\underset{4}{A\bar{B}C}+\underset{5}{\bar{A}\bar{B}C}+\underset{6}{A\bar{B}\bar{C}}$$

ابتدا تابع را شماره‌گذاری می‌کنیم.

از عوامل مشترک فاکتورگیری می‌کنیم.

$$Y=\underbrace{B\bar{C}(\bar{A}+A)}_{\text{از جمله‌های ۱و۲}}+\underbrace{\bar{A}\bar{B}(\bar{C}+C)}_{\text{از جمله‌های ۳ و ۵}}+\underbrace{A\bar{B}(C+\bar{C})}_{\text{از جمله‌های ۴ و ۶}}$$

مقادیر $A+\bar{A}$ و $C+\bar{C}$ را برابر یک درنظر می‌گیریم و رابطه را ساده می‌کنیم.

$$Y=B\bar{C}+\bar{A}\bar{B}+A\bar{B}$$

مجدداً تابع را شماره‌گذاری می‌کنیم.

$$Y=\underset{1}{B\bar{C}}+\underset{2}{\bar{A}\bar{B}}+\underset{3}{A\bar{B}}$$

از جملات ۲و۳ فاکتورگیری می‌کنیم.

$$Y=B\bar{C}+\underbrace{\bar{B}(\bar{A}+A)}_{\text{از جمله ۲ و ۳}}=B\bar{C}+\bar{B}$$

مطابق قانون توزیع‌پذیری AND در OR خواهیم داشت:

$$Y=(B+\bar{B})(\bar{B}+\bar{C})$$

مقدار $B+\bar{B}=1$ است پس می‌توانیم بنویسیم:

$$Y=\bar{B}+\bar{C}$$

با توجه به مثال‌های ۹ـ۳ تا ۱۲ـ۳ در می‌یابیم که ساده‌سازی توابع به صورت فاکتورگیری‌های متعدد و حذف متغیرها صورت می‌پذیرد.

البته در بسیاری از موارد ممکن است فقط قسمتی از تابع ساده شود یا تابع اصلاً ساده نشود.

مثال ۱۳ـ۳: تابع $Y=\bar{A}\bar{B}\bar{C}+A\bar{B}C+AB\bar{C}$ را ساده کنید.

$$Y=\underset{1}{\underline{\bar{A}\bar{B}\bar{C}}}+\underset{2}{\underline{A\bar{B}C}}+\underset{3}{\underline{AB\bar{C}}}$$

ابتـــدا جملات را شماره گذاری می‌کنیـم. از عوامل مشترک فاکتورگیـری می‌کنیم و عبارات مساوی یک را حذف می‌کنیم.

$$Y=\underbrace{\bar{B}C(\bar{A}+A)}_{\text{از جملهٔ ۱ و ۲}}+AB\bar{C}=\bar{B}C+AB\bar{C}$$

$$Y=\bar{B}C+AB\bar{C}$$

مثال ۱۴ـ۳: تابع $Y=\bar{A}B\bar{C}+AB\bar{C}+\bar{A}BC$ را ساده کنید.

این تابع ساده نمی‌شود؛ زیرا از هیچ کدام از جمله‌های آن نمی‌توانیم فاکتور بگیریم.

۲ـ۳ـ۳ـ فرم استاندارد توابع بول: یک تابع بول را درصورتی فرم استاندارد بول می‌گویند که در هر جملهٔ آن همهٔ متغیرها از جمله خود متغیر یا NOT آن ظاهر شده باشد.

برای مثال ، تابع

$$Y=\bar{A}BC+AB\bar{C}+\bar{A}B\bar{C}+ABC+\bar{A}B\bar{C}$$

یک تابع استاندارد بول است؛ زیرا در همهٔ جملات آن هر سه متغیر A, B وC به‌صورت متغییر اصلی یا NOT شده ظاهر شده‌اند.

تابع $Y=AB\bar{C}+\bar{A}\bar{B}\bar{C}+ABC+\bar{B}C$ یک تابع استاندارد بول نیست؛ زیرا در جملهٔ چهارم آن متغیر A یا NOT آن ظاهر نشده است. با استفاده از قوانین

جبر بول برای استاندارد کردن جملهٔ چهارم کافی است به صورت زیر عمل کنیم و هر یک از عباراتی را که در تابع وجود ندارد در یک ضرب کنیم و به جای یک تابع $(\overline{A}+A)$ یا $(\overline{B}+B)$ یا $(\overline{C}+C)$ را قرار دهیم.

$$\overline{B}\overline{C} = \overline{B}\overline{C}(A+\overline{A}) = A\overline{B}\overline{C} + \overline{A}\overline{B}\overline{C}$$

در این قسمت برای استاندارد کردن تابع، عکس ساده سازی عمل کرده‌ایم. لذا در تابع اصلی به‌جای $\overline{B}\overline{C}$، معادل منطقی آن یعنی $A\overline{B}\overline{C}+\overline{A}\overline{B}\overline{C}$ را قرار می‌دهیم.

$$Y = AB\overline{C} + \overline{A}\overline{B}\overline{C} + ABC + A\overline{B}C + \overline{A}\overline{B}C$$

به‌طورکلی برای استانداردسازی توابع بول نکات زیر را رعایت می‌کنیم.

نکته

۱ـ در تمام جملات باید همهٔ متغیرها یا NOT آنها وجود داشته باشد.

۲ـ در هر یک از جملات به ترتیب از متغیر با ارزش تا متغیر کم ارزش را قرار می‌دهیم.

مثال ۱۵ـ۳: تابع زیر را به‌صورت تابع استاندارد بول درآورید.

$$Y=A+BC$$

هریک از عباراتی را که در آن متغیر موردنظر وجود ندارد را در «یک» منطقی ضرب می‌کنیم سپس تابع را گسترش می‌دهیم.

$$Y = A.1 + BC.1 = A(B+\overline{B}) + BC(A+\overline{A})$$
$$Y = AB + A\overline{B} + ABC + \overline{A}BC$$

ضرب یک را ادامه می‌دهیم.

$$Y = AB.1 + A\overline{B}.1 + ABC + \overline{A}BC$$
$$Y = AB(C+\overline{C}) + A\overline{B}(C+\overline{C}) + ABC + \overline{A}BC$$
$$Y = \underset{۱}{ABC} + \underset{۲}{AB\overline{C}} + \underset{۳}{A\overline{B}C} + \underset{۴}{A\overline{B}\overline{C}} + \underset{۵}{ABC} + \underset{۶}{\overline{A}BC}$$

جمله‌های اول و پنجم یکی هستند. طبق قانون جبربول $(A+A=A)$ می‌توانیم به‌جای $ABC+ABC$ فقط ABC را بنویسیم.

$$Y = ABC + AB\overline{C} + A\overline{B}C + A\overline{B}\overline{C} + \overline{A}BC$$

نکته: برای ساده‌سازی توابع غیر استاندارد، ابتدا باید آنها را به فرم استاندارد در آورید و سپس ساده کنید.

مثال ۱۶ـ۳: تابع $\overline{A}\overline{B}+\overline{A}C+BC$ را ساده کنید.

ابتدا تابع را به فرم استاندارد درمی‌آوریم:

$$Y = \overline{A}\overline{B}(C+\overline{C}) + \overline{A}C(B+\overline{B}) + BC(A+\overline{A})$$
$$Y = \underset{۱}{\overline{A}\overline{B}C} + \underset{۲}{\overline{A}\overline{B}\overline{C}} + \underset{۳}{\overline{A}BC} + \underset{۴}{A\overline{B}C} + \underset{۵}{ABC} + \underset{۶}{\overline{A}BC}$$

جمله‌های سوم و ششم و جمله‌های اول و چهارم تکراری است. پس طبق قانون جبربول یکی از آنها را حذف می‌کنیم.

$$Y = \overline{A}\overline{B}C + \overline{A}\overline{B}\overline{C} + \overline{A}BC + ABC$$
$$Y = \overline{A}\overline{B}(C+\overline{C}) + BC(\overline{A}+A) = \overline{A}\overline{B} + BC$$

تمرین کلاسی ۱۸ـ۳: عبارت‌های زیر را با استفاده از فرم استاندارد ساده کنید.

الف) $F = AB + \overline{B}C$

ب) $F = A\overline{B} + AC + B\overline{C}$

۳ـ ۳ـ تعریف عبارت منطقی حاصل ضرب: متغیرها یا مکمل‌های آنها را که با عمل ضرب به هم مربوط می‌شوند، را یک جملهٔ حاصل ضرب می‌گوییم. نمونه‌هایی از جملهٔ حاصل ضرب به شرح زیر است:

$Y_۱ = ABC$ یا $Y_۲ = \overline{A}BC$ یا $Y_۳ = \overline{A}\overline{B}C\overline{D}$,.....

۴ـ۳ـ تعریف عبارت منطقی مجموع: متغیرها یا مکمل‌های آنها را که با عمل جمع به هم مربوط

می‌شوند را یک جملهٔ مجموع می‌گوییم. نمونه‌هایی از جملهٔ مجموع به شرح زیر است:

$Y=A+B+\overline{C}+D+.....$

$Y=\overline{A}+\overline{B}+C+.....$

از عبارت‌های منطقی حاصل‌ضرب و مجموع در مبحث مین‌ترم و ماکس‌ترم استفاده می‌کنیم که در ادامه به توضیح هریک از آنها می‌پردازیم.

۵ـ۳ـ۳ـتعریف عبارت مجموع حاصل ضرب‌ها (Sums of Products) یا مین‌ترم (minterm):

اگر در هر عبارت مجموع حاصل ضرب‌ها، به همان تعداد متغیری که در تابع وجود دارد، متغیرها یا مکمل‌های (NOT) آنها وجود داشته باشد، آن عبارت را مین‌ترم می‌گوییم. به‌طور مثال یکی از مین‌ترم‌های تابع Yبا سه ورودی متغیر A، B و C را می‌توان به شکل زیر نوشت:

$$Y=\overline{A}\overline{B}C+\overline{A}B\overline{C}+A\overline{B}\overline{C}+ABC$$

همان‌طورکه ملاحظه می‌کنید در هریک از جملات تابع Y، هر سه ورودیA،B و C یا معکوس آنها وجود دارد.

جدول ۱۰ـ۳ـ جدول صحت تابع خروجیY با سه ورودی است.

در این جدول با توجه به تعداد ورودی‌ها هشت حالت داریم. هریک از سطرهای جدول را شماره‌گذاری می‌کنیم تا بتوانیم عبارت مین‌ترم را با توجه به آدرس سطرها نیز بنویسیم.

جدول ۱۰ـ۳ جدول صحت تابع Y با سه ورودی

شمارهٔ سطر جدول	ورودی‌ها A	B	C	خروجی Y	
0	0	0	0	0	
1	0	0	1	1	$\overline{A}\cdot\overline{B}\cdot C$
2	0	1	0	1	$\overline{A}\cdot B\cdot\overline{C}$
3	0	1	1	0	
4	1	0	0	1	$A\cdot\overline{B}\cdot\overline{C}$
5	1	0	1	0	
6	1	1	0	0	
7	1	1	1	1	$A\cdot B\cdot C$

خروجی تابع در سطرهای ۱،۲،۴و۷ یک است. رابطهٔ خروجی را بنا به شمارهٔ سطرها چنین می‌نویسیم:

$Y=\Sigma_m(m_1, m_2, m_4, m_7)$

یا به این صورت نشان داد. $Y=\Sigma_m(1,2,4,7)$

معنای این رابطه، یعنی خروجی تابعی از حاصل جمع سطرهای ۱، ۲، ۴و ۷ است. علامت Σ (سیگما) به معنای حاصل جمع است.

مثال ۱۷ـ۳: تابع خروجی $Y=\Sigma_m(1,3,5,6)$ را بنویسید.

حل: تابع خروجی در سطرهای ۱،۳،۵و۶ یک است.

$$Y=\overline{A}\overline{B}C+\overline{A}BC+A\overline{B}C+AB\overline{C}$$

سطر۱ سطر۳ سطر۵ سطر۶

تمرین کلاسی ۱۹ـ۳: جدول صحت رابطهٔ $Y=\overline{A}\overline{B}C+A\overline{B}\overline{C}+ABC$ را رسم کنید و خروجی را به‌صورت ساده شده بنویسید.

تمرین کلاسی ۲۰ـ۳:

جدول صحت $Y=\Sigma_m(0,1,3,4)$ را رسم کنید و رابطهٔ خروجی را بنویسید.

۶ـ۳ـ۳ـ عبارت حاصل‌ضرب حاصل‌جمع‌ها (Products of sums) یا ماکس‌ترم (maxterm):

اگر در هر عبارت حاصل‌ضرب مجموع‌ها به همان تعداد متغیری که در تابع وجود دارد، متغیرها یا مکمل‌های (NOT) آنها وجود داشته باشد، آن را ماکس‌ترم می‌گوییم. مثلاً عبارت Y یک عبارت ماکس‌ترم است که در آن:

$$Y=(\overline{A}+B+\overline{C})(A+\overline{B}+\overline{C})(A+\overline{B}+C)$$

معمولاً یک عبارت ماکس‌ترم را می‌توان به صورت زیر هم نشان داد.

$$Y = \Pi_M (M_2 , M_3 , M_5)$$

یا

می‌خوانیم پی اِم...

$$Y = \Pi_M (2,3,5)$$

معنای این رابطه، یعنی خروجی، تابعی از حاصل‌ضرب حاصل جمع متغیرهای سطرهای ۲،۳و۵ جدول صحت سه متغیره است.

علامت Π_M معرف حاصل ضرب ماکس‌ترم‌ها است و سطرهای داخل پرانتز جایی است که خروجی تابع، جواب صفر دارد.

برای ایجاد حاصل جمع هرسطر معین جدول، قاعده‌ای کاملاً معکوس روش مین‌ترم استفاده می‌شود.

به این ترتیب که برای محاسبهٔ حاصل جمع هرسطر مشخص جدول، کلیهٔ متغیرهای ورودی در آن سطر به صورت حاصل جمع در جمله ظاهر می‌شوند.

اگر مقدار متغیر در آن سطر «۰» باشد، به صورت خود متغیر و اگر مقدار متغیر در آن سطر «۱» باشد، به صورت متمم متغیر ظاهر می‌شود.

به عنوان مثال جدول صحت مربوط به رابطهٔ ماکس‌ترم Y را در جدول ۱۱ـ۳ مشاهده می‌کنید.

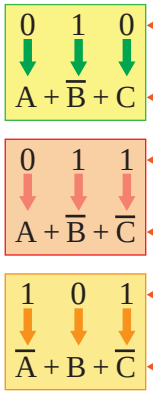
$$Y = \Pi_M (2,3,5)$$

جدول ۱۱ـ۳ـ جدول صحت خروجی ماکس‌ترم Y

شمارهٔ سطر جدول	ورودی‌ها A	B	C	خروجی Y	
0	0	0	0	1	
1	0	0	1	1	
2	0	1	0	0	$A+\overline{B}+C$
3	0	1	1	0	$A+\overline{B}+\overline{C}$
4	1	0	0	1	
5	1	0	1	0	$\overline{A}+B+\overline{C}$
6	1	1	0	1	
7	1	1	1	1	

$$Y = \underbrace{(A+\overline{B}+C)}_{2}\underbrace{(A+\overline{B}+\overline{C})}_{3}\underbrace{(\overline{A}+B+\overline{C})}_{5}$$

همان‌طور که در رابطهٔ خروجی مشاهده می‌کنید حاصل جمع تابع Y مجموع سطرهایی است که خروجی جواب صفر دارد.



و تابع مدار به‌صورت حاصل ضرب عبارت‌های حاصل جمع نوشته می‌شود و به‌صورت زیر در می‌آید.

$$Y = (A+\overline{B}+C)(A+\overline{B}+\overline{C})(\overline{A}+B+\overline{C})$$

مثال ۱۸ـ۳: رابطهٔ خروجی $F=\Pi_M (M_0,M_1,M_3)$ را بنویسید.

حل: تابع خروجی را برای سطرهای ۰ و ۱ و ۳ به صورت ماکس‌ترم می‌نویسیم. خروجی در این سطرها صفر است.

$$F = \Pi_M (M_0, M_1, M_3) = (A+B+C)(A+B+\overline{C})(A+\overline{B}+\overline{C})$$

مجموعهٔ عبارت حاصل ضرب‌ها و عبارت حاصل جمع‌های هر سطر برای یک جدول با سه ورودی در جدول ۱۲ـ۳ نشان داده شده است.

جدول ۱۲ـ۳ـ جدول حالات ورودی عبارت حاصل‌ضرب و حاصل‌جمع هر سطر

شمارهٔ سطر جدول	ورودی‌ها A	B	C	عبارت حاصل‌ضرب	عبارت حاصل‌جمع
0	0	0	0	$\overline{A}\cdot\overline{B}\cdot\overline{C}$	$A+B+C$
1	0	0	1	$\overline{A}\cdot\overline{B}\cdot C$	$A+B+\overline{C}$
2	0	1	0	$\overline{A}\cdot B\cdot\overline{C}$	$A+\overline{B}+C$
3	0	1	1	$\overline{A}\cdot B\cdot C$	$A+\overline{B}+\overline{C}$
4	1	0	0	$A\cdot\overline{B}\cdot\overline{C}$	$\overline{A}+B+C$
5	1	0	1	$A\cdot\overline{B}\cdot C$	$\overline{A}+B+\overline{C}$
6	1	1	0	$A\cdot B\cdot\overline{C}$	$\overline{A}+\overline{B}+C$
7	1	1	1	$A\cdot B\cdot C$	$\overline{A}+\overline{B}+\overline{C}$

با توجه به قواعدی که در بالا ذکر شده است به راحتی می‌توان برای هر جدولی از مدارهای منطقی یک تابع منطقی نوشت اگر تابع منطقی بر اساس مقادیر«۱» برای خروجی نوشته شود باید به صورت عبارت حاصل جمع حاصل ضرب‌ها نوشته شود، و اگر جمله‌ها بر اساس مقادیر «۰» خروجی نوشته شود ، باید به صورت عبارت حاصل ضرب حاصل جمع‌ها باشد.

تمرین کلاسی ۲۱ـ۳: جدول صحت $Y = \Pi_M (1,3,6)$ را رسم کنید و رابطهٔ خروجی را بنویسید.

نکته:

۱ـ در نوشتن مین‌ترم هر جدول باید جواب یک خروجی بررسی شود و به جای خود متغیر، یک و به جای متمم آن صفر قرار دهیم.

در نوشتن ماکس‌ترم باید جواب صفر خروجی بررسی شود و به جای خود متغیرصفر و به جای متمم آن یک قرار دهیم.

۲ـ هرچه در مین‌ترم باشد در ماکس‌ترم آن نیست و بالعکس.

تمرین کلاسی ۲۲ـ۳: جدول صحت خروجی Y را در جدول ۱۳ـ۳ مشاهده می‌کنید. مین‌ترم و ماکس‌ترم خروجی را بنویسید.

جدول ۱۳ـ۳ـ جدول صحت تمرین کلاسی ۲۲ـ۳

ورودی‌ها			خروجی
A	B	C	Y
۰	۰	۰	۰
۰	۰	۱	۱
۰	۱	۰	۰
۰	۱	۱	۰
۱	۰	۰	۱
۱	۰	۱	۱
۱	۱	۰	۰
۱	۱	۱	۱

جهت هنرجویان علاقه‌مند : رابطهٔ خروجی تابع به‌صورت $Y = A\bar{B}C + AB\bar{C} + ABC$ است . رابطهٔ ماکس‌ترم این خروجی را بنویسید.

۴ـ۳ـ ساده‌سازی توابع با استفاده از نقشهٔ کارنو

همان‌طور که قبلاً گفته شد، اساس ساده‌سازی توابع بول برمبنای فاکتورگیری و حذف متغیرهاست. اگر در دو جملهٔ یک تابع استاندارد بول فقط یک متغیر تغییر کند، آن متغیر را می‌توان حذف نمود: مثلاً در دو جملهٔ $ABC + AB\bar{C}$، فقط متغیر C تغییر کرده است. پس این متغیر را می‌توان حذف کرد؛ زیرا داریم:

$$Y = ABC + AB\bar{C} = AB(C + \bar{C}) = AB.1 = AB$$

اساس کار نقشهٔ کارنو نیز بر مبنای فاکتورگیری و حذف متغیرها برای ساده‌تر شدن مدار منطقی است. در حقیقت، در نقشهٔ کارنو جملاتی را که باید از آنها فاکتور

گرفت، به سرعت مشخص می‌شوند و عمل فاکتورگیری تقریباً به صورت گرافیکی انجام می‌پذیرد.

مثال ۱۹ـ۳: تابع زیر را ساده کنید.

$$F=\overline{A}\,\overline{B}+\overline{A}B+AB$$

ابتدا جدول صحت تابع فوق را مانند جدول ۱۴ـ۳ رسم می‌کنیم.

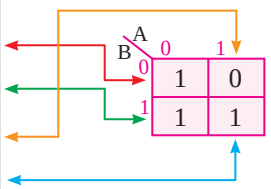
جدول ۱۴ـ۳ـ جدول صحت مثال ۱۹ـ۳

A	B	F	
0	0	1	$\overline{A}\cdot\overline{B}$
0	1	1	$\overline{A}\cdot B$
1	0	0	
1	1	1	$A\cdot B$

این جدول صحت چهار حالت دارد (2^2). در هر ردیف جدول، حالت‌های ورودی و خروجی به ازای آن ورودی‌ها نشان داده شده است. این جدول را می‌توان به فرم دیگری نیز نشان داد؛ به طوری که مفهوم همین جدول صحت را دربرداشته باشد. جدول ۱۵ـ۳ فرم تغییر یافتهٔ جدول صحت است که در این جا به دلیل داشتن دو متغیر به صورت 2^2 یعنی ۴ خانه‌ای (سلول) رسم شده است.

جدول ۱۵ـ۳ـ فرم تغییر یافتهٔ جدول صحت مربوط به مثال ۱۹ـ۳

A	B	F
0	0	1
0	1	1
1	0	0
1	1	1



این جدول جدید به‌جدول کارنو یا نقشهٔ کارنو[1] (Karnaugh map) مشهور است. کارنو براساس ریاضیات تدوین شده توسط بول، دانشمند انگلیسی، جدول یا نقشهٔ کارنو را طراحی کرد.

نقشهٔ کارنو دارای ویژگی‌هایی به شرح زیر است:

الف) هر خانهٔ آن مربوط به یک حالت ورودی یا به عبارت دیگر یک جمله از تابع استاندارد بول است.

ب) در دو خانهٔ مجاور در جهت افقی یا عمودی همواره دو جمله‌ای قرار می‌گیرند که فقط در یک متغیر با هم اختلاف دارند.

همان‌طور که در قسمت اول این مبحث (۴ـ۳) دیدیم اگر در دو جملهٔ یک تابع استاندارد بول فقط یک متغیر تغییر کند، آن متغیر حذف می‌شود.

مثلاً در ستون اول جدول کارنو از سمت چپ عبارت $\overline{A}\,\overline{B}+\overline{A}B$ را داریم. چون $\overline{A}$ بین دو عبارت مشترک است، متغیرهای B و $\overline{B}$ حذف می‌شوند و جواب $\overline{A}$ خواهد شد.

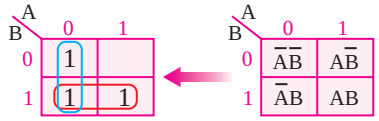
$$\overline{A}\,\overline{B}+\overline{A}B=\overline{A}(\overline{B}+B)=\overline{A}.1=\overline{A}$$

در نقشهٔ کارنو چون از هر خانه به خانهٔ مجاور فقط یک متغیر تغییر می‌کند، فوراً می‌توان تشخیص داد که از کدام جملات (که به ازای یک شدن آنها تابع یک می‌شود) باید فاکتور گرفت.

نقشهٔ کارنو مثال ۱۹ـ۳ را در این جا دوباره رسم می‌کنیم.

قسمت یک‌ها را طبق جدول ۱۶ـ۳ انتخاب می‌کنیم و دور آنها حلقه رسم می‌کنیم.

جدول ۱۶ـ۳ـ نقشهٔ کارنو مثال ۱۹ـ۳



$$\overline{A}B+AB=B(\overline{A}+A)=B$$

این دو جمله که به‌ازای آنها تابع یک می‌شود، در دو خانهٔ مجاور قرار گرفته‌اند؛ بنابراین، آنها فقط در یک متغیر اختلاف دارند.

$$\overline{A}\,\overline{B}=\overline{A}B=\overline{A}\left[\overline{B}+B\right]=\overline{A}$$

ستون اول سمت چپ جدول ۱۶ـ۳ را مجدداً مطالعه

۱ـ درکتاب مدارهای منطقی تالیف موریس مانو و کتاب توخیم همه جا از نقشهٔ کارنو استفاده شده است.

می‌کنیم. همان‌طور که مشاهده شد در این ستون به دلیل غیرمشترک بودن $\overline{B}$ و B جواب $\overline{A}$ است.

یعنی با یک نگاه می‌فهمیم که پاسخ آن ستون چیست. در مورد ردیف پایین نیز با یک نگاه در می‌یابیم که $\overline{A}$ و A غیر مشترک است پس پاسخ این ردیف نیز B خواهد بود.

مقدار تابع خروجی از مجموع حاصل ردیف پایین و ستون سمت چپ به‌دست می‌آید.

$$F = \overline{A} + B$$

می‌توانیم مسئله را به شکل دیگری بیان کنیم و آن این‌که بگوییم هنگامی که از یک خانه به خانهٔ مجاور (در حلقهٔ محصور شدهٔ یک‌ها) می‌رویم، متغیری که تغییر می‌کند، حذف می‌شود و سایر متغیرها به جای خود باقی می‌مانند در ستون سمت چپ متغیر $\overline{A}$ در هر دو خانه ثابت مانده است.

به‌عبارت دیگر، وقتی از خانهٔ $\overline{A}B$ به خانهٔ AB می‌رویم، مقدار A تغییر می‌کند و به همین دلیل حذف می‌شود. پس جواب نهایی مسئله در آن ستون به صورت B است.

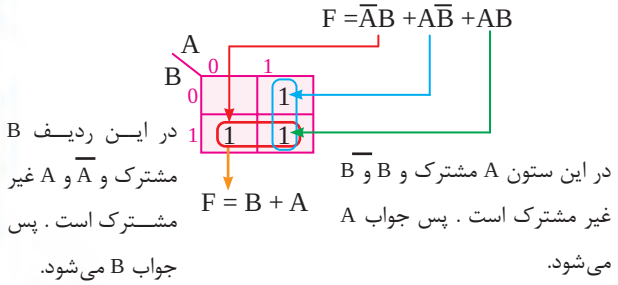
اگر خوب توجه کنید، می‌بینید که هنگام ساده‌سازی، جملهٔ $\overline{A}B$ دو بار نوشته شده است یا در نقشهٔ کارنو دور آن دو بار خط کشیده‌شده است؛ یعنی، تابع $F = \overline{A}\overline{B} + \overline{A}B + AB$ به‌صورت $F = \overline{A}\overline{B} + \overline{A}B + AB + \overline{A}B$ نوشته شده است. طبق قانون جبر بول (A+A=A) این کار اشکال منطقی ندارد و تغییری در جواب مسئله ایجاد نمی‌کند.

یعنی، این بار به‌جای $\overline{A}B$ نوشته‌ایم: $\overline{A}B + \overline{A}B$؛ زیرا اگر $\overline{A}B = 0$ باشد، ۰=۰+۰ و اگر $\overline{A}B = 1$ باشد ۱ = ۱ OR ۰ است. پس حاصل $\overline{A}B + \overline{A}B$ با خود $\overline{A}B$ یکی است.

مثال ۲۰ـ۳: تابع $F = \overline{A}B + A\overline{B} + AB$ را با استفاده از نقشهٔ کارنو ساده کنید.

چون این تابع فقط دو متغیر دارد، پس جدول کارنو دارای چهار (۴=$۲^{۲}$=$۲^{\text{(تعداد متغیرها)}}$)خانه است. جدول ۱۷ـ۳ نقشهٔ کارنوی این مثال را نشان می‌دهد.

جدول ۱۷ـ۳ـ نقشهٔ کارنوی مثال ۲۰ـ۳



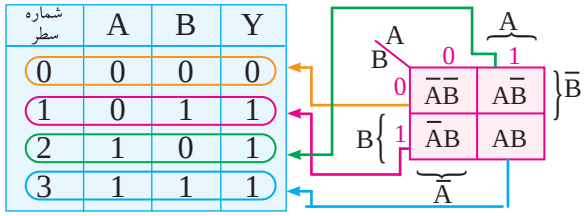
تابع خروجی از مجموع پاسخ های ردیف یک‌ها و ستون یک‌ها به دست می آید.

مشخصات جدول کارنو را به صورت‌های دیگری نیز نشان می‌دهند.

جدول ۱۸ـ۳ شمارهٔ هر خانه را با توجه به ردیف جدول صحت نشان می‌دهد.

جدول۱۸ـ۳ـ جدول صحت دو متغیره و نقشهٔ کارنوی آن

شماره سطر	A	B	Y
0	0	0	0
1	0	1	1
2	1	0	1
3	1	1	1

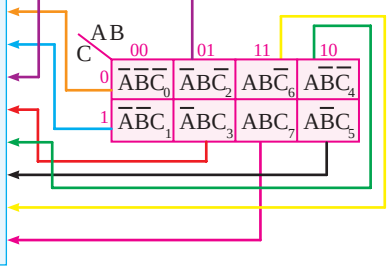


نقشهٔ کارنو برای توابع سه متغیر باید دارای ۸(۸=$۲^{۳}$) خانه باشد. به عبارت دیگر، سه متغیر می‌توانند هشت حالت مختلف را ایجاد کنند.

جدول ۱۹ـ۳ جدول صحت یک تابع سه متغیره همراه با جدول کارنوی مربوط به آن با ذکر شمارهٔ سطر در جدول صحت و شمارهٔ خانهٔ نظیر آن در جدول کارنو را نشان می‌دهد.

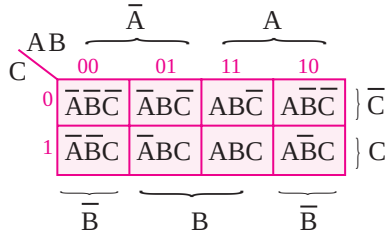
جدول ۱۹ـ۳ـ جدول صحت و نقشهٔ کارنو یک تابع سه متغیره

شماره سطر	A	B	C	F
0	0	0	0	
1	0	0	1	
2	0	1	0	
3	0	1	1	
4	1	0	0	
5	1	0	1	
6	1	1	0	
7	1	1	1	



در بعضی از مراجع جدول کارنو را به‌صورت جدول ۲۰ـ۳ نشان می‌دهند. هر آکولاد مشخص‌کنندهٔ محدوده‌ای است که متغیر مورد نظر در آن خانه‌ها وجود دارد.

جدول ۲۰ـ۳ـ جدول کارنوی هشت خانه‌ای

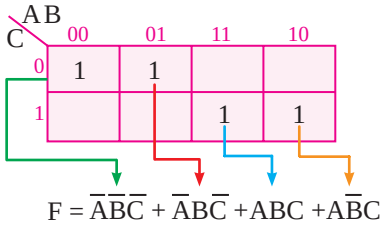


اگر به نقشهٔ کارنو خوب دقت کنید، می‌بینید که از هر خانه به خانهٔ مجاور در جهت افقی یا عمودی فقط یک متغیر جملات تغییر می‌کند.

مثال ۲۱ـ۳: تابع $F=\bar{A}\bar{B}\bar{C}+ABC+\bar{A}B\bar{C}+A\bar{B}C$ را به کمک نقشهٔ کارنو ساده کنید.

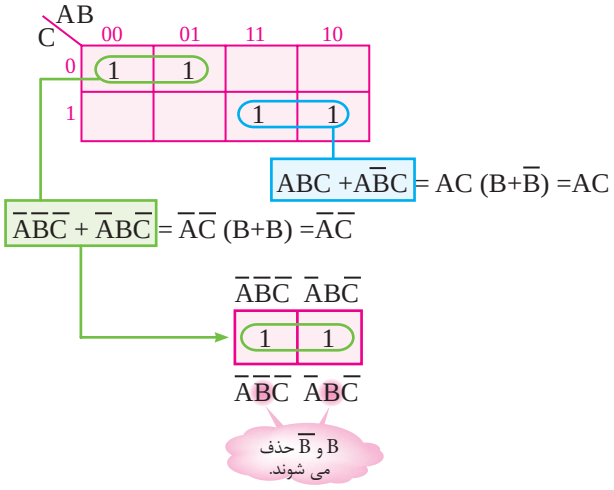
تابع F زمانی یک است که یکی از چهار جملهٔ داده شده یک باشد. توجه داشته باشید که هیچ گاه امکان ندارد دو جمله به‌طور هم زمان یک شوند. در نقشهٔ کارنو با توجه به جدول ۲۰ـ۳ در خانه‌ای که یک بودن جملهٔ آن باعث می‌شود F=۱ شود در جدول ۲۱ـ۳ عدد یک را قرار می‌دهیم و تابع خروجی را مشخص می‌کنیم.

جدول ۲۱ـ۳ـ نقشهٔ کارنوی مثال ۲۱ـ۳



همان‌طور که قبلاً نیز گفته شد، اساس ساده‌سازی توابع جبر بول، فاکتورگیری و حذف متغیرهاست. نقشهٔ کارنو شیوه‌ای جدید برای ساده‌سازی ارائه نمی‌دهد بلکه جملاتی را که باید از آنها فاکتور گرفت، به نحوی مرتب (Sort) می‌کند. لذا دور جملاتی را که باید فاکتور بگیریم، خط می‌کشیم و عمل فاکتورگیری را معمولاً به صورت تصویری و در ذهن خود انجام می‌دهیم. بدین‌ترتیب، هنگامی‌که از یک خانه به خانهٔ مجاور می‌رویم، متغیری را که تغییر می‌کند حذف می‌کنیم و متغیرهایی را که در حلقهٔ محصور شده بدون تغییر می‌مانند، به صورت AND می‌نویسیم. مثلاً در جدول ۲۲ـ۳ در حلقهٔ (۱) وقتی از یک خانه به خانهٔ مجاور می‌رویم، B تغییر می‌کند ولذا حذف می‌شود. در این دو خانه $\bar{A}$ و $\bar{C}$ تغییر نکرده‌اند، بنابراین، دو متغیر یاد شده را به‌صورت $(\bar{A}\bar{C})$AND نمایش می‌دهیم.

جدول ۲۲ـ۳ـ ساده‌سازی توابع سه متغیرهٔ مثال ۲۱ـ۳



در حلقهٔ دوم، وقتی از یک خانه به خانهٔ مجاور می‌رویم، فقط متغیر B تغییر می‌کند و بنابراین حذف می‌شود. متغیرهای A و C در این دو خانه تغییر نمی‌کنند؛ بنابراین، آنها را به صورت AC نشان می‌دهیم.

جدول ۲۳ـ۳ حلقهٔ دوم جدول کارنو مثال ۲۱ـ۳ را نشان می‌دهد.

جدول ۲۳ـ۳ـ حلقهٔ دوم نقشهٔ کارنو مثال ۲۱ـ۳

بدین‌ترتیب، تابع ساده شده به‌صورت زیر در می‌آید.

$$F = \overline{A}\,\overline{C} + AC = \overline{A \oplus C}$$

مشترکات حلقهٔ (۱) — مشترکات حلقهٔ (۲)

تمرین کلاسی ۳ـ۲۳: تابع

$F = \overline{A}\,\overline{B}\,\overline{C} + \overline{A}B\overline{C} + \overline{A}BC + \overline{A}B\overline{C}$

را به کمک جدول کارنو ساده کنید.

تمرین کلاسی ۳ـ۲۴: تابع مین‌ترم F را به کمک جدول کارنو ساده کنید.

$F = \Sigma_m (m_1, m_2, m_5, m_6, m_7)$

تمرین کلاسی ۳ـ۲۵: عبارت خروجی تابع F جدول کارنو ۳ـ۲۴ را بنویسید و در صورت ساده شدن آن را به‌ساده‌ترین شکل بنویسید.

جدول ۳ـ۲۴ـ جدول کارنوی تمرین کلاسی ۳ـ۲۵

C \ AB	00	01	11	10
0	1	0	0	1
1	1	0	1	1

توجه داشته باشید که با توجه به تعداد متغیرها فقط دور دو عدد (۱) یا چهار عدد (۱) یا هشت عدد (۱) می‌توان خط کشید و آنها را ساده کرد؛ زیرا فاکتورگیری فقط از دو یا چهار یا هشت جمله امکان‌پذیر است و تنها در این شرایط است که متغیرها حذف می‌شوند. به‌عبارت دیگر تعداد اعداد یک که در جدول کارنو دسته‌بندی می‌شوند باید توانی از ۲ باشند.

برای مثال، اگر سه جملهٔ $\overline{A}BC + ABC + A\overline{B}C$ را داشته باشیم، هریک از این جملات نسبت به جملهٔ قبلی فقط در یک متغیر اختلاف دارد، اگر بخواهیم فاکتورگیری را انجام دهیم، به صورت زیر عمل می‌کنیم.

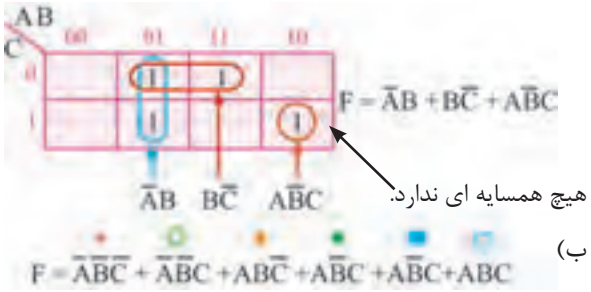
$$F = \overline{A}BC + ABC + A\overline{B}C = BC(\overline{A} + A) + A\overline{B}C \Rightarrow$$

$$F = BC + A\overline{B}C$$

از دو جملهٔ $BC + A\overline{B}C$ دیگر نمی‌توان فاکتورگیری کرد. پس هیچ گاه دور سه یا ۵ عدد یک خط نکشید. فقط دور دو عدد یک که در مجاورت یکدیگر باشند (جمله‌های آن‌ها فقط در یک متغیر اختلاف داشته باشد.) یا چهار عدد یک که همه در مجاورت یکدیگر قرار گرفته باشند، می‌توان خط کشید. در جدول‌های ۳ـ۲۵ تا ۳ـ۲۸ نمونه‌هایی از این نوع نشان داده شده است.

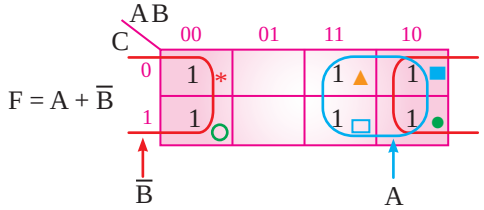
الف) $f = \overline{A}B\overline{C} + AB\overline{C} + \overline{A}BC + A\overline{B}C$

جدول ۳ـ۲۵ـ ساده‌سازی توابع سه متغیره



ب)

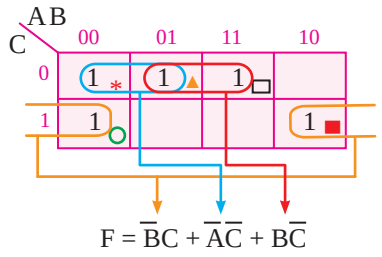
جدول ۳ـ۲۶ـ ساده‌سازی توابع سه متغیره



توجه: دوخانه سمت راست و دوخانهٔ سمت چپ مجاورند؛ زیرا جمله‌های مندرج در این خانه‌ها فقط در دو متغیر اختلاف دارند و متغیر $\bar{B}$ در هر چهار خانه مشترک است.

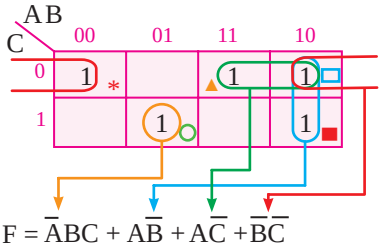
پ) $F = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + \bar{A}B\bar{C} + AB\bar{C} + A\bar{B}C$

جدول ۲۷ـ۳ـ ساده‌سازی توابع سه متغیره



ت) $F = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + A\bar{B}C$

جدول ۲۸ـ۳ـ ساده‌سازی توابع سه‌متغیره



۱ـ۴ـ۳ـ ساده‌سازی توابع چهار متغیره به کمک نقشهٔ کارنو

برای ساده‌سازی توابع چهار متغیره با نقشهٔ کارنو، به یک جدول ۱۶ خانه‌ای ($۲^۴=۱۶$) نیاز داریم. این جدول در جدول ۲۹ـ۳ رسم شده است. در این جدول مشخصات متغیرها در هر خانهٔ جدول نشان داده شده است.

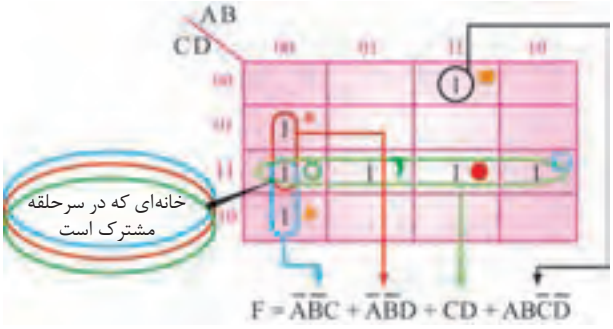
جدول ۲۹ـ۳ـ نقشهٔ کارنوی توابع چهار متغیره

CD \ AB	00	01	11	10	
00	$\bar{A}\bar{B}\bar{C}\bar{D}$ ۰	$\bar{A}\bar{B}\bar{C}\bar{D}$ ۴	$A\bar{B}\bar{C}\bar{D}$ ۱۲	$A\bar{B}\bar{C}\bar{D}$ ۸	$\bar{D}$
01	$\bar{A}\bar{B}\bar{C}\bar{D}$ ۱	$\bar{A}\bar{B}\bar{C}\bar{D}$ ۵	$A\bar{B}\bar{C}\bar{D}$ ۱۳	$A\bar{B}\bar{C}\bar{D}$ ۹	D
11	$\bar{A}\bar{B}CD$ ۳	$\bar{A}BCD$ ۷	$ABCD$ ۱۵	$A\bar{B}CD$ ۱۱	D
10	$\bar{A}\bar{B}C\bar{D}$ ۲	$\bar{A}BC\bar{D}$ ۶	$ABC\bar{D}$ ۱۴	$A\bar{B}C\bar{D}$ ۱۰	$\bar{D}$
	$\bar{B}$	B		$\bar{B}$	

مثال ۲۲ـ۳: تابع زیر را به کمک نقشهٔ کارنو ساده کنید.

$$f(A,B,C,D)=\bar{A}\bar{B}\bar{C}D+\bar{A}\bar{B}CD+\bar{A}B\bar{C}D+A\bar{B}CD+ABCD+\bar{A}BCD+AB\bar{C}\bar{D}$$

جدول ۳۰ـ۳ـ جدول کارنو مربوط به مثال ۲۲ـ۳



همان‌طور که از نتایج جدول پیداست، هرقدر تعداد یک‌های محصور شده بیش‌تر باشد، جملهٔ استخراج شده ساده‌تر و تعداد متغیرهای آن کم‌تر است.

الف) زیرا وقتی فقط دور یک عدد یک خط می‌کشیم، جمله دارای چهار متغیر می‌شود.

ب) وقتی دور دو عدد یک خط می‌کشیم، جمله استخراج شده شامل سه متغیر می‌شود.

ج) وقتی دور چهار عدد یک خط بکشیم، جملهٔ استخراج شده شامل دو متغیر می‌شود.

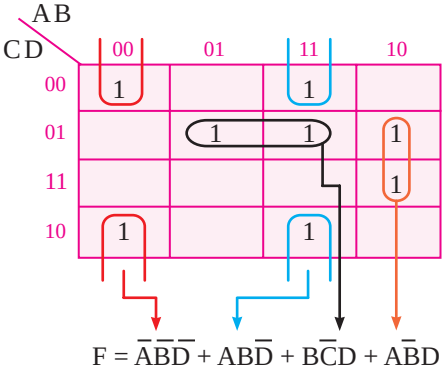
د) درصورتی که هشت عدد یک در یک حلقه محصور شوند، جملهٔ استخراجی فقط یک متغیر را شامل می‌شود. لذا باید سعی کنیم در صورت امکان تعداد "یک" بیشتری را در داخل حلقهٔ محصور قراردهیم. توجه داشته باشید که در این جدول ۱۶ خانه‌ای (مانند جداول ۸ خانه‌ای)، چهار خانهٔ سمت راست با چهار خانهٔ سمت چپ مجاور (همسایه) هستند و چهار خانهٔ پایین نیز باچهار خانهٔ بالا همسایه‌اند. در ضمن چهار خانهٔ گوشهٔ جدول نیز مجاور هستند.

در زیر چند مثال از توابع چهار متغیره را که به کمک نقشهٔ کارنو ساده شده‌اند، مشاهده می‌کنید.

مثال ۲۳ـ۳: تابع زیر را ساده کنید.

$$F=\bar{A}\bar{B}\bar{C}\bar{D}+\bar{A}\bar{B}C\bar{D}+AB\bar{C}\bar{D}+AB\bar{C}D+$$
$$\bar{A}\bar{B}\bar{C}D+A\bar{B}\bar{C}D+A\bar{B}CD+ABC\bar{D}$$

جدول ۳۱ـ۳ـ نقشهٔ کارنوی مربوط به مثال ۲۳ـ۳

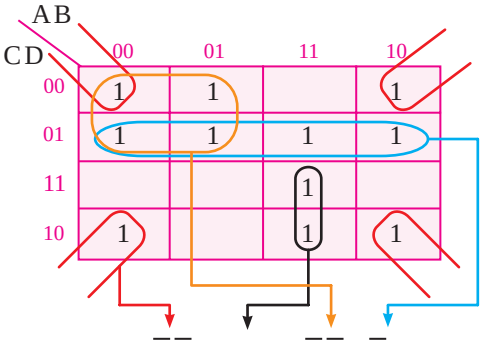


$$F=\bar{A}\bar{B}\bar{D}+AB\bar{D}+B\bar{C}D+A\bar{B}D$$

مثال ۲۴ـ۳: تابع زیر را ساده کنید.

$$F(A,B,C,D)=\bar{A}\bar{B}\bar{C}\bar{D}+\bar{A}\bar{B}C\bar{D}+\bar{A}\bar{B}CD$$
$$+\bar{A}B\bar{C}\bar{D}+\bar{A}B\bar{C}D+AB\bar{C}D+ABCD$$
$$+ABC\bar{D}+A\bar{B}\bar{C}\bar{D}+A\bar{B}\bar{C}D+A\bar{B}C\bar{D}$$

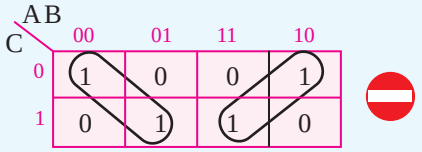
جدول ۳۲ـ۳ـ نقشهٔ کارنوی مربوط به مثال ۲۴ـ۳



$$F=\bar{B}\bar{D}+ABC+\bar{A}\bar{C}+\bar{C}D$$

نکته: در جدول کارنو هیچ‌گاه به صورت مورب نمی‌توان از متغیر مشترکی فاکتورگیری کرد، جدول ۳۳ـ۳ این حالت را نشان می‌دهد.

جدول ۳۳ـ۳ـ خانه‌های مشترک مورب



موریس کارنو

متولد ۴ اکتبر ۱۹۲۴ در شهر نیویورک، فیزیکدان آمریکایی که نقشهٔ کارنوی او در جبربول مشهور است. او مطالعات خود را با فیزیک و ریاضیات در کالج شهر نیویورک آغاز کرد. پس از رفتن به دانشگاه ییل در سال ۱۹۴۹ ، موفق به کسب درجهٔ دکترا در رشتهٔ فیزیک در سال ۱۹۵۲ شد.

کارنو در آزمایشگاه‌های بل، جدول کارنو، کدگذاری PCM و نیز کدگذاری مدارهای مغناطیسی را گسترش داد. کارنو در سال ۱۹۷۶ به عنوان رئیس انجمن IEEE (انجمن بین‌المللی استانداردهای مهندسی الکترونیک) انتخاب شد.

مثال ۲۵ـ۳: مداری طرح کنید که دارای چهار کلید ورودی (چهار متغیر ورودی) باشد و دیود LED که در خروجی آن وصل شده است، مطابق جدول ۳۴ـ۳ متناسب با قطع و وصل کلیدهای ورودی، روشن و خاموش شود.

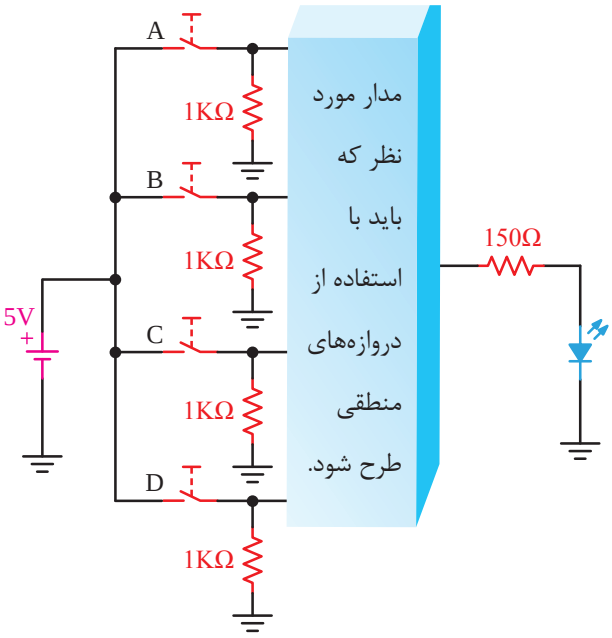
جدول ۳۴ـ۳ـ جدول صحت مربوط به مثال ۲۵ـ۳

A	B	C	D	F	LED
0	0	0	0	0	
0	0	0	1	1	
0	0	1	0	0	
0	0	1	1	1	
0	1	0	0	1	
0	1	0	1	1	
0	1	1	0	1	
0	1	1	1	0	
1	0	0	0	0	
1	0	0	1	1	
1	0	1	0	0	
1	0	1	1	1	
1	1	0	0	1	
1	1	0	1	1	
1	1	1	0	1	
1	1	1	1	0	

برای مثال، اگر هر چهار کلید باز باشند، دیود LED خاموش شود **یا** اگر تنها کلید D بسته و سایر کلیدها باز باشند، دیود LED روشن شود . سایر حالات روشن و خاموش تابع F را در جدول ملاحظه می‌کنید.

برای طراحی چنین مداری، می‌توان از رابطهٔ خروجی استفاده کرد و عمل فاکتورگیری بین متغیرها را انجام داد، تا به‌عبارت ساده‌ای رسید. یا از نقشهٔ کارنو و دسته‌بندی یک‌های نقشه به ساده کردن مدار پرداخت. در این مثال از نقشهٔ کارنو استفاده شده است. شما می‌توانید با فاکتورگیری بین متغیرهای رابطهٔ خروجی نیز به این مرحله برسید. این فاکتورگیری را برای مثال ۲۵ـ۳ تجربه کنید.

شکل ۱۹ـ۳ مدار الکتریکی مثال ۲۵ـ۳ را به‌صورت بلوکی نشان می‌دهد.



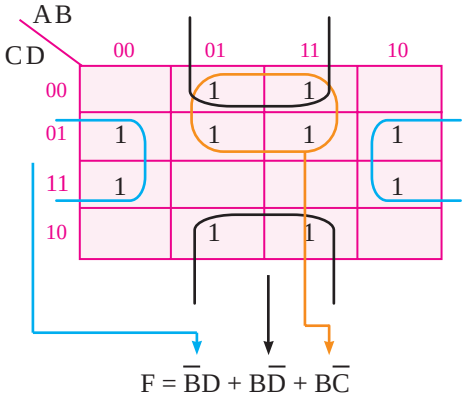
شکل ۱۹ـ۳ـ مدار الکتریکی مربوط به مثال ۲۵ـ۳

با توجه به جدول و درنظر گرفتن حالت فعال یا روشن شدن دیود LED، رابطهٔ خروجی به صورت زیر در می‌آید.

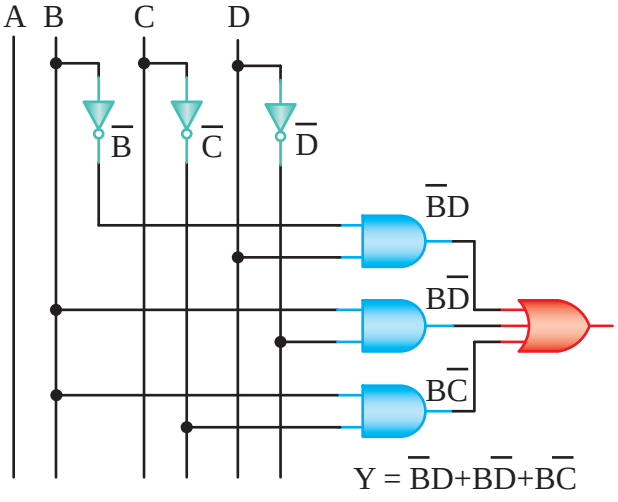
$$F=\bar{A}\bar{B}\bar{C}D+\bar{A}\bar{B}C\bar{D}+\bar{A}B\bar{C}\bar{D}+\bar{A}B\bar{C}D+\bar{A}BC\bar{D}$$
$$+A\bar{B}\bar{C}D+A\bar{B}C\bar{D}+AB\bar{C}\bar{D}+AB\bar{C}D+ABC\bar{D}$$

جدول ۳۵ـ۳ را رسم می‌کنیم و تابع ساده شدهٔ خروجی آن را به‌دست می‌آوریم.

جدول ۳۵ـ۳ـ نقشهٔ کارنوی مربوط به مثال ۲۵ـ۳



با توجه به تابع خروجی F می‌توانیم مدار مورد نظر را ترسیم کنیم.



شکل ۲۰ـ۳ـ مدار منطقی مربوط به مثال ۲۵ـ۳

در شکل ۲۰ـ۳ مدار منطقی که براساس ساده‌سازی از روی جدول کارنو ۳۵ـ۳ به دست آمده است را مشاهده می‌کنید. همان‌طور که ملاحظه می‌کنید کلید A هیچ‌گونه تأثیری در رفتار خروجی مدار ندارد، در این مورد توضیح دهید.

۵ـ۳ـ الگوی پرسش

۱ـ آیا مدار دیگری برای مثال ۲۵ـ۳ می‌توان طراحی کرد؟ در صورت مثبت بودن جواب آن را طراحی کنید.

۲ـ با توجه به جدول صحت ۳۶ـ۳ نقشهٔ کارنوی مربوطه را رسم کنید.

جدول ۳۶ـ۳ـ مربوط به سؤال ۲

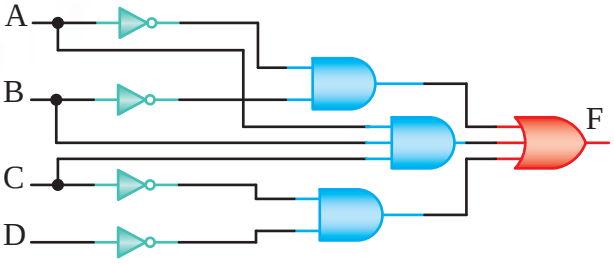
A	B	C	F	LED
0	0	0	0	
0	0	1	1	
0	1	0	0	
0	1	1	1	
1	0	0	1	
1	0	1	0	
1	1	0	1	
1	1	1	1	

۳ـ برای نقشهٔ کارنوی ۳۶ـ۳ رابطهٔ خروجی را نوشته و پس از ساده‌سازی مدار آن را طراحی کنید.

۴ـ تابع F را با استفاده از جدول کارنو ساده نمایید و مدار آن را رسم کنید.

$$F(A,B,C) = \Sigma_m\ (0,1,3,6)$$

۵ـ نقشهٔ کارنو و رابطهٔ خروجی مدار شکل ۲۱ـ۳ را بنویسید.



شکل ۲۱ـ۳ـ مربوط به سؤال ۵

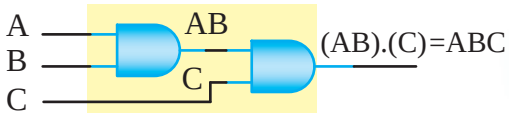
۶ـ تابع را با استفاده از جدول کارنو به ساده‌ترین شکل بنویسید.

$$F\ (A,B,C,D) = \Sigma_m\ (1,3,6,10,11,13)$$

۶ـ۳ـ افزایش ظرفیت ورودی‌های دروازه‌های منطقی

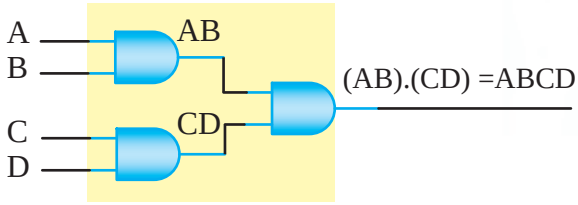
هرچند که در عمل دروازه‌های منطقی تا هشت ورودی نیز ساخته می‌شوند ولی گاهی به بیش از هشت ورودی نیاز داریم یا به دروازه‌های منطقی با ورودی حتی کم‌تر از هشت نیازمندیم ولی در دسترس نیستند در هر یک از این شرایط، می‌توان با استفاده از دروازه‌های منطقی موجود یک دروازهٔ منطقی با تعداد ورودی‌های دلخواه ساخت. در این قسمت به شرح روش افزایش تعداد ورودی‌های بعضی از دروازه‌های منطقی می‌پردازیم.

۱ـ۶ـ۳ـ افزایش تعداد ورودی‌های دروازهٔ منطقی AND: فرض کنید یک سری دروازه‌های منطقی AND با دو ورودی در دسترس داریم و در عمل، به یک دروازهٔ AND با سه ورودی نیازمندیم. مدار شکل ۲۲ـ۳ این نیاز را برآورده می‌کند.



شکل ۲۲ـ۳ـ نحوهٔ ساخت دروازه AND با سه ورودی با استفاده از دو دروازهٔ AND با دو ورودی

شکل ۲۳ـ۳ معادل دروازهٔ منطقی AND با چهار ورودی را با استفاده از سه دروازهٔ منطقی AND با دو ورودی نشان می‌دهد.

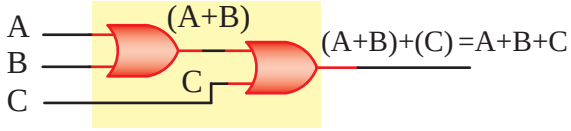


شکل ۲۳ـ۳ـ معادل دروازهٔ منطقی AND با چهار ورودی با استفاده از سه دروازهٔ منطقی AND با دو ورودی

به همین شیوه می‌توان یک دروازهٔ منطقی با هر تعداد ورودی ساخت.

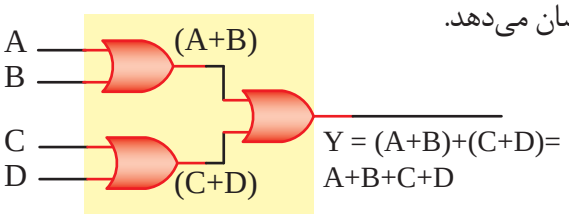
۲ـ۶ـ۳ـافزایش تعداد ورودی‌های دروازهٔ منطقی

OR: برای افزایش تعداد ورودی‌های دروازهٔ منطقی OR، می‌توانیم از تعداد بیش‌تری دروازهٔ منطقی OR با تعداد ورودی کمتر استفاده کنیم. برای مثال، شکل۲۴ـ۳ معادل یک دروازهٔ منطقی OR با سه ورودی را با استفاده از دو دروازهٔ منطقی OR با دو ورودی نشان می‌دهد.



شکل ۲۴ـ۳ـ نحوهٔ ساخت دروازهٔ منطقیOR با سه ورودی با استفاده از دو دروازهٔ منطقی OR با دو ورودی

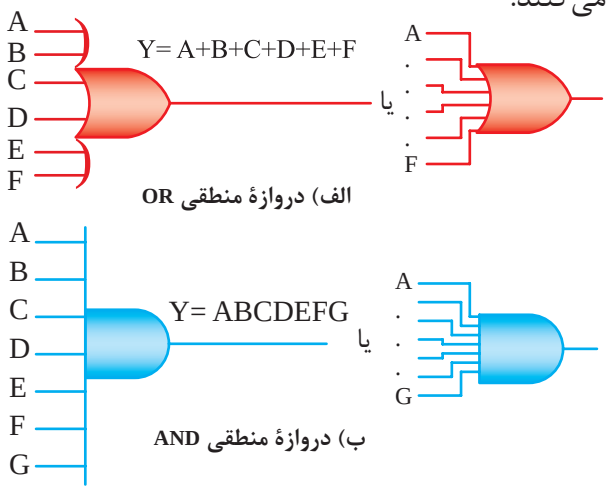
شکل ۲۵ـ۳ معادل یک دروازهٔ منطقی OR با چهار ورودی را با استفاده از سه دروازهٔ منطقی OR با دو ورودی نشان می‌دهد.



شکل ۲۵ـ۳ـ نحوهٔ ساختن دروازهٔ منطقی OR با چهار ورودی با استفاده از دروازه‌های منطقی OR با دو ورودی

به همین روش می‌توان دروازهٔ منطقی OR با هر تعداد ورودی ایجاد کرد.

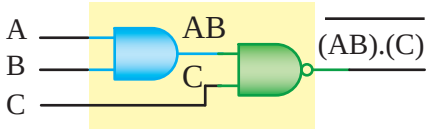
اگر تعداد ورودی‌های یک دروازه منطقی زیاد شوند، معمولاً نماد آن دروازهٔ منطقی را در مقایسه با دروازهٔ منطقی معمولی بزرگ‌تر رسم نمی‌کنند بلکه آن را به اندازهٔ استاندارد به‌صورت شکل ۲۶ـ۳ـ الف و ب رسم می‌کنند.



شکل۲۶ـ۳ـ نمادهای دروازه‌های منطقی AND و OR با ورودی‌های زیاد

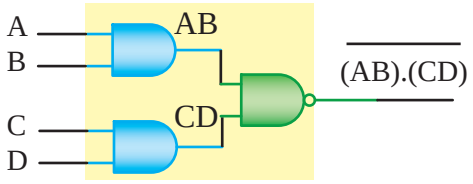
۳ـ۶ـ۳ـ افزایش تعداد ورودی‌های دروازهٔ منطقی

NAND: با استفاده از دروازه‌های منطقی AND و NAND می‌توان یک دروازهٔ منطقی NAND را با هر تعداد ورودی ساخت. شکل ۲۷ـ۳ یک دروازهٔ منطقی NAND با سه ورودی را با استفاده از یک دروازهٔ منطقی AND و یک دروازهٔ منطقی NAND نشان می‌دهد.



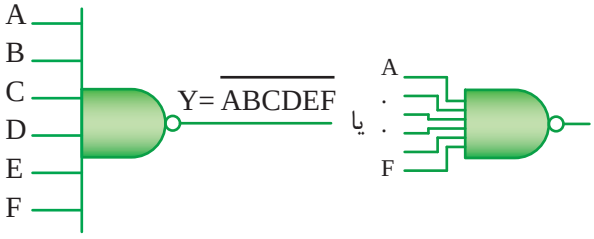
شکل ۲۷ـ۳ـ دروازهٔ منطقی NAND با سه ورودی با استفاده از دروازهٔ منطقی AND و NAND

شکل ۲۸ـ۳ یک دروازهٔ منطقی NAND با چهار ورودی را نشان می‌دهد. در این مدار از یک دروازهٔ منطقی NAND با دو ورودی و دو دروازهٔ منطقی AND استفاده شده است.



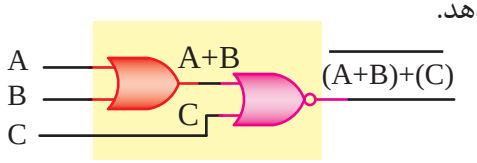
شکل ۲۸ـ۳ـ دروازهٔ منطقی NAND با چهار ورودی با استفاده از دروازه‌های منطقی AND و NAND با دو ورودی

به همین روش، می‌توان دروازهٔ منطقی NAND با هر تعداد ورودی ساخت. شکل ۲۹ـ۳ نمادهای دروازهٔ منطقی NAND با شش ورودی را نشان می‌دهد.



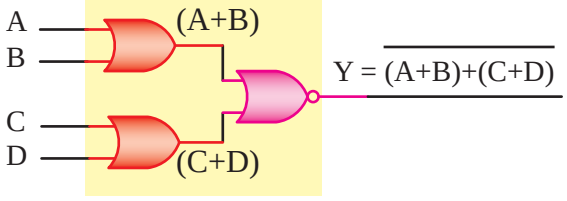
شکل ۲۹ـ۳ـ نمادهای دروازهٔ منطقی NAND با ورودی‌های زیاد

۴ـ۶ـ۳ـ افزایش تعداد ورودی‌های دروازهٔ منطقی NOR: با استفاده از دروازه‌های منطقی OR و NOR می‌توان یک دروازهٔ منطقی NOR با هر تعداد ورودی ساخت. شکل ۳۰ـ۳ یک دروازهٔ منطقی NOR با سه ورودی را که با استفاده از یک دروازهٔ منطقی OR و یک دروازهٔ منطقی NOR ساخته شده است، نشان می‌دهد.



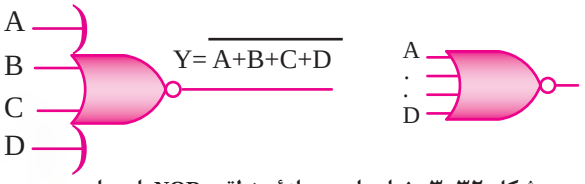
شکل ۳۰ـ۳ـ دروازهٔ منطقی NOR با سه ورودی که با استفاده از دروازه‌های منطقی OR و NOR ساخته شده است.

شکل ۳۱ـ۳ یک دروازهٔ منطقی NOR با چهار ورودی را که با استفاده از دروازه‌های منطقی OR و NOR با دو ورودی ساخته شده‌اند را نشان می‌دهد.



شکل ۳۱ـ۳ـایجاد دروازهٔ منطقی NOR با چهار ورودی با استفاده از دروازه‌های منطقی OR و NOR با دو ورودی

به همین روش، می‌توان دروازهٔ منطقی NOR را با هر تعداد ورودی ساخت. شکل ۳۲ـ۳ نمادهای دروازهٔ منطقی NOR با چهار ورودی (یا بیش‌تر) را نشان می‌دهد.

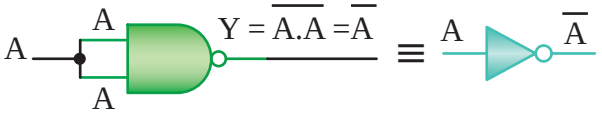


شکل ۳۲ـ۳ـ نمادهای دروازهٔ منطقی NOR با چهار ورودی

۷ـ۳ـ ساخت دروازه‌های منطقی مختلف با استفاده از گیت NAND

در مدارهای منطقی، دروازهٔ منطقی NAND به‌عنوان دروازهٔ منطقی پایه محسوب می‌شود. بنابراین، با استفاده از این دروازهٔ منطقی می‌توان سایر دروازه‌های منطقی را ساخت. در این قسمت نحوهٔ ساخت سایر دروازه‌های منطقی به کمک دروازهٔ منطقی NAND، مورد بررسی قرار می‌گیرد.

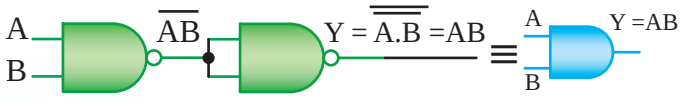
۱ـ۷ـ۳ـ ایجاد دروازهٔ منطقی NOT(نه): اگر تمامی ورودی‌های دروازهٔ منطقی NAND را به یکدیگر وصل کنیم، یک دروازهٔ منطقی NOT حاصل می‌شود، شکل ۳۳ـ۳ دروازهٔ منطقی NOT را با استفاده از گیت NAND نشان می‌دهد.



شکل ۳۳ـ۳ـ ساخت دروازه منطقی NOT با استفاده از NAND

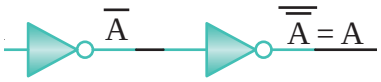
۲ـ۷ـ۳ـ ساخت دروازهٔ منطقی AND: به کمک دو عدد دروازه منطقی NAND می‌توان یک دروازه منطقی AND ساخت.

شکل ۳۴ـ۳ ساخت دروازهٔ منطقی AND را با کمک NAND نشان می‌دهد.



شکل ۳۴ـ۳ـ ساخت دروازهٔ منطقی AND با استفاده از NAND

۳ـ۷ـ۳ـ تولید دروازهٔ منطقی OR: می‌دانیم که $\overline{\overline{A}} = A$ ($\overline{A}$ می‌خوانیم Aنات نات) است، زیرا طبق شکل ۳ـ۳۵ از معکوس هر متغیر NOT شده خودمتغیر به‌وجود می‌آید.

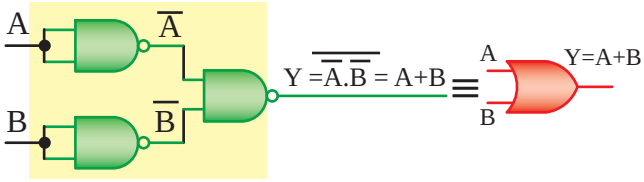


شکل ۳ـ۳۵ـ معکوس هر متغیر NOT شده مساوی خود متغیراست.

طبق قضیه دمورگان داریم:

$$Y = A + B = \overline{\overline{A} + \overline{B}} + \overline{\overline{A}.\overline{B}}$$

در شکل ۳ـ۳۶ ایجاد دروازهٔ منطقی OR را با استفاده از قضیهٔ دمورگان مشاهده می‌کنید.

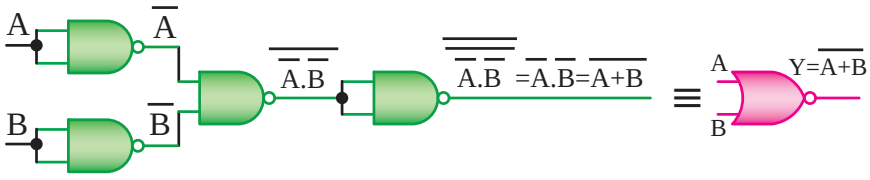


شکل ۳ـ۳۶ـساخت دروازهٔ منطقی OR با استفاده ازNAND

۴ـ۷ـ۳ـ دروازهٔ منطقی NOR: با استفاده از قوانین (قضیه‌های) دمورگان می‌توانیم بنویسیم

$$Y = \overline{A + B} = \overline{A}.\overline{B} = \overline{\overline{\overline{A}.\overline{B}}}$$

یعنی اگر دو گیت NOT را با هم ANDکنیم، سپس آنها را دو بار NOT کنیم، حاصل گیت NOR خواهد بود، شکل ۳ـ۳۷ ساخت دروازهٔ منطقی NOR را نشان می‌دهد.



شکل ۳ـ۳۷ـ ساخت دروازهٔ منطقیNOR با استفاده ازNAND

۵ـ۷ـ۳ـ دروازهٔ منطقی OR انحصاری XOR: با توجه به رابطهٔ منطقی XOR، آن را به‌صورت جملات NAND درمی‌آوریم؛ زیرا باید با دروازهٔ منطقی NAND ساخته شود.

تابع گیت XOR $Y = A \oplus B = \overline{A}B + A\overline{B}$

برای این‌که تابع با گیت‌های NAND اجرا شود تابع را به‌صورت زیر تغییر می‌نویسیم:

$$Y = \overline{A}B + A\overline{B} \qquad (۱)$$

می‌دانیم صفر در جمع یک عضو خنثی است

$\overline{A}B = \overline{A}B + ۰$

به‌جای صفر مقدار می‌گذاریم و از عامل مشترک فاکتور می‌گیریم.

$$\overline{A}B + ۰ = \overline{A}B + B\overline{B} = B(\overline{A} + \overline{B})$$

طبق رابطهٔ دمورگان داریم:

$$B(\overline{A} + \overline{B}) = B(\overline{AB}) \qquad (۲)$$

برای رابطهٔ $A\overline{B}$ نیز مشابه بالا عمل می‌کنیم.

$$A\overline{B} = A\overline{B} + ۰ = A\overline{B} + A\overline{A} = A(\overline{B} + \overline{A})$$

طبق رابطهٔ دمورگان داریم:

$$A(\overline{B}+\overline{A}) = A(\overline{AB}) \qquad (۳)$$

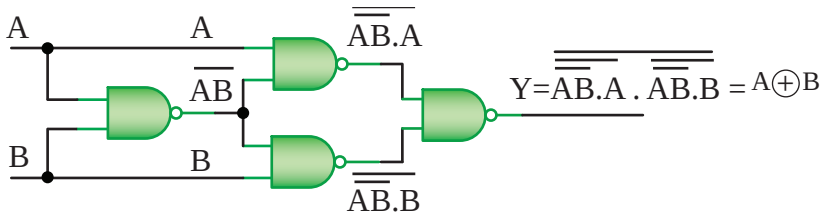
مقادیر رابطه (۲) و (۳) را در رابطهٔ (۱) جایگزین می‌کنیم.

$$\overline{A}B + A\overline{B} = B(\overline{AB}) + A(\overline{AB})$$

این تابع را دو بار نفی می‌کنیم.

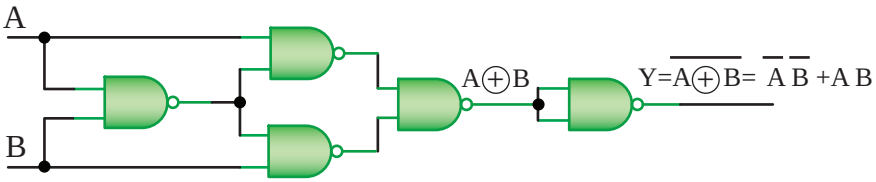
$$\overline{\overline{A}B + A\overline{B}} = \overline{B(\overline{AB}) - B(\overline{AB})}$$

همان‌طور که ملاحظه می‌شود با استفاده از قانون دمورگان نتیجه نهایی به‌دست می‌آید و تابع با استفاده از گیت NAND مشابه شکل ۳ـ۳۸ خواهد شد.



شکل ۳۸ـ۳ـ ساخت دروازهٔ منطقی OR انحصاری با استفاده از NAND

۶ـ۷ـ۳ـ دروازهٔ منطقی NOR انحصاری (XNOR): برای ساخت این دروازهٔ منطقی با استفاده از دروازه‌های منطقی NAND، کافی است خروجی دروازهٔ منطقی XOR را که با استفاده از گیت NAND ساخته شده است NOT کنیم. در شکل ۳۹ـ۳ دروازهٔ منطقی XNOR را با استفاده از دروازهٔ منطقی NAND مشاهده می‌کنید.

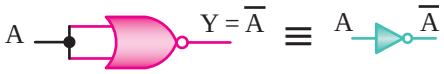


شکل ۳۹ـ۳ـ ساخت دروازهٔ منطقی NOR انحصاری با استفاده از NAND

۸ـ۳ـ ساخت دروازه‌های منطقی مختلف با استفاده از گیت NOR

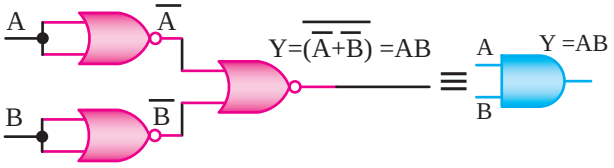
در مدارهای منطقی دروازهٔ منطقی NOR، نیز دروازهٔ منطقی پایه محسوب می‌شود. بنابراین، با این دروازهٔ منطقی می‌توان سایر دروازه‌های منطقی را ساخت. در این قسمت نحوهٔ ساخت سایر دروازه‌های منطقی به کمک دروازهٔ منطقی NOR را مورد بررسی قرار می‌دهیم.

۱ـ۸ـ۳ـ ساخت دروازهٔ منطقی NOT(نه): اگر تمامی ورودی‌های دروازهٔ منطقی NOR را به یکدیگر وصل کنیم، یک دروازهٔ منطقی NOT به‌دست می‌آید. شکل ۴۰ـ۳ این گیت را نشان می‌دهد.



شکل ۴۰ـ۳ـ ساخت دروازهٔ منطقی NOT با استفاده از NOR

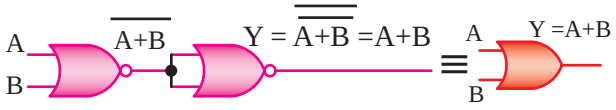
۲ـ۸ـ۳ـ ایجاد دروازه منطقی AND: به کمک سه عدد دروازهٔ منطقی NOR می‌توان یک دروازهٔ منطقی AND مطابق شکل ۴۱ـ۳ ساخت:



شکل ۴۱ـ۳ـ ساخت دروازهٔ منطقی AND با استفاده از NOR

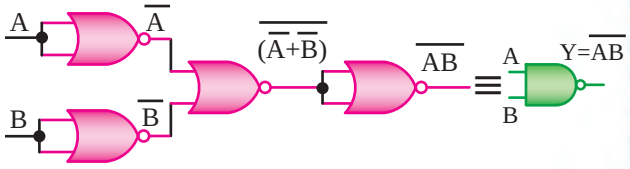
تحلیل این مدار بر عهدهٔ هنرجویان واگذار می‌شود.

۳ـ۸ـ۳ـ تولید دروازهٔ منطقی OR: با کمک دو عدد دروازهٔ منطقی NOR می‌توان یک دروازهٔ منطقی OR مطابق شکل ۴۲ـ۳ ساخت. زیرا اگر هر تابع دو بار NOT شود خود تابع به‌دست می‌آید.



شکل ۴۲ـ۳ ساخت دروازهٔ منطقی OR با استفاده از NOR

۴ـ۸ـ۳ـ دروازهٔ منطقی NAND: در شکل ۴۳ـ۳ چگونگی ساخت دروازهٔ منطقی NAND را با استفاده از دروازهٔ منطقی NOR مشاهده می‌کنید.



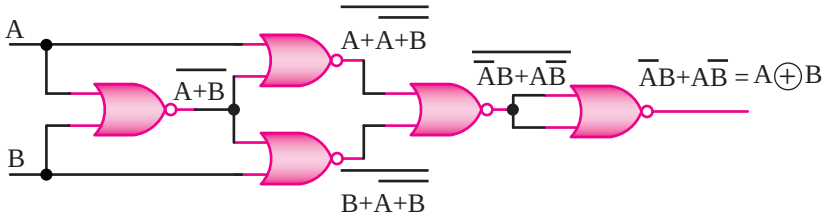
شکل ۴۳ـ۳ـ ساخت دروازهٔ منطقی NANDبا استفاده از NOR

همان‌طور که مشاهده می‌شود ابتدا با استفاده از دروازهٔ NOR، دو دروازهٔ NOT تشکیل می‌دهیم. سپس خروجی‌ها را مجدداً NOR می‌کنیم، خروجی را دوباره NOT می‌کنیم و خروجی نهایی گیت NAND خواهد شد.

۵ـ۸ـ۳ـ دروازهٔ منطقی XOR: می‌دانیم رابطهٔ منطقی XOR به صورت زیر است.

$$Y = A \oplus B = \overline{A}B + A\overline{B}$$

و مدار ساخته‌شده در شکل ۳ـ۳۸ را با گیت‌های NOR مطابق شکل ۳ـ۴۴ رسم می‌کنیم.

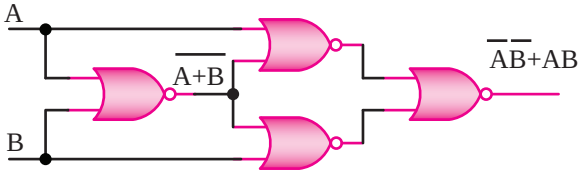


شکل ۴۴ـ۳ ساخت دروازهٔ منطقی XOR با استفاده از NOR

۶ـ۸ـ۳ـ دروازهٔ منطقی XNOR: می‌دانیم رابطه XNOR به صورت زیر است:

$$Y = \overline{A \oplus B} = \overline{A}\,\overline{B} + AB$$

از شکل مدار ۳ـ۴۴ استفاده می‌کنیم و با حذف آخرین NOT مدار XNOR شکل ۳ـ۴۵ طراحی می‌شود.



شکل ۴۵ـ۳ـ ساخت دروازهٔ منطقی XNOR با استفاده از NOR

تمرین کلاسی ۲۶ـ۳: برای به‌دست آوردن رابطهٔ نهایی شکل ۳ـ۴۴ خروجی هر گیت را جداگانه بنویسید و به رابطهٔ نهایی برسید.

تمرین کلاسی ۲۷ـ۳: برای به‌دست آوردن رابطهٔ نهایی شکل ۳ـ۴۵ خروجی هر یک از گیت‌ها را جداگانه بنویسید و به رابطهٔ نهایی برسید.

۹ـ۳ـ مقدمه‌ای بر مدارهای ترکیبی

۱ـ۹ـ۳ـ تنظیم جدول صحت از روی داده‌های مسئله:

همان‌گونه که در این فصل گفته شد، هر تابع منطقی را می‌توان به صورت یک جملهٔ مجموع حاصل‌ضرب‌ها یا یک جملهٔ حاصل‌ضرب جمع‌ها بیان کرد. در حالت اول، جملهٔ حاصل ضرب متناظر با هر حالت ورودی را که تابع خروجی به‌ازای آن «۱» می‌شود می‌نویسیم و سپس کلیهٔ این جمله‌ها را با هم جمع می‌کنیم.

مثال ۲۶ـ۳: تابع خروجی جدول ۳ـ۳۷ را بنویسید.

جدول ۳۷ـ۳ـ جدول‌صحت مثال ۲۶ـ۳

A	B	C	F	
0	0	0	0	
0	0	1	1	$\bar{A}\bar{B}C$
0	1	0	1	$\bar{A}B\bar{C}$
0	1	1	1	$\bar{A}BC$
1	0	0	0	
1	0	1	1	$A\bar{B}C$
1	1	0	0	
1	1	1	0	

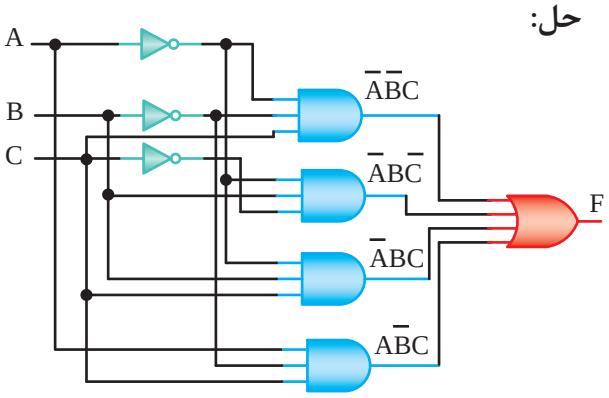
حل: با توجه به جدول ۳۷ـ۳ جملهٔ مربوط به سطری که خروجی «یک» است، را می‌نویسیم.

$$F = \bar{A}\bar{B}C + \bar{A}B\bar{C} + \bar{A}BC + A\bar{B}C$$

برای اجرای تابع به مجموعه‌ای از دروازه‌های منطقی AND نیاز داریم. خروجی هرکدام از این دروازه‌ها متناظر با یک جملهٔ حاصل‌ضرب است و سرانجام، باید خروجی همهٔ این دروازه‌ها را با یکدیگر OR کنیم.

مثال ۲۷ـ۳: مدار تابع خروجی مثال ۲۶ـ۳ را با استفاده از گیت‌های منطقی طراحی کنید.

حل:



شکل ۴۶ـ۳ـ مدار مثال ۲۷ـ۳

البته فراموش نکنید که برای کاهش تعداد دروازه‌ها، می‌توانیم در صورت امکان ابتدا تابع را به روش جبری یا با استفاده از جدول کارنو ساده کنیم و سپس تابع ساده شده را با دروازه‌های AND و OR کم‌تری اجرا کنیم.

مثال ۲۸ـ۳: تابع خروجی مدار مثال ۲۷ـ۳ را ساده کنید و سپس مدار تابع ساده شده را ترسیم کنید.

حل:

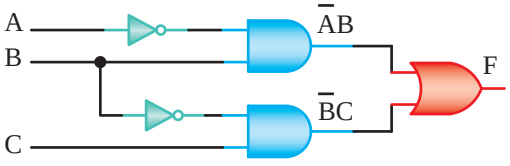
$$F = \underset{1}{\bar{A}\bar{B}C} + \underset{2}{\bar{A}B\bar{C}} + \underset{3}{\bar{A}BC} + \underset{4}{A\bar{B}C}$$

از جمله‌های اول و چهارم عامل مشترک $\bar{B}C$ و از جمله‌های دوم و سوم عامل مشترک $\bar{A}B$ را فاکتورگیری می‌کنیم.

$$F = \bar{B}C(\overset{1}{\cancel{\bar{A}+A}}) + \bar{A}B(\overset{1}{\cancel{\bar{C}+C}})$$

$$F = \bar{B}C + \bar{A}B$$

مدار خروجی F را طراحی و رسم می‌کنیم.



شکل ۴۷ـ۳ـ مدار ساده‌شدهٔ مثال ۲۸ـ۳

برای بیان تابع به صورت حاصل ضرب جمع‌ها باید جملهٔ مجموع متناظر با هر حالت «۰» تابع را بنویسیم. سپس کلیهٔ جملات را در یک‌دیگر ضرب می‌کنیم. البته در صورت امکان باید تابع F ساده شده و درنهایت تابع ساده‌شده را به‌صورت AND-OR به اجرا در آوریم.

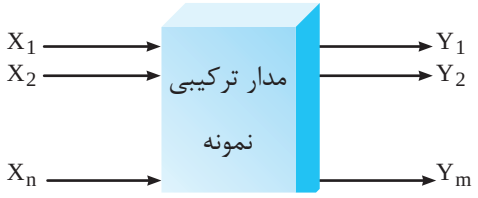
در این فصل، ابتدا روش آنالیز و طرح مدارهای ترکیبی را به‌صورت عام بیان می‌کنیم و سپس به تفکیک و با تفصیل بیشتر به بررسی مدارهای ترکیبی با کاربری عمومی می‌پردازیم.

تمرین کلاسی ۲۸ـ۳: تابع خروجی مثال ۲۶ـ۳ را با استفاده از جدول کارنو ساده کنید و با مدار به‌دست آمده در مثال ۲۸ـ۳ مقایسه کنید.

تمرین کلاسی ۲۹ـ۳: تابع ماکس‌ترم خروجی مثال ۲۶ـ۳ را بنویسید و پس از ساده‌کردن تابع خروجی با استفاده از جدول کارنو مدار آن را طراحی و ترسیم کنید.

۲ـ۹ـ۳ـ تعریف مدار ترکیبی: مدار ترکیبی به مداری اطلاق می‌شود که وضعیت خروجی‌های آن در هر لحظه منحصراً به وضعیت ورودی‌های آن، در همان لحظه بستگی دارد. در چنین مداری، هیچ خروجی‌ای به هیچ ورودی‌ای از مدار برگشت داده نمی‌شود.

در شکل ۴۸ـ۳ بلوک دیاگرام یک مدار ترکیبی نشان داده شده است. یادآوری می‌شود که در فصل چهارم در ارتباط با مدارهای ترکیبی ویژهٔ کاربردی به‌طور مفصل بحث خواهد شد.

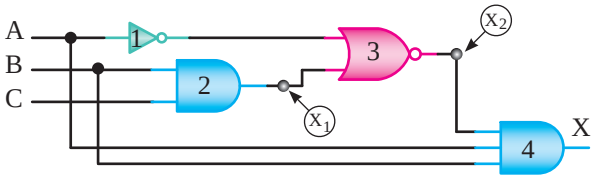


شکل ۴۸ـ۳ـ بلوک دیاگرام یک مدار ترکیبی

۳ـ۹ـ۳ـ آنالیز مدارهای ترکیبی: برای بررسی رفتار یک مدار ترکیبی، باید پاسخ مدار را به همهٔ حالت‌های ورودی آن به‌دست آوریم. می‌دانید که اگر مداری n ورودی مختلف داشته باشد دارای 2^n حالت متفاوت است. برای به‌دست آوردن پاسخ کلّی مدار، نخست باید تابع منطقی هر یک از خروجی‌های آن را بر حسب متغیرهای ورودی در فرم مجموع حاصل‌ضرب‌ها یا حاصل‌ضرب جمع‌ها به‌دست آوریم.

سپس به روش جبری یا به کمک جدول کارنو صورت نرمال تابع را مشخص کنیم و در نهایت به کمک آن «جدول صحّت» مدار را تشکیل دهیم.

مثال ۲۹ـ۳: در مدار شکل ۴۹ـ۳ نخست تابع خروجی X را بر حسب متغیرهای A،B و C به‌صورت مجموع حاصل‌ضرب‌ها به‌دست آورید و سپس جدول صحت مدار را رسم کنید.



شکل ۴۹ـ۳ـ مدار مربوط به مثال ۲۹ـ۳

حل:

مطابق شکل ورودی‌های دروازهٔ AND شمارهٔ ۴، متغیرهای A، B و تابع x_2 است. بنابراین، خروجی X برابر است با:

$$X=ABx_2$$

از طرفی ورودی‌های دروازهٔ NOR شمارهٔ ۳، متغیر $\overline{A}$ و تابع x_1 است . بنابراین خروجی این دروازه برابر است با:

$$x_2=\overline{(\overline{A}+x_1)}=A\overline{x_1}$$

چون $x_1=BC$ است، در نتیجه داریم:

$$x = AB\,x_2$$

$$\downarrow$$

$$= AB \quad A\overline{x_1} = AB \quad \overline{x_1}$$

$$\downarrow$$

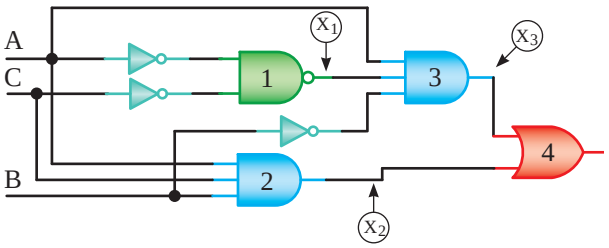
$$= AB \quad B\overline{C} = AB\ (\overline{B}+\overline{C}) = AB\overline{C}$$

یعنی، خروجی مدار فوق فقط در حالتی که A=۱ ، B=۱ و C=۰ باشد برابر با «۱» می شود (مین‌ترم سطر شمارهٔ ۶). جدول صحّت مدار را در جدول ۳۸ـ۳ ملاحظه می‌کنید.

جدول ۳۸ـ۳ـ جدول صحت مربوط به مثال ۲۹ـ۳

A	B	C	X
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

مثال ۳۰ـ۳: مدار شکل ۵۰ـ۳ را تجزیه و تحلیل کنید. سپس آن را در فرم NAND_NAND (همه گیت‌ها NAND باشند) اجرا کنید.



شکل ۵۰ـ۳ـ مدار مربوط به مثال ۳۰ـ۳

حل: با توجه به شکل ۵۰ـ۳ مدار مقادیر X_1 , X_2 , X_3 را با توجه به ورودی‌ها و گیت‌های موجود به‌دست می‌آوریم.

$$X_1=\overline{\overline{A.C}}=A+C$$

و

$$X_3=A.x_1.\overline{B}=A(A+C)\overline{B}=A\overline{B}+ABC$$

یا

$$x_3=A\overline{B}(1+C)=A\overline{B}$$

و

$$X_2 = ABC$$

پس از تعیین مقادیر X_2 , X_3 می‌توانیم تابع خروجی Z را به‌دست آوریم:

$$Z = X_2 + X_3$$

یا

$$Z = ABC + A\overline{B}$$

جملهٔ ABC یک جملهٔ نرمال است ولی جملهٔ $A\overline{B}$ را باید به‌صورت نرمال بیان کنیم، برای نرمال کردن $A\overline{B}$ از اتحادها استفاده می‌کنیم.

$$A\overline{B}=A\overline{B}\times 1$$

$$A\overline{B} = A\overline{B}(\overline{C}+C)$$

$$A\overline{B} = A\overline{B}\overline{C} + A\overline{B}C$$

مقادیر معادل $A\overline{B}$ را در تابع Z قرار می‌دهیم:

$$Z = ABC + A\overline{B}\overline{C} + A\overline{B}C$$

مطابق جدول صحت شمارهٔ سطر هر یک از جمله‌های تابع Z را مشخص می‌کنیم.

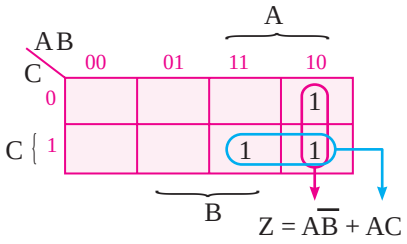
$$Z = \underbrace{ABC}_{\text{سطر ۷}} + \underbrace{A\overline{B}\overline{C}}_{\text{سطر ۴}} + \underbrace{A\overline{B}C}_{\text{سطر ۵}}$$

در نتیجه می‌توانیم تابع Z را به صورت زیر هم بنویسیم.

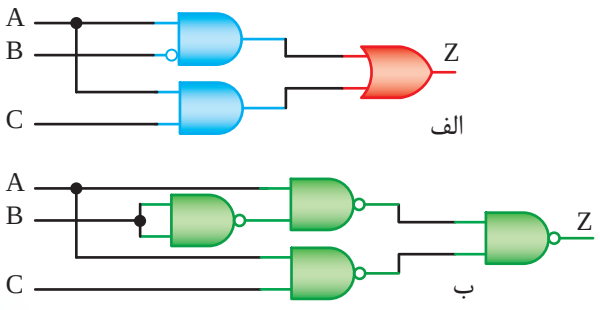
$$Z = \Sigma_m\ (m_7, m_4, m_5)$$

برای اجرای این تابع با دروازه‌های منطقی NAND، ابتدا باید آن را ساده کنیم. با استفاده از جدول کارنو، نتیجه می‌شود:

جدول ۳۹ـ۳ـ جدول کارنو مربوط به مثال ۳۰ـ۳



و ساده‌ترین مدار این تابع به شکل ۵۱ـ۳ـ الف یا معادل NAND-NAND آن، شکل ۵۱ـ۳ـ ب قابل اجراست.



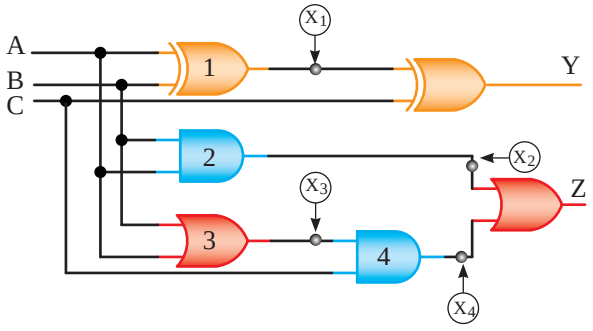
شکل ۵۱ـ۳ـ مدارهای مربوط به مثال ۳۰ـ۳

جهت دانش‌آمـوزان علاقه‌منـد: آیا می‌توانید با توجه به جمله‌های استاندارد یک تابع منطقی شمارهٔ سطر مربوط به هر جمله را بنویسید. تحقیق و تلاش کنید و نتیجه را به کلاس ارائه نمایید.

جهت دانش‌آموزان علاقه‌مند: آیا می‌دانید بین شمارهٔ سـطر جدول صحت یک تابع منطقی و اعداد باینری چه رابطه‌ای است؟ تحقیق کنید و نتیجه را به کلاس ارائه نمایید.

ممکن است یک مدار ترکیبی بیش از یک خروجی داشته باشد. برای به‌دست آوردن جدول صحّت این گونه مدارها باید تابع منطقی هر یک از خروجی‌ها را، مستقل از بقیّه به‌دست آوریم. سپس با توجّه به توابع منطقی به‌دست آمده، جدول صحّت مدار را رسم کنیم.

مثال ۳ـ۳۱: در شکل ۳ـ۵۲ هر یک از توابع Y و Z را برحسب متغیرهای A، B و C در فرم مجموع حاصل‌ضرب‌ها به‌دست آورید، سپس جدول صحّت مدار را رسم کنید.



شکل ۳ـ۵۲ـ مدار مثال ۳ـ۳۱

حل: با توجه به شکل ۳ـ۵۲ می‌توانیم بنویسیم:

برای حل مسئله باید مقادیر x_1 ، x_2 ، x_3 و x_4 را به‌دست آوریم تا توابع Y و Z قابل دسترسی باشد.

$$X_1 = A \oplus B \ , \ Y = x_1 \oplus C$$

یا

$$Y = A \oplus B \oplus C$$

(چرا؟)

$$Y = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC$$

یا

$$Y = \Sigma m\ (1,2,4,7)$$

و

$$Z = x_2 + x_4$$

که چون $x_2 = AB$ و $x_4 = Cx_3$ است، خواهیم داشت:

$$Z = AB + Cx_3$$

اگر در تابع فوق به جای x_3 معادل آن یعنی $x_3 = A + B$ را جایگزین کنیم، مقدار Z برابر است با:

$$Z = AB + C(A+B) = AB + AC + BC$$

و در نهایت پس از نرمال کردن تابع خواهیم داشت.

$$Z = \overline{A}BC + A\overline{B}C + AB\overline{C} + ABC$$

(تابع نرمال را اثبات کنید).

که در این تابع جملات ۳، ۵، ۶ و ۷ وجود دارد.

$$Y = \Sigma m\ (3,5,6,7)$$

حاصل عملیات فوق را در جدول صحت ۳ـ۴۰ مشاهده می‌کنید.

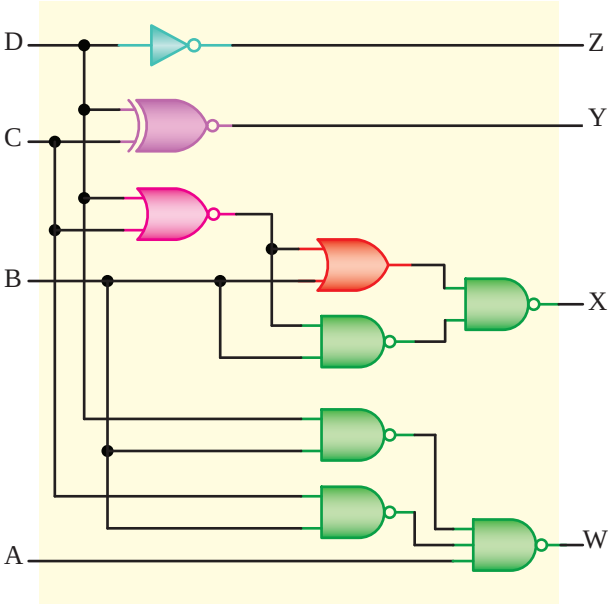
جدول ۳ـ۴۰ـ جدول صحت مربوط به مثال ۳ـ۳۱

شماره‌های سطر	A	B	C	Y	Z
0	0	0	0	0	0
1	0	0	1	1	0
2	0	1	0	1	0
3	0	1	1	0	1
4	1	0	0	1	0
5	1	0	1	0	1
6	1	1	0	0	1
7	1	1	1	1	1

تمرین کلاسی ۳۰ـ۳: جدول صحت مدار شکل ۳ـ۵۳ را برای حالت‌های داده شده در جدول ۳ـ۴۱ تکمیل کنید.

جدول ۳ـ۴۱ـ جدول صحت تمرین کلاسی ۳۰ـ۳

شماره‌های سطر	A	B	C	D	W	X	Y	Z
0	0	0	0	0	.	.	.	.
1	0	0	0	1	.	.	.	.
2	0	0	1	0	.	.	.	.
3	0	0	1	1	.	.	.	.
4	0	1	0	0	.	.	.	.
5	0	1	0	1	.	.	.	.
6	0	1	1	0	.	.	.	.
7	0	1	1	1	.	.	.	.
8	1	0	0	0	.	.	.	.
9	1	0	0	1	.	.	.	.



شکل ۳ـ۵۳ـ مدار مربوط به تمرین کلاسی

۳ـ۹ـ۴ـ طراحی مدارهای ترکیبی ساده: برای طراحی یک مدار ترکیبی، باید به ترتیب زیر عمل کنیم.

الف) جدول صحت مدار را براساس عملکرد تعریف شده برای مدار به‌دست آوریم. اگر این گام را که گامی اساسی برای طراحی یک مدار ترکیبی است، درست برداریم دنبال کردن مراحل بعدی تا اجرای سخت‌افزاری مدار از یک روند منطقی کاملاً روشن و معیّن تبعیّت می‌کند.

ب) به کمک جدول صحّت مدار هر یک از توابع خروجی آن را در فرم مجموع حاصل‌ضرب‌ها (یا حاصل ضرب جمع‌ها) بیان می‌کنیم.

پ) هر یک از توابع فوق را به روش جبری یا با استفاده از جدول کارنو ساده می‌کنیم.

ت) هر یک از توابع ساده شده را به‌صورت یک ترکیب OR_AND یا NAND_NAND اجرا می‌کنیم.

مثال ۳۲ـ۳: مداری با سه ورودی A، B،C و یک خروجی Y طرح کنید که در حالت‌هایی که اکثریت نسبی ورودی‌ها یک باشد، خروجی آن یک شود. مدار را در ساده‌ترین فرم مجموع حاصل‌ضرب‌ها اجرا کنید.

حل: با توجه به صورت مسئله، خروجی مدار در حالت‌هایی که دست‌کم دو ورودی آن در حالت یک باشد، یک می‌شود؛ بنابراین، جدول صحّت آن به‌صورت جدول ۳ـ۴۲ بیان می‌گردد.

جدول ۳ـ۴۲ـ جدول صحت مربوط به مثال ۳۲ـ۳

شماره‌های سطر	A	B	C	Y
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

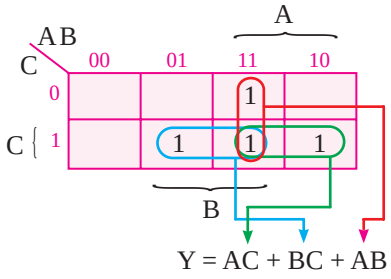
یعنی، تابع Y در فرم نرمال مجموع حاصل ضرب‌ها برابر است با:

$$Y = \Sigma m\ (۳,۵,۶,۷)$$

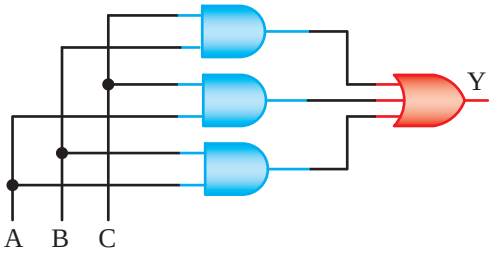
$$Y = \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC$$

که فرم ساده‌شدهٔ آن با توجه به نقشهٔ کارنو ۳ـ۴۳ شامل جملهٔ AC, AB و BC است.

جدول ۳ـ۴۳ـ جدول کارنو مثال ۳ـ۳۲



و مدار آن شامل سه دروازهٔ AND با دو ورودی و یک دروازهٔ OR با سه ورودی مطابق شکل ۳ـ۵۴ است.



شکل ۳ـ۵۴ـ مدار مربوط به مثال ۳ـ۳۲

۳ـ۱۰ـ الگوی پرسش

۱ـ مداری طراحی کنید که :

الف) دارای سه ورودی A , B و C باشد.

ب) چنان‌چه C=۰ باشد A در خروجی ظاهر شود.

پ) چنان‌چه C=۱ باشد B در خروجی ظاهر شود.

ابتدا جدول صحت و رابطهٔ خروجی را به دست آورید. سپس مدار را با توجه به رابطه خروجی طراحی کنید.

۲ـ در درون اتاق کلیدی نصب شده است و در بیرون آن نیز کلیدی دیگر قرار دارد. وضعیت کلید اول توسط مسئول اتاق و کلید دوم توسط کسی که می‌خواهد وارد اتاق شود تغییر می‌کند. مداری طراحی کنید که اگر وضعیت این دو کلید با یکدیگر اختلاف دارند، مسئول اتاق با خبر شود.

حل یک مثال جهت راهنمایی هنرجویان

مثال ۳ـ۳۳: سه نفر به نام‌های A , B و C در یک آزمایشگاه کار می‌کنند. به لحاظ شرایط امنیتی، این سه باید تحت شرایط خاصی وارد شوند. برای این منظور هریک دارای کلید خاصی می‌باشند و درب اتاق آزمایشگاه هنگامی باز می‌شود که شرایط لازم زیر برقرار باشد. مداری طراحی نمایید که به وسیلهٔ آن شرایط زیر کنترل شده و در صورت مجاز بودن درب باز شود.

الف) A , B و C به تنهایی می‌تواند در اتاق باشند.

ب) A و B یا A و C می‌توانند با هم در اتاق باشند.

ولی B و C فقط در حضور A می‌توانند در اتاق باشند.

پ) غیر از این سه، شخص دیگری حق ورود ندارد.

حل: برای پاسخ دادن به این‌گونه سؤالات ابتدا جدول صحت تابع خروجی را با توجه به شرایط مطرح شده رسم می‌کنیم. این تابع سه ورودی دارد.

جدول ۳ـ۴۴ـ جدول صحت مثال ۳ـ۳۳

A	B	C	Y	
0	0	0	0	شرط پ
0	0	1	1	شرط الف $\bar{A}\bar{B}C$
0	1	0	1	شرط الف $\bar{A}B\bar{C}$
0	1	1	0	قسمت دوم شرط ب
1	0	0	1	شرط الف $A\bar{B}\bar{C}$
1	0	1	1	قسمت اول شرط ب $A\bar{B}C$
1	1	0	1	قسمت اول شرط ب $AB\bar{C}$
1	1	1	1	قسمت دوم شرط ب ABC

تابع خروجی را می‌نویسیم.

$$F = \underset{۱}{\bar{A}\bar{B}C} + \underset{۲}{\bar{A}B\bar{C}} + \underset{۴}{A\bar{B}\bar{C}} + \underset{۵}{A\bar{B}C} + \underset{۶}{AB\bar{C}} + \underset{۷}{ABC}$$

از عوامل مشترک فاکتورگیری می‌کنیم.

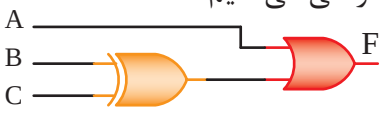
$$F=\underbrace{\overline{B}C(\overline{A}+A)}_{۱\text{ و }۵}+\underbrace{B\overline{C}(\overline{A}+A)}_{۲\text{ و }۶}+\underbrace{A\overline{B}(\overline{C}+C)}_{۳\text{ و }۴}+\underbrace{AB(\overline{C}+C)}_{۴\text{ و }۷}$$

$$F=\underbrace{\overline{B}C}_{۱}+\underbrace{B\overline{C}}_{۲}+\underbrace{A\overline{B}}_{۳}+\underbrace{AB}_{۴}$$

جمله‌های ۱ و ۲ گیت XOR را تشکیل می‌دهند و از جمله‌های ۳ و ۴ از عامل A فاکتورگیری می‌کنیم.

$$F=B\oplus C+A(\overline{B}+B)=B\oplus C+A$$

مدار را طراحی می‌کنیم.



شکل ۵۵ـ۳ـ مدار مربوط به مثال ۳۳ـ۳

جهت هنرجویان علاقه‌مند: برای کنترل چراغ راهنمایی یک چهار راه از یک مرکز فرماندهی دستور تغییر رنگ چراغ‌ها داده می‌شود. این دستور توسط دو کلید فرمان و چند رشته سیم به چهار راه می‌رسد. هدف طراحی مداری است که توسط آن سیگنال‌های رسیده به چراغ راهنمایی، چراغ‌ها را به ترتیب زیر روشن یا خاموش نماید.

*چراغ A هنگامی سبز یا زرد است که چراغ B قرمز باشد.

* چراغ B هنگامی سبز یا زرد است که چراغ A قرمز باشد.

جهت راهنمایی برای حل تمرین جدول صحت مدار را رسم کرده‌ایم. توجه داشته باشید که در این مدار شش خروجی (چراغ راهنمایی) داریم (جدول ۴۴ـ۳).

جدول صحت ۴۵ـ۳ـ جدول صحت مدار چراغ راهنمایی

کلیدهای فرمان		چراغ‌های سمت A			چراغ‌های سمت B		
X	Y	A_R	A_Y	A_G	B_R	B_Y	B_G
0	0	1	0	0	0	0	1
0	1	1	0	0	0	1	0
1	0	0	1	0	1	0	0
1	1	0	0	1	1	1	0

A_R: چراغ قرمز سمت A A_G: چراغ سبز سمت A B_Y: چراغ زرد سمت B

A_Y: چراغ زرد سمت A B_R: چراغ قرمز سمت B B_G: چراغ سبز سمت B

توجه داشته باشید که چراغ‌های قرمز سمت A و سمت B هیچگاه با هم روشن نیستند.

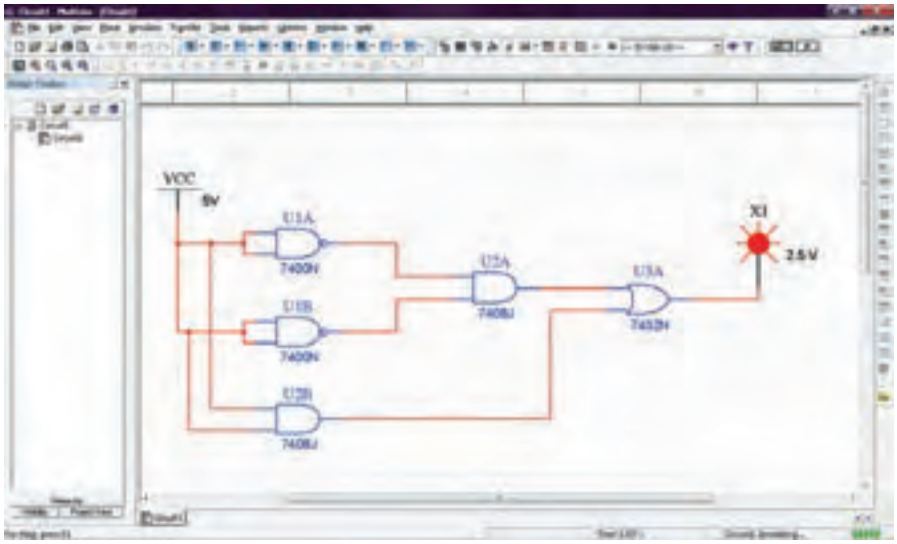
۱۱ـ۳ـ استفاده از نرم‌افزار

با استفاده از نرم‌افزار مولتی سیم، مدارهای شکل ۵۶ـ۳ الف و ب را ببندید و پس از راه‌اندازی، صحت آن را تجربه کنید. برای اجرای نرم‌افزاری، ابتدا باید جدول صحت مدارها را رسم کنید و پس از مشخص کردن وضعیت خروجی، مدار را با آزمایشگاه مجازی، شبیه‌سازی کنید. پیشنهاد می‌شود مثال ۳۳ـ۳ را با استفاده از دستگاه Logic converter شبیه‌ساز مولتی‌سیم اجرا کنید.

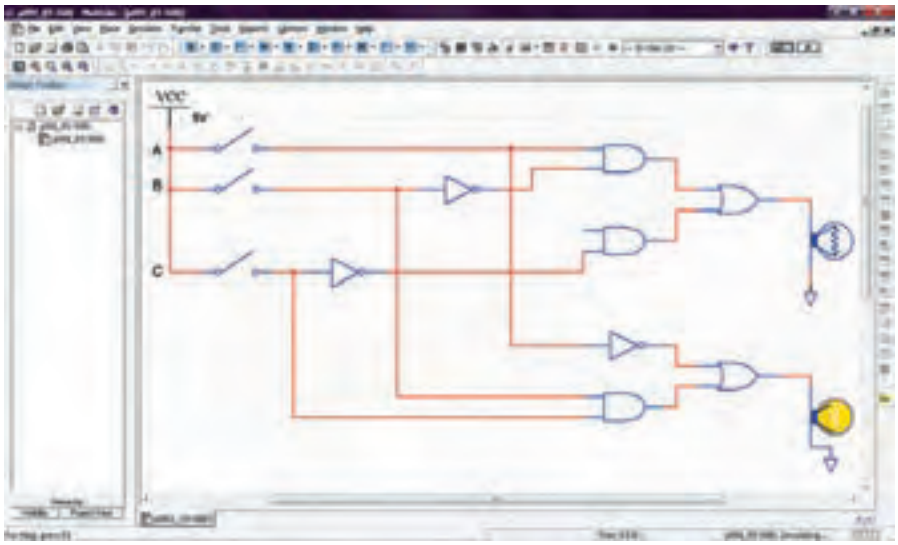
نکتهٔ ۱: برای مدارهای منطقی باید از زمین DGND که نمادی به شکل ⏚ دارد استفاده کنید.

نکتهٔ ۲: برای استفاده از پروب خروجی که در مدار الف استفاده شده است نیازی به اتصال زمین ندارید.

نکتهٔ ۳: برای استفاده از لامپ یا LED در خروجی مدار باید یک سر لامپ یا کاتد LED را به زمین منطقی اتصال دهید.



الف)



ب)

شکل ۵۶ـ۳ـ مدارهای منطقی با استفاده از نرم‌افزار مولتی سیم

۱۲ـ۳ـ الگوی پرسش

۱ـ توابع زیر را به کمک روابط جبربول ساده کنید.

الف)

$$F(A,B,C)=\overline{A}\overline{B}C+A\overline{B}\overline{C}+\overline{A}\overline{B}\overline{C}+ABC+A\overline{B}C$$

ب) $$F(A,B,C,D)=\overline{A}\overline{B}\overline{C}D+\overline{A}\overline{B}CD+ABCD+\overline{A}\overline{B}C\overline{D}+A\overline{B}\overline{C}\overline{D}+\overline{A}BC\overline{D}$$

پ) $$F(A,B,C,D)=\overline{A}\overline{B}\overline{C}D+AB\overline{A}\overline{A}+\overline{A}\overline{B}C\overline{D}+\overline{A}\overline{B}\overline{C}\overline{D}+\overline{A}BC\overline{D}$$

۲ـ توابع زیر را به کمک نقشهٔ کارنو ساده کنید.

الف) $F(A,B,C)=\Sigma_m(0,1,5,6,7)$

ب) $F(A,B,C,D)=\Sigma_m(0,2,5,7,9,11,12,14,15)$

پ) $F(A,B,C,D)=\Sigma_m(2,5,6,7,9,10,11,15)$

۳ـ تابع زیر را به کمک نقشهٔ کارنو ساده کنید.

الف) $F(A,B,C)=\Pi_M(0,2,4,6)$

ب) $F(A,B,C,D)=\Pi_M(0,1,4,7,9,11,13,14)$

۴ـ تابع زیر را به فرم استاندارد بول (عبارت‌های مین‌ترم) در آورید.

$$F(A,B,C,D)=AB\overline{C}+A\overline{D}+ABC$$

۵ـ تابع زیر را به فرم استاندارد بول (عبارت‌های ماکس‌ترم) در آورید.

$$F(A,B,C)=AB+\overline{C}$$

۶ـ توابع زیر را ابتدا ساده کنید و سپس به کمک دروازه‌های منطقی رسم نمایید.

الف) $F(A,B,C)=\Sigma_m(0,1,2,3,5,7)$

ب) $F(A,B,C,D)=\Sigma_m(2,4,6,8,10,12,13,14)$

۷ـ تابع زیر را بعد از ساده نمودن به کمک دروازهٔ منطقی NAND رسم کنید.

$F(A,B,C)=\Sigma_m(1,2,3,5,7)$

۸ـ ساده‌ترین عبارت استخراجی از نقشه‌های کارنوی جدول ۴۶ـ۳ الف، ب، پ و ت را بنویسید.

جدول ۴۶ـ۳ـ نقشهٔ کارنوی الگوی پرسش

الف

C \ AB	00	01	11	10
0	1	1		1
1		1	1	1

ب

C \ AB	00	01	11	10
0	1			1
1	1		1	1

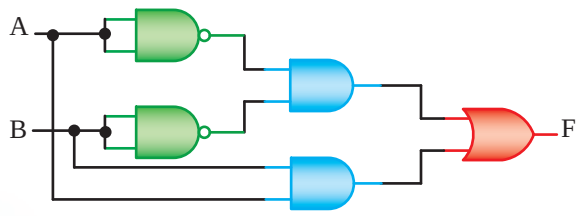
پ

CD \ AB	00	01	11	10
00	1	1		1
01	1	1	1	1
11	1		1	1
10	1			1

ت

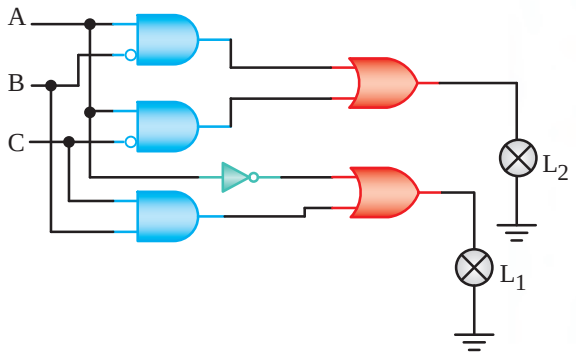
CD \ AB	00	01	11	10
00	1			1
01	1	1		
11		1	1	
10		1	1	

۹ـ در مدار شکل ۵۷ـ۳ پس از به‌دست آوردن رابطهٔ خروجی و ساده‌کردن آن، چه مدار ساده‌ای را می‌توان جایگزین کرد؟



شکل ۵۷ ـ۳ـ مدار مربوط به سؤال ۹

۱۰ـ در مدار شکل ۵۸ـ۳ به‌ازاء کدام حالت ورودی‌ها لامپ L_1 خاموش و لامپ L_2 روشن می‌شود؟



شکل ۵۸ـ۳ـ مدار مربوط به سؤال ۱۰

۱۱ـ در مدار شکل ۵۹ـ۳ شرایط زیر برقرار است.

الف) Z_1 موقعی یک است که $C=0$ و $A=B=1$ یا $B=0$ و $A=C=1$ باشد.

ب) Z_2 موقعی یک است که $C=1$ و $B=1$ و $A=0$ یا $C=1$ و $B=0$ و $A=1$ باشد.

پ) در بقیه‌حالت‌ها $Z_1=Z_2=0$ است.

شکل ۵۹ـ۳ـ مدار سؤال ۱۱

مدار منطقی این مدار ترکیبی را رسم کنید.

۱۲ـ مداری طراحی کنید که وقتی به ورودی آن از صفر تا ۱۵ داده می‌شود، در قبال اعدادی که بر چهار بخش پذیر هستند خروجی (۱) شود.

نقشهٔ کارنوی مدار فوق را رسم کنید.

جهت هنرجویان علاقه‌مند

۱۳ـ مکمل تابع

$F(A,B,C) = \Sigma_m (0,3,6,7)$

را به‌صورت میان‌ترم بدست آورید و نتیجه را ساده کنید.

۱۴ـ یک مدار برای نتایج یک مسابقه با سه نفر شرکت کننده طراحی کرده‌ایم که در آن نتیجهٔ بازی فقط به شرط حداقل دو جواب صحیح از سه جواب داده شده، امتیاز یک دارد. تابع منطقی حاصل از این خروجی مدار را با استفاده از جدول درستی بنویسید.

فصل چهارم

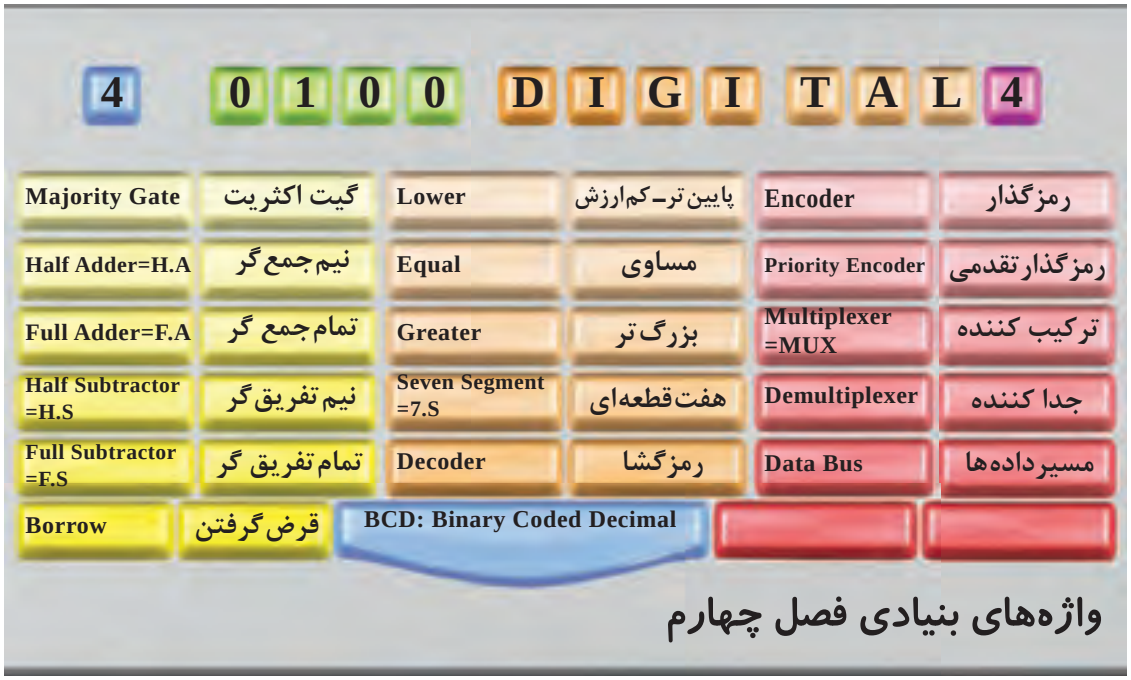
چند مدار ترکیبی کاربردی

هدف کلی: بررسی و طراحی مدارهای ترکیبی که وضعیت خروجی‌های آن در هر لحظه منحصراً به وضعیت ورودی‌های آن، در همان لحظه بستگی دارد و مدارهای ترکیبی با کاربردهای ویژه که به علت مصرف عام به صورت تراشه‌های تجارتی عرضه می‌شوند.

کل زمان اختصاص داده شده به فصل: ۲۴ ساعت آموزشی

هدف‌های رفتاری: در پایان این فصل از فراگیرنده انتظار می‌رود که:

۱ـ مدارهای ترکیبی را تعریف کند.
۲ـ روش طراحی مدارهای ترکیبی را توضیح دهد.
۳ـ چند نمونه مدار ترکیبی را طراحی کند.
۴ـ مدارهای ترکیبی با کاربردهای ویژه را تعریف کند.
۵ـ مدار نیم جمع‌کننده(H.A) را تحلیل کند.
۶ـ مدار تمام‌جمع کننده (F.A) را تحلیل کند.
۷ـ مدار تفریق کنندهٔ ناقص (H.S) را تحلیل کند.
۸ـ مدار تفریق کنندهٔ کامل (F.S) را تحلیل کند
۹ـ انواع کدها را تعریف کند.
۱۰ـ انواع کد را با کد BCD مقایسه کند.
۱۱ـ مبدل هگزادسی‌مال به 7.S (سون سگمنت) را با رسم جدول شرح دهد.
۱۲ـ مبدل BCD به 7.S را با رسم جدول شرح دهد.
۱۳ـ مدار مقایسه کنندهٔ یک بیتی را تحلیل کند.
۱۴ـ مدار رمزگشا (Decoder) را تحلیل کند.
۱۵ـ توابع منطقی را با رمزگشا اجرا کند.
۱۶ـ مدار رمزگذار(Encoder) را تحلیل کند.
۱۷ـ مدار متمرکز کننده (مالتی پلکسر) را تحلیل کند.
۱۸ـ نحوهٔ افزایش ظرفیت متمرکزکننده‌ها را تحلیل کند.
۱۹ـ انتقال اطلاعات به کمک متمرکز کننده‌ها را تحلیل کند.
۲۰ـ توابع منطقی را توسط مالتی پلکسر(متمرکز کننده‌ها) اجرا کند.
۲۱ـ نمایشگرهای الکترونیکی (7.S وLED)را توضیح دهد .
۲۲ـ 7.S کاتد مشترک، آند مشترک و آی‌سی‌های مربوطه را تشریح کند.
۲۳ـ چیپ‌ها(Chips)را از نظرگروه SSI , MSI , LSI و VLSI توضیح دهد.
۲۴ـ با استفاده از data book آی‌سی‌های مدارهای ترکیبی ویژه را شناسایی کند.
۲۵ـ با کمک نرم‌افزار مولتی سیم مدارهای ترکیبی را شبیه سازی کند.
۲۶ـ به سؤالات الگوی پرسش پاسخ دهد.
۲۷ـ کلیهٔ هدف‌های رفتاری در حیطهٔ عاطفی که در فصل اول آمده است را باید در این فصل مورد توجه قرار دهد.



پیش گفتار

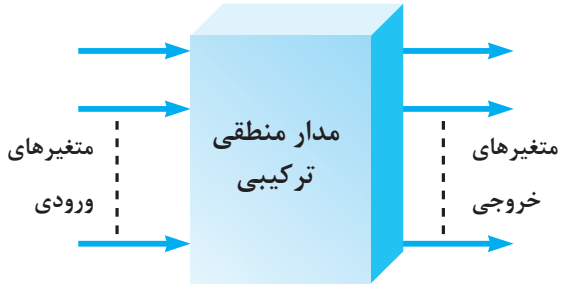
در فصل سوم به بررسی جبر بول پرداختیم و توابع جبری آن را به صورت ساده شده نشان دادیم و اشاره‌ای به مدارهای ترکیبی داشتیم، در این فصل به بررسی مدارهای منطقی ترکیبی با کاربرد ویژه می‌پردازیم. در طراحی و ساخت مدارهای منطقی باید تا حد امکان از ساده‌ترین و کم‌ترین قطعات استفاده شود. به عبارت دیگر، در طراحی مدارهای منطقی باید ابتدا مدارها را با روش‌های مختلف خلاصه و ساده کنید، تا به یک مدار بهینهٔ قابل قبول با حداقل قطعات برسید.

در این فصل، به بررسی مدارهای ترکیبی که کاربری عمومی دارند می‌پردازیم و با زبان ساده آنها را تشریح می‌کنیم.

۱ـ۴ـ مدارهای ترکیبی

مدارهای ترکیبی، مدارهایی هستند که خروجی‌های آنها به طور هم‌زمان به ورودی‌های آنها بستگی دارد. به عبارت دیگر اگر ورودی‌هایی را به شبکه اعمال کنیم و به اندازهٔ کافی صبر کنیم تا روی خروجی‌ها اثر بگذارند، در این شرایط مقادیر خروجی‌ها تحت تأثیر آخرین مجموعهٔ مقادیر ورودی‌ها قرار می‌گیرند و مقدار آنها را مشخص می‌کند.

به آنچه که از مدارهای ترکیبی بیان شد« رفتار مدار» گفته می‌شود. می‌توانیم مدارهای ترکیبی را بر اساس ساختار مدار نیز تعریف کنیم. به عبارت ساده، مدارهای ترکیبی مدارهایی بدون فیدبک (پسخورد) و بدون عنصر حافظه هستند. یک مدار ترکیبی شامل متغیرهای ورودی، دروازه‌های منطقی و متغیرهای خروجی است. شکل ۱ـ۴ بلوک دیاگرام یک مدار ترکیبی را نشان می‌دهد.



شکل ۱ـ۴ـ بلوک دیاگرام یک مدار ترکیبی

۱ـ۱ـ۴ـ روش طراحی مدارهای ترکیبی: در فصل سوم پیاده‌سازی روابط منطقی را با استفاده از گیت‌ها بیان کردیم. در این فصل به طراحی مدارهای ترکیبی می‌پردازیم.

طراحی مدارهای ترکیبی با تعریف یک مسئله شروع می‌شود و با دیاگرام «منطقی مدار» یا «مجموعه‌ای از توابع بول» که با استفاده از آنها می‌توان به سادگی دیاگرام منطقی را به‌دست آورد پایان می‌یابد. مراحل زیر روند طراحی مدارهای ترکیبی را نشان می‌دهد.

۱ـ تعریف دقیق مسئله.

۲ـ تعیین تعداد ورودی‌ها و خروجی‌های لازم.

۳ـ تشکیل جدول درستی مدار که ارتباط بین ورودی‌ها و خروجی‌ها را برقرار کند.

۴ـ نوشتن تابع منطقی .

۵ـ ساده‌سازی تابع منطقی بولی به‌دست آمده برای هر یک از خروجی‌های مدار.

۶ـ رسم مدار منطقی با حداقل گیت یا با گیت‌های خواسته شده.

نکته: در طراحی مدار سعی می‌کنیم تعداد دروازه‌های منطقی و تعداد ورودی‌های آن حداقل باشد.

جدول درستی یک مدار ترکیبی از ستون‌های ورودی و ستون‌های خروجی تشکیل می‌شود.

بر اساس صورت مسئله، با استفاده از 2^n حالت ورودی حالت‌های خروجی را به‌دست می‌آوریم. مشخصات مسئله ممکن است به گونه‌ای باشد که بعضی از ترکیب‌های ورودی هرگز به وجود نیایند. که این حالت‌ها را «حالت‌های بی‌اهمیت» (don´t care) می‌گویند.

۲ـ۱ـ۴ـ طراحی چند نمونه مدار ترکیبی: در فصل سوم، طراحی مدارهای مختلف ترکیبی را فرا گرفتید، برای یادآوری و تأکید بیشتر در این فصل به شرح چند مثال دیگر می‌پردازیم.

مثال ۱ـ۴: مداری با سه ورودی A، B و C طراحی کنید، که اگر ورودی B یک باشد خروجی یک شود.

حل:

الف) رسم جدول صحت: ابتدا جدول صحت را با سه متغیر ورودی و یک خروجی رسم می‌کنیم. با توجه به صورت مسئله در جدول صحت، در شرایطی که ورودی B یک است، خروجی را یک می‌نویسیم.

جدول ۱ـ۴ـ جدول صحت مربوط به مثال ۱ـ۴

شمارهٔ سطر	A	B	C	F
0	0	0	0	0
1	0	0	1	0
2	0	1	0	1
3	0	1	1	1
4	1	0	0	0
5	1	0	1	0
6	1	1	0	1
7	1	1	1	1

ب) نوشتن تابع منطقی مدار: تابع منطقی را با توجه به حالت‌هایی که خروجی یک است می‌نویسیم برای نوشتن تابع منطقی از حاصل جمع حاصل ضرب‌ها (مین‌ترم) استفاده می‌کنیم.

$$F = \overline{A}B\overline{C} + \overline{A}BC + AB\overline{C} + ABC$$

سطر ۲ سطر ۳ سطر ۶ سطر ۷

ج) ساده کردن تابع منطقی: از سطر ۲ و ۶ عبارت $B\overline{C}$ و از سطر ۳ و ۷ عبارت BC را فاکتورگیری می‌کنیم.

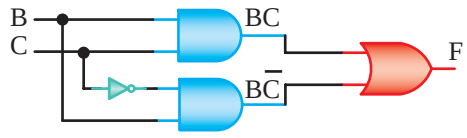
$$F = B\overline{C}(\overline{A} + A) + BC(\overline{A} + A)$$

می‌دانیم هر متغیر که با مکمل خودش جمع شود حاصل آن یک است. همچنین اگر «یک» منطقی در عبارتی ضرب شود، حاصل همان عبارت خواهد بود.

بنابراین عبارت خروجی به صورت زیر در می‌آید.

$$F = B\overline{C} + BC$$

د) طراحی مدار: با توجه به عبارت منطقی به‌دست آمده برای تابع F، مدار شکل ۲ـ۴ را طراحی می‌کنیم.



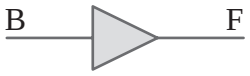
شکل ۲ـ۴ـ مدار مربوط به مثال ۱ـ۴

کمی به عبارت خروجی F توجه کنید، در می‌یابید که می‌توانید تابع F را ساده‌تر کنید. از متغیر B فاکتورگیری می‌کنیم، حاصل به صورت زیر در می‌آید.

$$F = B(\overline{C} + C) = B$$

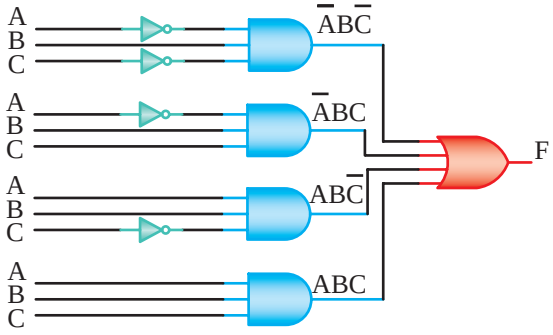
در نتیجه وقتی خروجی یک است که ورودی B یک باشد. به عبارت دیگر، سایر متغیر های ورودی تأثیری در خروجی ندارند و می‌توانند حذف شوند.

مدار شکل ۳ـ۴ مدار ساده شدهٔ عبارت خروجی F است.



شکل ۳ـ۴ـ مدار ساده شدهٔ مثال ۱ـ ۴

اگر از قوانین مربوط به ساده‌کردن عبارت‌های منطقی استفاده نمی‌کردیم باید مدار سادهٔ مثال ۱ـ۴ را به صورت مدار پیچیدهٔ شکل ۴ـ۴ طراحی کنیم.



شکل ۴ـ۴ـ مدار مثال ۱ـ۴ـ قبل از ساده‌شدن

با مقایسهٔ مدارهای شکل ۳ـ۴ و ۴ـ۴ در می‌یابیم که تعداد گیت‌های استفاده شده در مدار ساده شده فقط یک گیت بافر و در مدار ساده نشده ۹ گیت مختلف و پیچیده است. لذا از این تفاوت نمی‌توان به راحتی عبور کرد.

مثال ۲ـ۴: مداری طراحی کنید که یک قفل را با ۳ کلید دو وضعیتی A، B و C کنترل کند. رمز قفل در حالتی باز می‌شود که فقط یک کلید بسته باشد، (بسته بودن به مفهوم «یک» منطقی است).

حل:

الف) ترسیم جدول صحت: ابتدا با توجه به تعداد متغیرها (۳ متغیر) و تعداد حالت‌ها ($۸=۲^۳$) جدول صحت را مطابق جدول ۲ـ۴ رسم می‌کنیم. در این جدول ستون ۱ شمارهٔ سطر و ستون ۲ حالت‌های ورودی‌ها را نشان می‌دهد.

جدول ۲ـ۴ـ جدول صحت مربوط به مثال ۲ـ۴

شمارهٔ سطر	A	B	C	F
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	0
4	1	0	0	1
5	1	0	1	0
6	1	1	0	0
7	1	1	1	0

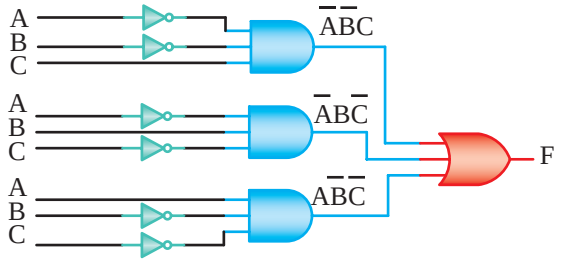
ستون ۴ همان خروجی مدار یا F است که بر اساس تعریف کارمدار، آن را تکمیل می‌کنیم. بنابر صورت مسئله، اگر فقط یکی از ورودی‌ها، یک و بقیه صفر باشند، ستون خروجی یعنی F یک خواهد شد.

ب) نوشتن تابع منطقی مدار: حال باید تابع منطقی را برای حالت‌هایی که مقدار خروجی یک است، بنویسیم. برای نوشتن تابع منطقی می‌توانیم از حاصل جمع حاصل ضرب‌ها (مین‌ترم) استفاده کنیم.

$$F = \underbrace{\overline{A}\overline{B}C}_{\text{سطر ۱}} + \underbrace{\overline{A}B\overline{C}}_{\text{سطر ۲}} + \underbrace{A\overline{B}\overline{C}}_{\text{سطر ۴}}$$

ج) ساده‌کردن تابع منطقی: تابع منطقی به‌دست آمده ساده نمی‌شود.

د) طراحی مدار: برای طراحی مدار ابتدا از تابع منطقی به‌دست‌آمده (F) کمک می‌گیریم، سپس با استفاده از دروازه‌های منطقی AND، OR و NOT مدار را طراحی می‌کنیم. شکل ۴ـ۵ مدار مربوط به مثال ۲ را نشان می‌دهد.

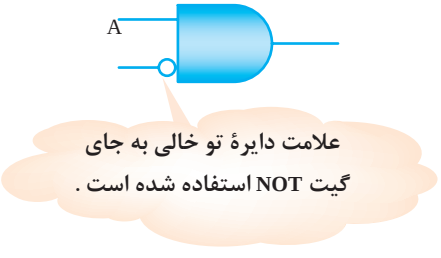


شکل ۴ـ۵ـ مدار مثال ۲ـ۴

همان‌طور که در شکل ۴ـ۵ مشاهده می‌کنید بعضی از ورودی‌ها برای اتصال به گیت بعدی، ابتدا وارد گیت منطقی NOT می‌شوند، تا به‌صورت متمم درآیند. برای هر یک از گیت‌های NOT، یک نماد مداری مشابه شکل ۴ـ۶ رسم شده است.

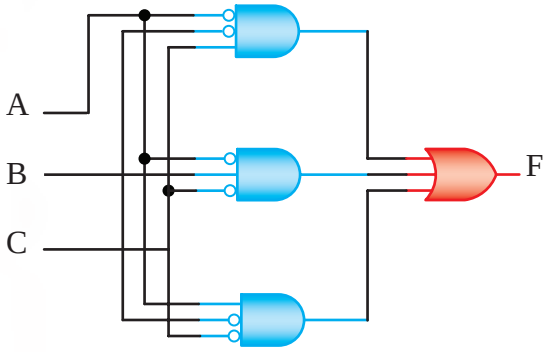
شکل ۴ـ۶ـ دروازهٔ منطقی NOT

برای ساده‌تر شدن مدارهای ترسیمی، در رسم مدارها معمولاً گیت NOT را با یک دایرهٔ تو خالی در ورودی گیت مورد نظر (مثلاً گیت AND) نشان می‌دهند، در شکل ۴ـ۷ این اتصال را مشاهده می‌کنید.



شکل ۴ـ۷ـ نماد گیت NOT به صورت دایرهٔ تو خالی

با استفاده از نماد جدید، مدار شکل ۴ـ۵ را می‌توان به صورت ساده‌تر (شکل ۴ـ۸) درآورد.



شکل ۴ـ۸ـ مدار سادهٔ مثال ۲ـ۴

مثال ۴ـ۳: یک ساختمان دارای سه طبقه است. برق سه فاز وارد ساختمان می‌شود و هر طبقه را با یک فاز تغذیه می‌کند. شرایط کار در ساختمان به‌گونه‌ای است که اگر برق دو طبقه قطع شود (دو فاز قطع شود)، باید حتماً طبقه‌ای که برق دارد نیز قطع شود. مداری طراحی کنید که توانایی وصل بودن حداقل دو فاز را نشان دهد.

حل:

مرحلهٔ اول: برای حل این مسئله ابتدا باید تعداد ورودی‌ها را مشخص کنیم. چون مدار سه فاز است، در نتیجه سه ورودی داریم.

مرحلهٔ دوم: رسم جدول صحت و تعیین حالت‌هایی است که خروجی جواب یک دارد. جدول ۴ـ۳ جدول صحت این مدار را نشان می‌دهد.

جدول ۴ـ۳ـ جدول صحت مثال ۴ـ۳

شمارهٔ سطر	A	B	C	F
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

مرحلهٔ سوم: عبارت‌های منطقی مربوط به خروجی یک را می‌نویسیم.

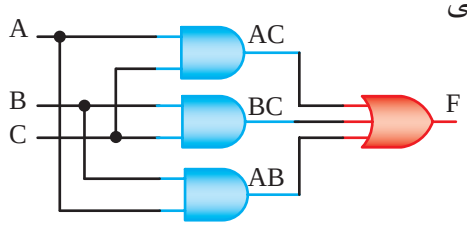
$$F = \overline{A}BC + A\overline{B}C + AB\overline{C} + ABC$$

سطر ۳ سطر ۵ سطر ۶ سطر ۷

مرحلهٔ چهارم: عبارت خروجی را ساده می‌کنیم.

$$F = \underbrace{BC(\overline{A}+A)}_{\text{سطر ۷ و ۳}} + \underbrace{AC(\overline{B}+B)}_{\text{سطر ۷ و ۵}} + \underbrace{AB(\overline{C}+C)}_{\text{سطر ۷ و ۶}}$$

مرحلهٔ پنجم: طراحی و رسم مدار مربوط به خروجی



شکل ۹ـ۴ـ مدار مثال ۳ـ۴

تمرین کلاسی ۱ـ۴: گیت اکثریت (Majority gate) یک مدار دیجیتالی است که اگر اکثر ورودی‌های آن (بیش‌از ۵۰ درصد) یک باشد، خروجی آن نیز یک است . هم‌چنین اگر اکثر ورودی‌های مدار صفر شود، خروجی نیز صفر خواهد بود. حال اگر مدار چهار ورودی داشته باشد، تابع بولی مناسب را بنویسید و مدار آن را طراحی کنید.

۲ـ۴ـ مدارهای ترکیبی با کاربردهای ویژه

در این بخش، بعضی از مدارهای ترکیبی با کاربردهای ویژه، که به علت مصرف عام به‌صورت تراشه‌ها (IC) تجارتی عرضه می‌شوند را معرفی می‌کنیم. ابتدا در هر مورد به بیان اصول کار مدار با تکیه بر مفاهیم اساسی جبر بول می‌پردازیم، سپس بحث را با معرفی تراشه‌های تجارتی به پایان می‌رسانیم.

ماشین‌های محاسبه‌گر دیجیتالی باید مدارهایی باشند که قدرت انجام عملیات ریاضی جمع، تفریق، ضرب، تقسیم و ... را داشته باشند. می‌دانیم کلیهٔ عملیات ریاضی بر اساس جمع و تفریق صورت می‌گیرد، زیرا اجرای سایر عملیات به کمک جمع و تفریق امکان‌پذیر است.

مثلاً برای اجرای ضرب ۹×۳ می‌توانیم ۹ را سه‌بار متوالی با خودش جمع کنیم، یعنی:

۹+۹+۹=۹×۳

یا برای انجام تقسیم ۱۵÷۳، می‌توانیم ۳ را پنج بار متوالی از ۱۵ کم کنیم، و آخرین مرحله که باقی‌مانده مساوی صفر می‌شود، جواب تقسیم است . یعنی:

① ۱۵ـ۳=۱۲
② ۱۲ـ۳ = ۹
③ ۹ـ۳ = ۶
④ ۶ـ۳ =۳
⑤ ۳ـ۳=۰

۵ جواب تقسیم یا خارج قسمت است .

لذا به‌دلیل این که جمع و تفریق اساس عملیات ریاضی را تشکیل می‌دهد. در این مبحث به بررسی جمع کننده و تفریق‌کننده می‌پردازیم.

۱ـ۲ـ۴ـ جمع کنندهٔ ناقص H.A (Half Adder):

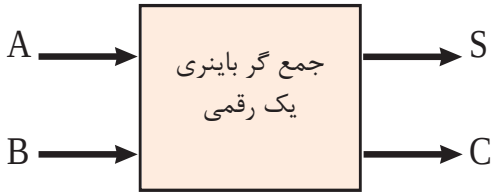
جمع دورقم دودویی را می‌توان با مداری به نام جمع‌کنندهٔ ناقص یا به اختصار H.A انجام دهیم. مدار H.A مداری است که دو ورودی (A و B) و دو خروجی (S و C) دارد. S رقم اول حاصل جمع SUM و C رقم نقلی یا Carry را مشخص می‌کند.

جدول صحت جمع دوبیت A و B را در جدول ۴ـ۴ مشاهده می‌کنید.

جدول ۴ـ۴ـ جدول صحت نیم‌جمع‌کننده

A	B	C	S	
0	0	0	0	0 + 0 = 0
0	1	0	1	0 + 1 = 1
1	0	0	1	1 + 0 = 1
1	1	1	0	1 + 1 =10

بلوک دیاگرام مداری که بتواند دو رقم باینری را با هم جمع کند، در شکل ۱۰ـ۴ نشان داده‌ایم.



شکل ۱۰ـ۴ـ بلوک دیاگرام جمع‌کنندهٔ ناقص

با توجه به جدول ۴ـ۴ به این نتیجه می‌رسیم که اگر فقط دو بیت با هم جمع شوند، رقم نقلی از قبل وجود ندارد و جمع‌کنندهٔ ناقص (نیم‌جمع‌کننده) می‌تواند این عمل جمع را انجام دهد.

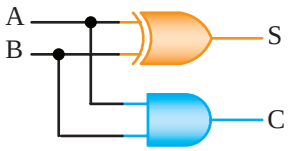
مطابق جدول صحت مدار، تابع S شامل دو جملهٔ $\overline{A}B$ و $A\overline{B}$ است، یعنی:

$$S = \overline{A}B + A\overline{B} = A \oplus B$$

از طرفی تابع C فقط شامل یک جملهٔ AB است یعنی:

$$C = AB$$

با استفاده از مقادیر S و C به کمک یک دروازهٔ XOR و یک دروازهٔ AND می‌توانیم مداری مطابق شکل ۱۱ـ۴ را طراحی کنیم.



شکل ۱۱ـ۴ـ مدار نیم جمع‌گر باینری یک رقمی

در این جمع‌گر، ورودی رقم نقلی پیش‌بینی نشده است. به همین دلیل، به آن جمع‌گر ناقص یا نیم‌جمع‌گر می‌گویند.

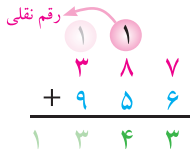
۲ـ۲ـ۴ـ جمع‌کنندهٔ کامل F.A (Full Adder):

برای انجام عملیات جمع اعداد دودویی نیاز به مداری داریم که بتواند ۳ رقم یک بیتی باینری را با هم جمع کند. چنین مداری را جمع‌کنندهٔ کامل می‌گویند و با F.A نشان می‌دهند.

جمع‌کنندهٔ کامل یا تمام‌جمع‌گر مداری است که ۳ خط ورودی (A، B و C_i) و دو خط خروجی (S و C) را دارد. به‌این ترتیب مدار جمع‌کنندهٔ کامل می‌تواند دو رقم دودویی و یک Carry که از مرحلهٔ قبل حاصل شده است را با هم جمع کند.

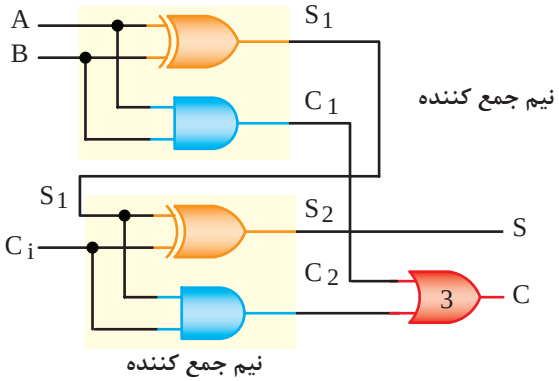
با بیان مثالی در جمع اعداد ده‌دهی درک موضوع را ساده‌تر می‌کنیم.

در جمع دو عدد ۹۵۶ و ۳۸۷ وقتی می‌خواهیم دو رقم دهگان ۵ و ۸ را جمع کنیم ابتدا باید حاصل‌جمع دو رقم یکان را به‌دست آوریم از حاصل‌جمع دو رقم یکان ۶ و ۷ عدد ۱۳ حاصل می‌شود که ۳ را در ستون یکان می‌نویسیم و رقم یک را به ستون دهگان انتقال می‌دهیم که اصطلاحاً ده بر یک می‌گوییم .



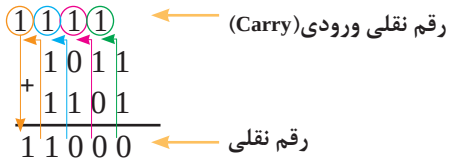
عدد یک، رقم نقلی است که در جمع ۸ و ۵ تأثیر می‌گذارد در سیستم باینری نیز به همین ترتیب رقم نقلی وجود دارد و روی عمل جمع اثر می‌گذارد.

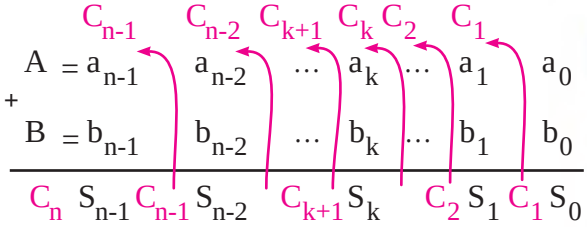
به کمک دو نیم‌جمع‌کننده می‌توان یک تمام‌جمع‌گر یا یک جمع‌گر یک‌بیتی کامل مطابق شکل ۱۲ـ۴ ساخت.



شکل ۱۲ـ۴ـ مدار تمام جمع‌گر یک بیتی

به‌طور مثال برای جمع دو عدد باینری چهار بیتی ۱۰۱۱ و ۱۱۰۱ خواهیم داشت:





یعنی، تمام جمع‌گری که در موقعیت مکانی K قرار می‌گیرد، باید سه بیت C_k، a_k و b_k را با یک دیگر جمع کند.

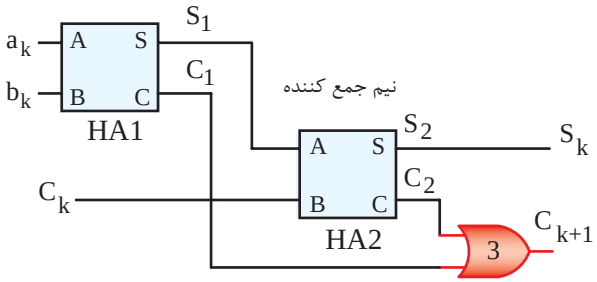
$$C_k+a_k+b_k$$

رابطهٔ بالا را می‌توانیم به صورت زیر بنویسیم.

$$C_k+a_k+b_k= C_k+(a_k+b_k)$$

یعنی، ابتدا ارقام a_k و b_k را با هم جمع کنیم و سپس حاصل جمع آن ها را با C_k جمع می‌کنیم. در طراحی مدار نیز باید به همین ترتیب عمل کنیم. در شکل ۱۳ـ۴ مدارهای نیم‌جمع‌کننده شکل ۱۲ـ۴ به‌صورت بلوک دیاگرام نشان داده شده است در این مدار ابتدا نیم‌جمع‌کننده HA_1 ارقام a_k و b_k را با هم جمع می‌کند و سپس نیم‌جمع‌کننده HA_2 حاصل جمع این دو رقم را با C_k به‌دست می‌آورد.

توجه داشته باشید که هرگز ورودی‌های دروازهٔ OR (گیت شمارهٔ ۳) هم‌زمان یک نمی‌شود، زیرا این امر مستلزم آن است که هر دو نیم جمع‌کننده رقم نقلی یک ایجاد کنند، و این تنها در صورتی تحقق می‌یابد که هر دو ورودی نیم جمع‌کننده یک باشند.



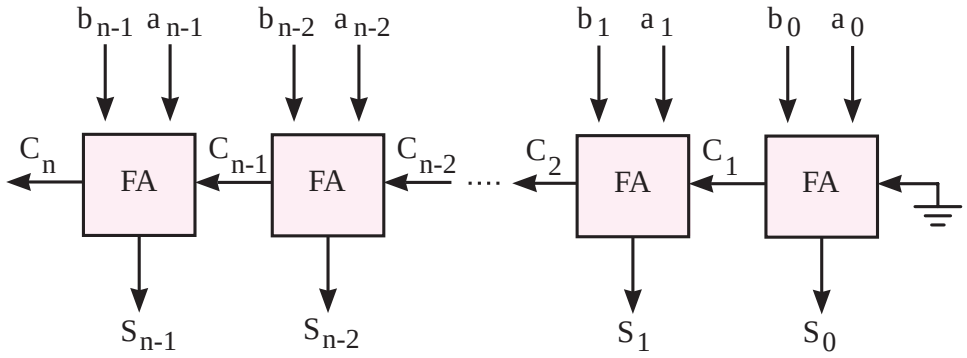
شکل ۱۳ـ۴ـ بلوک دیاگرام تمام جمع‌گر

حال اگر هر دو ورودی a_k و b_k برابر یک باشند، خروجی $S_1=0$ و $C_1=1$ می‌شود. چون خروجی $S_1=0$ است، خروجی $C_2=0$ می‌شود، (آیا می‌دانید چرا؟)

اگر ورودی‌های a_k و b_k هم‌زمان یک نشوند، خروجی $C_1=0$ می‌شود؛ یعنی، هرگز خروجی‌های C_1 و C_2 هم‌زمان یک نمی‌شوند.

تمرین کلاسی ۲ـ۴: جدول صحّت یک تمام جمع‌گر یک بیتی را بنویسید و به کمک آن توابع S_k و C_{k+1} را بر حسب ورودی‌های a_k , b_k و C_k به‌دست آورید.

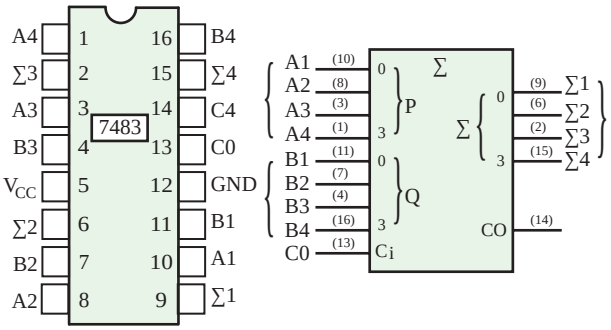
برای جمع کردن دو عدد n رقمی، باید n طبقهٔ تمام جمع‌گر را مطابق شکل ۱۴ـ۴ پشت سر هم ببندیم.



شکل ۱۴ـ۴ـ بلوک دیاگرام یک جمع‌گر n بیتی

مطابق این الگو، خروجی‌های طبقهٔ اوّل- یعنی S_0 و C_1- بلافاصله پایدار می‌شوند، ولی خروجی‌های طبقهٔ دوم، ابتدا حاصل جمع a_1+b_1 را نشان می‌دهند و پس از رسیدن C_1 به حاصل جمع پایدار خود می‌رسند. سایر طبقات نیز تا رسیدن رقم نقلی طبقات ماقبل به حالت پایدار نمی‌رسند. این نوع جمع‌گر را که در آن رقم نقلی به‌صورت موجی از طبقهٔ اول ایجاد می‌شود و به‌تدریج طبقات دیگر را تحت تأثیر قرار می‌دهد، جمع‌گر موازی با رقم نقلی موجی (Parallel Ripple Carry Adder) می‌نامند. تأخیر انتشار رقم نقلی در مواردی که تعداد ارقام دو عدد زیاد باشد موجب کندی عمل جمع می‌شود. در جمع‌گرهای با سرعت زیاد با به‌کار بردن شیوه‌های خاصّی رقم نقلی هر طبقه را پیش‌بینی و مستقیماً ایجاد می‌کنند. جمع‌گرهای باینری چهار بیتی با رقم نقلی موجی به‌صورت آی‌سی عرضه می‌شود. نمونه‌هایی از این آی‌سی‌ها به‌صورت تجارتی ۱۶ پایه با شماره‌های ۷۴LS۸۳، ۷۴۸۳A و۷۴HC۸۳ در بازار وجود دارند.

در شکل ۱۵ـ۴ مشخصات تراشهٔ ۷۴۸۳A را مشاهده می‌کنید.

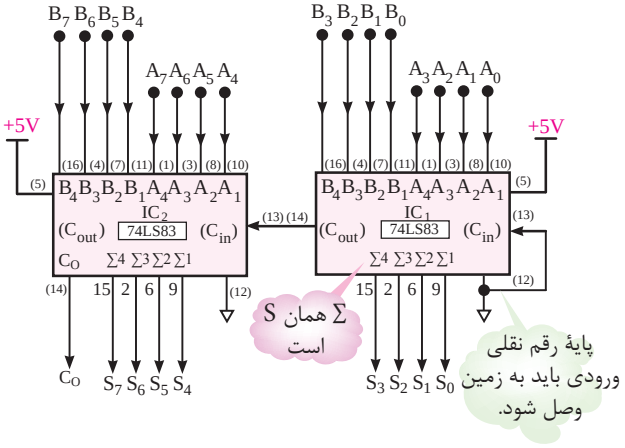


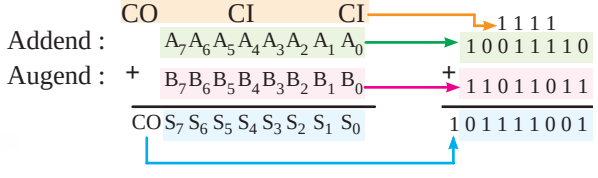
شکل ۱۵ـ۴ـ مشخصات جمع‌گر چهار بیتی ۷۴۸۳A

برای جمع‌کردن اعداد بزرگ‌تر از چهار رقم می‌توان از چند تراشهٔ تجارتی استفاده کرد.

در شکل ۱۶ـ۴، چگونگی انجام دادن عمل جمع دو عدد هشت بیتی را با استفاده از دو جمع‌گر چهار بیتی ۷۴LS۸۳ مشاهده می‌کنید. در تراشهٔ سمت راست چون رقم نقلی از مرحلهٔ اولی وجود ندارد پایهٔ ۱۳ این آی‌سی به زمین اتصال داده می‌شود. دو عدد هشت بیتی $A_7\ A_6\ A_5\ A_4\ A_3\ A_2\ A_1\ A_0$ و $B_7\ B_6\ B_5\ B_4\ B_3\ B_2\ B_1\ B_0$ را با هم جمع می‌کنیم. ابتدا در آی‌سی IC_1 (سمت راستی) ارقام $A_3\ A_2\ A_1\ A_0$ با $B_3\ B_2\ B_1\ B_0$ جمع می‌شوند و اگر رقم نقلی ایجاد شود به پایهٔ ۱۴ آی‌سی سمت چپ انتقال می‌یابد. سپس ارقام $A_5\ A_4$ با $A_7\ A_6$ جمع شده و در صورتی که رقم نقلی ایجاد شود در پایهٔ ۱۴ آی‌سی دوم ظاهر می‌شود. حاصل جمع چهار بیت کم ارزش‌تر در پایه‌های ۹ و۶ و۲ و۱۵ آی‌سی سمت راست و حاصل‌جمع چهار بیت با ارزش بالاتر را در پایه‌های ۹ و۶ و۲ و ۱۵ آی‌سی سمت چپ مشاهده می‌کنید.

جهت هنرجویان علاقه‌مند: با استفاده از نرم‌افزار مولتی سیم یا پروتئوس دو عدد آی‌سی ۷۴۸۳ مدار شکل ۱۶ـ۴ را ببندید و با تغییر ورودی‌ها به حالت‌صفر و یک نتیجه را در خروجی‌های مدار مشاهده کنید.





شکل ۱۶ـ۴ـ چگونگی انجام دادن عمل جمع دو عدد هشت بیتی به کمک دو جمع‌گر ۷۴LS۸۳

جهت هنرجویان علاقه‌مند: با استفاده از نرم‌افزار مولتی سیم مدار تمام جمع گر ۴ بیتی و تمام‌جمع گر هشت بیتی را ببندید و نتیجهٔ جمع را در آزمایشگاه مجازی تجربه کنید. مدار شبیه سازی شده را به کلاس ارائه نمائید.

۳ـ۲ـ۴ـ تفریق کنندهٔ ناقص H. S

(Half Subtractor): عمل تفریق دودویی را در فصل اول فرا گرفتیم و همان‌طور که اشاره شده برای اجرای عمل تفریق از متمم کامل اعداد استفاده می‌کنیم.

مدار تفریق‌کنندهٔ ناقص یا نیم‌تفریق‌کننده شامل دو ورودی (y,x) و دو خروجی(B,D) است. خروجی D حاصل‌تفریق و خروجی B رقم قرضی (Borrow) می‌باشد.

در حین تفریق (x y)، اگر $x \geq y$ باشد یعنی (۰ـ۰، ۱ـ۰, ۱ـ۱) عمل تفریق انجام می‌شود و به رقم قرضی نیاز نداریم. ولی اگرx<y باشد یعنی (۱ـ۰) بایستی یک واحد از مرتبهٔ بالاتر قرض بگیریم. یک واحد قرض گرفته شده از مرتبهٔ بالاتر، ۲ واحد به بیت مورد نظر اضافه می‌کند (در سیستم دودویی). این عمل را عیناً در سیستم ده‌دهی شاهد هستیم که منجر به اضافه شدن ۱۰ واحد به رقم قرض گیرنده می‌شود .پس حاصل‌تفریق $(1)_2$ (۱۰ ـ ۱=) برابر با یک می‌شود. جدول ۵ـ۴ جدول صحت تفریق‌کنندهٔ ناقص را نشان می‌دهد.

جدول ۵ـ۴ـ جدول صحت نیم‌تفریق‌کننده

ورودی‌ها X	ورودی‌ها Y	خروجی‌ها B	خروجی‌ها D
0	0	0	0
0	1	1	1
1	0	0	1
1	1	0	0

می‌دانیم 10

0 - 1 Ø -

0 1

0 1

1 - 1 -

0 1

1 0

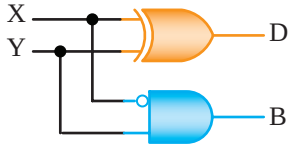
بر اساس جدول تفریق‌کنندهٔ ناقص عبارت مربوط به‌خروجی‌ها را می‌نویسیم.

$$D = \overline{x}y + x\overline{y} = \overline{x \oplus y}$$

$$B = \overline{x}y$$

جالب توجه است که مقادیر خروجی D در اینجا با مقادیر خروجی در نیم جمع‌کننده یکسان است.

با استفاده از مقادیر به‌دست آمده در تابع خروجی، مدار نیم تفریق‌کننده به صورت شکل ۱۷ـ۴ در می‌آید.

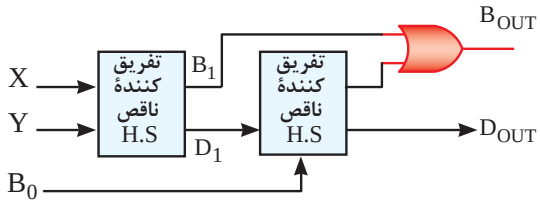


شکل ۱۷ـ۴ـ مدار نیم تفریق کننده

۴ـ۲ـ۴ـ تفریق کنندهٔ کامل F.S

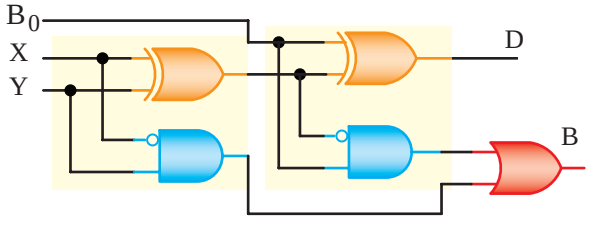
(Full Subtractor): می‌توان مطابق روشی که برای مدارهای «تمام جمع‌کننده» ذکر شده مدار تمام تفریق‌کننده یا تفریق‌کنندهٔ کامل را نیز با دو تفریق‌کنندهٔ ناقص و یک گیت OR ساخت.

شکل ۱۸ـ۴ بلوک دیاگرام تفریق‌کنندهٔ کامل را نشان می‌دهد.



شکل ۱۸ـ۴ـ بلوک دیاگرام تفریق کنندهٔ کامل

در شکل۱۸ـ۴، B_0 رقم قرض گرفته شده از مرحلهٔ قبل است. مشابه آن‌چه که برای مدارهای تمام جمع‌کننده گفته شد.



شکل ۱۹ـ۴ـ مدار تفریق‌کنندهٔ کامل

مدارتفریق کنندهٔ کامل از دو مدار تفریق‌کنندهٔ ناقص و یک گیت OR مطابق شکل ۱۹ـ۴ تشکیل شده است.

در عمل برای انجام دادن تفریق (x y)، x را با مکمل دو y جمع می‌کنند و رقم نهایی را نادیده می‌گیرند. به مثال زیر توجه کنید.

مثال ۴ـ۴: تفریق مستقیم دو عدد باینری

```
 11011
-01110
-------
 01101   حاصل تفریق
```

اگر متمم دو عدد ۰۱۱۱۰ را به‌دست آوریم خواهیم داشت:

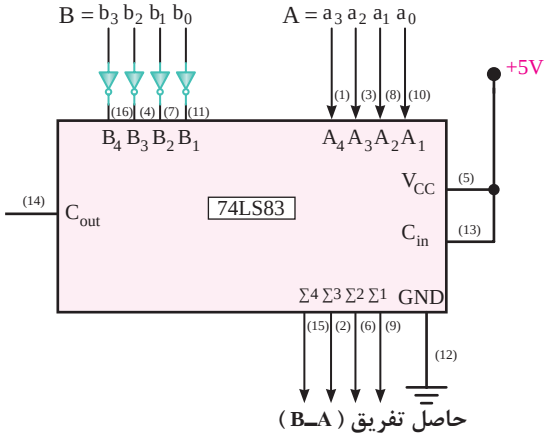
۰۱۱۱۰ ⟶ (متمم ۲) ⟶ ۱۰۰۱۰

حال عدد ۱۱۰۱۱ را با متمم ۲ جمع می‌کنیم.

رقم نقلی نهایی را حذف می‌کنیم. همان‌طور که مشاهده می‌شود حاصل تفریق در این روش مشابه حاصل تفریق در روش مستقیم است.

```
 11011
+10010
-------
(1)01101   حاصل تفریق
 ↑
رقم نقلی نهایی
```

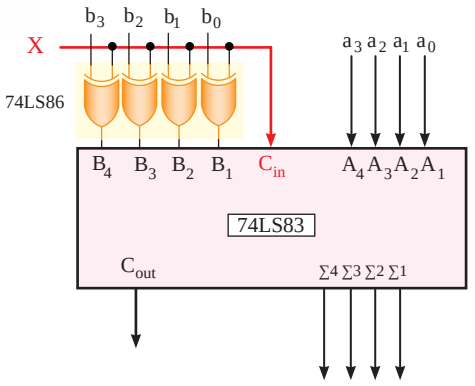
در شکل ۲۰ـ۴ مدار تفریق‌کننده را با استفاده از آی‌سی ۷۴۸۳ و به کمک متمم ۲ مشاهده می‌کنید.



شکل ۲۰ـ۴ـ انجام دادن تفریق به کمک متمم ۲

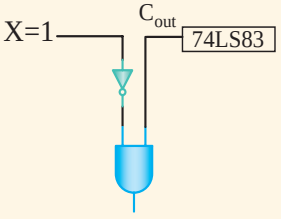
همان‌طور که در شکل ۲۰ـ۴ مشاهده می‌کنید، چگونگی عمل تفریق دو عدد باینری چهار بیتی با استفاده از آی‌سی ۷۴۸۳ نشان داده شده است. ورودی C_{in} جمع کنندهٔ کامل به $+V_{CC}$ وصل شده است تا با افزودن «۱» به $\overline{B}$، متمم ۲، B ایجاد شود.

اگر مدار شکل ۲۰ـ۴ را به‌صورت شکل ۲۱ـ۴ تغییر دهیم، بسته به آن که خط کنترل X، «۰» یا «۱» باشد، قادر به انجام عمل (A+B)یا تفریق (B–A) خواهد بود.



شکل ۲۱ـ۴ـ مدار جمع کننده / تفریق کننده چهار بیتی

نکته: ورودی C_{in} جمع کنندهٔ کامل به خط X وصل شده است وقتی x=۱ است. (۱) واحد به $\overline{B}$ اضافه می‌شود تا متمم(۲) عدد B به‌دست آید. برای حذف C_{out} در این مرحله از مدار شکل ۲۲ـ۴ استفاده می‌شود.



شکل ۲۲ـ۴ـ مدار مربوط به پایهٔ C_{out} و خط X

جهت هنرجویان علاقه‌منـد: در آزمایشگـاه با استفاده از یک عدد آی‌سی ۷۴۸۳ مدار شکل ۲۱ـ۴ را ببندید و با تغییر ورودی‌ها به حالت‌های صفر و یک نتیجهٔ عمل جمع یا تفریق دو عدد دل‌خواه را مشاهده کنید و جدول صحت مدار را رسم کنید.

مربیان عزیز با استفاده از نرم‌افزار مولتی سیم، مدار تفریق‌کنندهٔ کامل ۴بیتی را ببندید و نتیجهٔ تفریق را در آزمایشگاه مجازی و مدار شبیه سازی شده به کلاس ارائه نمایید.

۵ـ۲ـ۴ـمقایسه‌کنندهٔ یک‌بیتی: درمقایسهٔ دو بیت، اگر فقط قرار باشد که تساوی یا عدم تساوی نشان داده شود، ساده‌ترین مدار استفاده ازگیت X NOR است. در این مقایسه کننده اگر دو بیت مساوی باشند خروجی «۱» و در غیر این صورت خروجی«۰» می‌شود.

جدول ۶ـ۴، جدول صحت گیت X NOR را نشان می‌دهد.

جدول ۶ـ۴ـ جدول صحت گیت X_ NOR

A	B	F
0	0	1
0	1	0
1	0	0
1	1	1

تمرین کلاسی ۳ـ۴: از چه گیت دیگری می‌توان برای مقایسه مساوی بودن یا مساوی نبودن دو بیت استفاده کرد؟ جدول صحت آن را نیز رسم کنید.

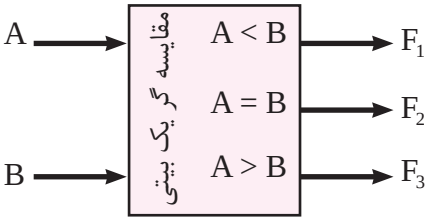
تمرین کلاسی ۴ـ۴: چه تفاوتی در خروجی گیت X_NOR و گیت تمرین کلاسی۳ وجود دارد؟ بنویسید و جدول صحت آن را نیز رسم کنید.

در مقایسه بین دو بیت، ممکن است بزرگ‌تر، کوچک‌تر و مساوی بودن بیت‌ها مورد نظر باشد. جدول۷ـ۴ جدول مقایسه بین دو بیت A و B را نشان می‌دهد.

جدول ۷ـ۴ـ جدول مقایسه دو بیت A وB

A	B	F_1 A < B	F_2 A = B	F_3 A > B
0	0	0	1	0
0	1	1	0	0
1	0	0	0	1
1	1	0	1	0

مطابق جدول۷ـ۴ سه خروجی داریم. در شکل ۲۳ـ۴ بلوک دیاگـرام مقایسه‌کننـدهٔ یک بیتـی را مشاهـده می‌کنید:



شکل ۲۳ـ۴ـ بلوک دیاگرام مقایسه‌گر یک بیتی

با توجه به جدول صحت مقایسه‌گر یک‌بیتی، عبارت بولی هریک از خروجی‌های F_1، F_2 و F_3 را می‌نویسیم:

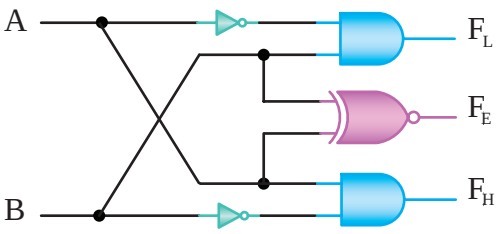
نکته: L به معنی Lower (کمتر)، E به معنی Eequal (معادل) و G به معنی Greater (بزرگ‌تر) است .

$F_L=\bar{A}B$

$F_E=\bar{A}\bar{B}+AB$

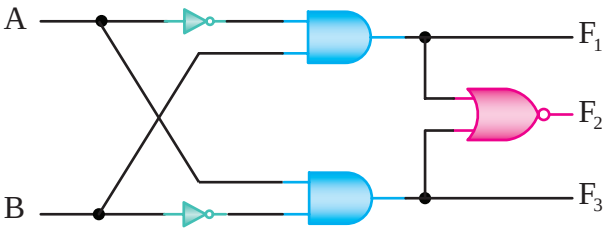
$F_H=A\bar{B}$

با استفاده از توابع به‌دست آمده از خروجی‌ها می‌توان مدار شکل ۲۴ـ۴ را طراحی کرد.



شکل ۲۴ـ۴ـ مدار مقایسه گر یک‌بیتی

تمرین کلاسی ۵ـ۴: مدار ۲۵ـ۴ را تحلیل کنید و جدول صحت هر یک از خروجی‌های F_1، F_2 و F_3 را رسم کنید. نتیجه را با مدار شکل ۲۴ـ۴ مقایسه کنید.



شکل ۲۵ـ۴ـ مدار تمرین کلاسی

۳ـ۴ـ انواع کدها

از آن جا که رمزکردن اطلاعات برای ایجاد ارتباط با رایانه صورت می‌گیرد و از طرفی رایانه تنها صفرها و یک‌ها را می‌شناسد، برای کد کردن اطلاعات کافی است آنها را به‌صورت رشته‌ای از صفرها و یک‌ها درآوریم که مثلاً برای نشان دادن کد مربوط به چهار نوع اطلاعات دوبیتی متفاوت، به‌صورت رو به رو عمل می‌کنیم:

اطلاعات اول: به صورت کد شده ← ۰۰

اطلاعات دوم: به صورت کد شده ← ۰۱

اطلاعات سوم: به صورت کد شده ← ۱۰

اطلاعات چهارم: به صورت کد شده ← ۱۱

چون هر یک از اطلاعات دارای کدی متفاوت با بقیه است، هیچ کدام از کدها به اشتباه به جای دیگری استفاده نمی‌شود. بنابراین برای رمز کردن کافی است که بتوانیم اطلاعات را به‌صورت رشته‌هایی متفاوت ازصفرها و یک‌ها درآوریم.

اگر اطلاعاتی که به صورت کد درآورده می‌شوند، تنها اعداد باشند، کدهای به‌دست آمده را کدهای عددی و اگر اطلاعاتی که به‌صورت کد درآورده می‌شوند، حروف الفبا، ارقام یا علائم باشند، کدهای حرفی عددی نامیده می‌شوند. به‌طورکلی اگر یک برنامهٔ نرم‌افزاری نصب شده در یک بانک را در نظر بگیریم، مشاهده می‌کنیم که جستجوی اطلاعات از دو طریق شمارهٔ حساب و نام فرد امکان‌پذیر است.

در نتیجه دراین سامانه به هردو نوع کد عددی و حرفی نیاز داریم. کدهای متنوعی برای نمایش اعداد تعریف شده است، که هرکدام اهداف خاصی را دنبال می‌کنند. ولی به‌طور کلی می‌توان انواع کد عددی را به صورت جدول ۸ـ۴ تقسیم‌بندی کرد.

جدول ۸ـ۴ـ انواع کد عددی

- ۱ـ کد وزن دار
  - الف وزن دار مثبت
  - ب وزن دار منفی
  - پ BCD
    - ۱ـ وزن ۴۲۲۱
    - ۲ـ وزن ۸۴۲۱
- ۲ـ کد بدون وزن
  - الف همینگ
  - ب گری
  - پ مازاد۳ یا کد افزونی ۳
- ۳ـ کد باینری (دودویی)
- ۴ـ کد اکتال (هشت تایی)
- ۵ـ کد هگزا دسی مال (شانزده تایی)

در فصل اول به تفصیل در مورد کدهایی که استفاده بیشتری دارند توضیح داده شده است و معرفی این کدها جهت آشنایی است.

۱ـ۳ـ۴ـ مقایسه انواع کد با کد BCD: بعضی از ماشین‌های محاسبه‌گر الکترونیکی عملیات ریاضی را در کد BCD انجام می‌دهند. در کد BCD هر رقم دهدهی با چهار بیت باینری معادل آن نشان داده می‌شود.

مثال ۵ـ ۴: اعداد ۳ و ۹ و ۲۳۵ در سیستم دهدهی را به‌صورت کد به‌دست آورید.

حل: برای تبدیل اعداد باینری به کد BCD در صورتی که تعداد ارقام آنها کم‌تر از ۴ رقم باشد. کد باینری را می‌نویسیم و سپس به تعدادی که بیت کم دارد در سمت چپ کد باینری صفر اضافه می‌کنیم. مثلاً برای عدد $(۳)_{۱۰}$ داریم:

$(۳)_{۱۰}=(۱۱)_{۲}=۰۰۱۱$

معادل باینری ۳ — تعداد صفرهای اضافه شده

کد BCD

در صورتی که تعداد ارقام باینری در جواب عدد مورد نظر برابر با ۴ رقم باشد همان را می‌نویسیم . مثلاً برای عدد $(۹)_{۱۰}$ داریم:

$(۹)_{۱۰}=(۱۰۰۱)_{۲}=(۱۰۰۱)_{BCD}$

توجه شود اگر عدد دهدهی چند رقمی باشد، برای هر رقم دهدهی، کد باینری را به‌دست می‌آوریم، سپس معادل آن را به صورت BCD می‌نویسیم. مثلاً برای عدد $(۲۳۵)_{۱۰}$ داریم:

$(۲۳۵)_{۱۰}=(۱۱۱۰۱۰۱۱)_{۲}$

معادل هر رقم دهدهی در سیستم باینری: $(۱۰)_{۲}$ $(۱۱)_{۲}$ $(۱۰۱)_{۲}$

معادل هر رقم باینری در سیستم BCD: (۰۰۱۰) (۰۰۱۱) (۰۱۰۱)

کد BCD

$(۲۳۵)_{۱۰}=(۱۱۱۰۱۰۱۱)_{۲}=(۰۰۱۰\ ۰۰۱۱\ ۰۱۰۱)_{BCD}$

توجه داشته باشید که در این روش نمایش اعداد، باید هر رقم دهدهی را با چهار بیت باینری نمایش دهیم. در جدول ۹ـ۴ تفاوت نمایش ارقام دهدهی از صفر تا ۹ به صورت باینری و BCD نمایش داده شده است.

جدول ۹ـ ۴ نمایش ارقام دهدهی ۰ تا ۹ به صورت باینری و BCD

عدد BCD	عدد باینری	عدد دهدهی
0000	0	0
0001	1	1
0010	10	2
0011	11	3
0100	100	4
0101	101	5
0110	110	6
0111	111	7
1000	1000	8
1001	1001	9

تمرین کلاسی ۶ـ۴: اعداد ۷و۱۵و۴۶۰ در سیستم دهدهی را به‌صورت باینری و کد BCD به‌دست آورید.

با توجه به تبدیل سیستم‌های باینری، اکتال و هگزادسی‌مال به یک‌دیگر، می‌توان انواع کدها را به کد BCD تبدیل کرد.

۴ـ۴ـ مبدل BCD به 7.S (نمایشگر هفت قطعه‌ای)

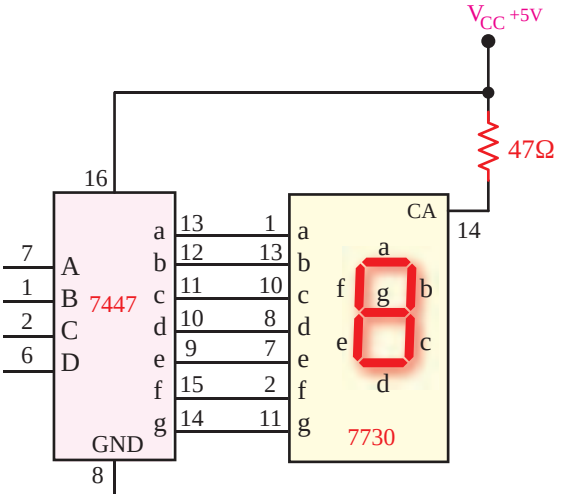
نمایشگر هفت قسمتی 7.S(Seven segment display) برای نمایش هر یک از ارقام ۰ تا ۹ به کار می‌رود و با توجه به آن‌چه که توضیح داده می‌شود، معمولاً رقم دهدهی را می‌توان به راحتی به کد BCD تبدیل کرد.

برای نمایش کد BCD در 7.S باید از آی سی ۷۴۴۷ (برای 7.S آند مشترک) و آی‌سی ۷۴۴۸ (برای 7.S کاتد مشترک) استفاده کنیم.

شکل ۲۶ـ۴ مدار مربوط به این مبدل را نشان می‌دهد. رقم BCD را به ورودی‌های آی سی ۷۴۴۷ می‌دهیم. پایه‌های A , B , C و D ورودی‌های آی‌سی هستند و پایه‌های a,b,c,d,e,f و g خروجی‌های آی‌سی که به 7.S اتصال می‌یابند.

ورودی D با ارزش‌ترین رقم BCD و ورودی A کم‌ارزش‌ترین رقم BCD را دریافت می‌کند.

آی‌سی ۷۷۳۰ نمایشگر هفت قسمتی آند مشترک است. پایهٔ ۱۴ آند مشترک (CA) ورودی مشترک برای تمام LEDهاست.

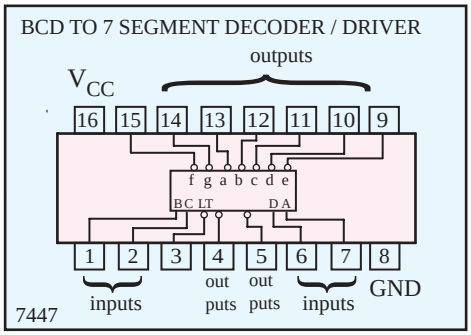


شکل ۲۶ ـ۴ـ مبدل BCD به 7.S

برای محدود کردن جریان و جلوگیری از آسیب رسیدن به نمایشگر هفت قطعه‌ای 7.S یک مقاومت ۴۷ Ω را به صورت سری با V_{CC} و در مسیر پایهٔ مشترک ۱۴ قرار می‌دهیم.

در شکل ۲۷ـ۴ نقشهٔ داخلی و پایه‌های آی‌سی ۷۴۴۷ را ملاحظه می‌کنید.

V_{CC} به پایه ۱۶ و زمین به پایهٔ ۸ آی‌سی وصل می‌شود. پایه‌های ورودی A , B , C و D به ترتیب به پایه های۷،۱،۲و۶ آی سی متصل می‌شود. خروجی‌های آی‌سی پایه‌های a, b, c, d, e, f و g هستند که به‌ترتیب به پایه‌های۱۳، ۱۲، ۱۱، ۱۰، ۹، ۱۵ و۱۴وصل می‌شوند. پایه‌های ۳، ۴ و ۵ آی‌سی را به V_{CC} وصل می‌کنند.



شکل ۲۷ـ۴ـ نقشهٔ داخلی آی‌سی ۷۴۴۷

جهت هنرجویان علاقه‌مند: مدار BCD به 7.S را برای آی‌سی ۷۴۴۸ (کاتد مشترک) توسط نرم‌افزار مولتی سیم ببندید و نتیجهٔ فعالیت آزمایشگاهی را به کلاس ارائه کنید.

۱ـ۴ـ مبدل هگزادسی‌مال به 7.S: در سیستم هگزادسی‌مال (شانزده‌تایی) ارقام از صفر شروع می‌شوند و تا ۱۵ خاتمه می‌یابند. همان‌طور که می‌دانید از رقم ۱۰ تا ۱۵ را در این سیستم به‌صورت حروف A تا F نمایش می‌دهند.

در مبدل هگزادسی‌مال به 7.S برای نمایش ارقام می‌توان از جدول ۱۰ـ۴ استفاده کرد. البته اگر بخواهیم ارقام سیستم هگزا دسی‌مال را به صورت BCD در 7.S نمایش دهیم باید از دو عدد 7.S استفاده کنیم، (آیا می‌دانید چرا؟)

چون هدف در این قسمت مبدل هگزادسی‌مال به 7.S است فقط از یک آی‌سی ۷۴۴۷ و یک 7.S استفاده می‌کنیم و مداری مشابه مدار ۲۶ـ۴ را می‌بندیم. ورودی‌ها مانند مدار ۲۶ـ۴ در پایه‌های C, B, A و D آی‌سی ۷۴۴۷ قرار دارند.

جدول ۱۰ـ۴ اعداد صفر تا ۱۵ در سیستم ده‌دهی، تبدیل

آن به هگزادسی‌مال و نمایش آن در 7.S را نشان می‌دهد.

جدول ۱۰ـ۴ـ مبدل هگزا دسی‌مال به 7.S و نمایش ارقام

سطر	کد باینری	کد هگزا دسی‌مال	پایه‌های 7-Seg a b c d e f g	نمایش عدد
0	0 0 0 0	0	1 1 1 1 1 1 0	0
1	0 0 0 1	1	0 1 1 0 0 0 0	1
2	0 0 1 0	2	1 1 0 1 1 0 1	2
3	0 0 1 1	3	1 1 1 1 0 0 1	3
4	0 1 0 0	4	0 1 1 0 0 1 1	4
5	1 0 1 0	5	1 0 1 1 0 1 1	5
6	0 1 1 0	6	1 0 1 1 1 1 1	6
7	0 1 1 1	7	1 1 1 0 0 0 0	7
8	1 0 0 0	8	1 1 1 1 1 1 1	8
9	1 0 0 1	9	1 1 1 1 0 1 1	9
10	1 0 1 0	A	1 1 1 1 1 0 1	A
11	1 0 1 1	B	0 0 1 1 1 1 1	b
12	1 1 0 0	C	1 0 0 1 1 1 0	C
13	1 1 0 1	D	0 1 1 1 1 0 1	d
14	1 1 1 0	E	1 1 0 1 1 1 1	E
15	1 1 1 1	F	1 0 0 0 1 1 1	F

۵ـ۴ـ الگوی پرسش

۱ـ نشان دهید چگونه می‌توان سه تابع:

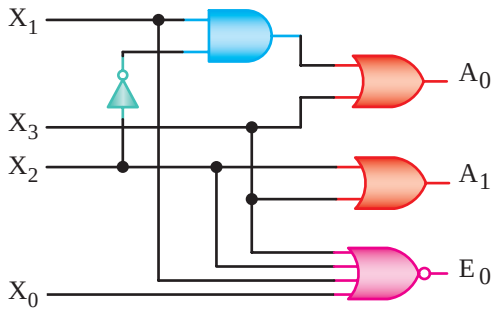
$$F_1 = A \oplus B \oplus C$$

$$F_2 = \overline{A}BC + A\overline{B}C$$

$$F_3 = ABC$$

را به کمک سه مدار نیم‌جمع‌کننده اجرا کرد .

۲ـ جدول صحت مدار شکل ۴ـ۲۸ را به‌دست آورید.



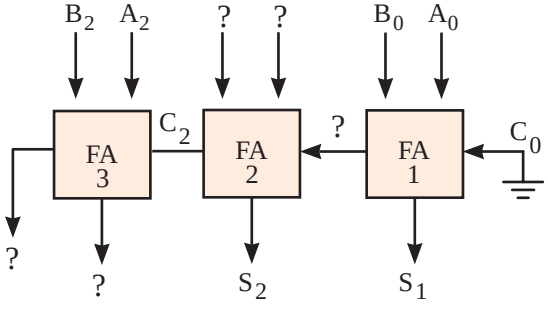
شکل ۴ـ۲۸ـ مدار سؤال ۲

جدول صحت سؤال ۲ الگوی پرسش

X_3	X_2	X_1	X_0	A_1	A_0	E_0
0	0	0	0			
0	0	0	1			
0	0	1	0			
0	0	1	1			
0	1	0	0			
0	1	0	1			
0	1	1	0			
0	1	1	1			
1	0	0	0			
1	0	0	1			
1	0	1	0			
1	0	1	1			
1	1	0	0			
1	1	0	1			
1	1	1	0			
1	1	1	1			

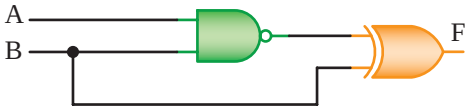
۳ـ یک مقایسه کننده طراحی کنید که در آن دو عدد دو بیتی A و B را با هم مقایسه کند و وضعیت A=B را در خروجی نشان دهد.

۴ـ بلوک دیاگرام شکل ۴ـ۲۹ را که مربوط به یک جمع‌کنندهٔ ۳ بیتی با استفاده از تمام جمع‌کننده است را کامل کنید.



شکل ۴ـ۲۹ـ مدار سؤال ۴

۵ـ در شکل ۳۰ـ۴ تابع خروجی را بنویسید و جدول صحت آن را بدست آورید.



شکل ۳۰ـ۴ـ مدار سؤال ۵

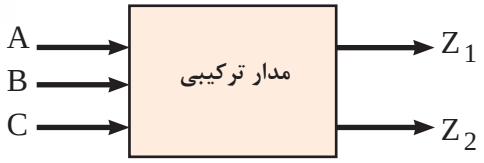
۶ـ دو عدد ۱۰۱۰۱۱۱۰ =A و ۱۰۰۱۱۱۱ =B را با هم جمع کنید و حاصل‌جمع را در یک مدارتمام جمع کننده با استفاده از آی‌سی ۸۳ LS ۷۴ نشان دهید. آیا پایهٔ ۱۴ آی‌سی دوم خروجی یک دارد؟

۷ـ در مدار شکل ۳۱ـ۴ شرایط زیر برقرار است:

الف) Z_1 موقعی یک است که C=۰ , A=B=۱ یا B=۰ و A=C=۱ باشد .

ب) Z_2 موقعی یک است که C=۱ , B=۱ و A=۰ یا C=۱ و B=۰ و A=۱ باشد .

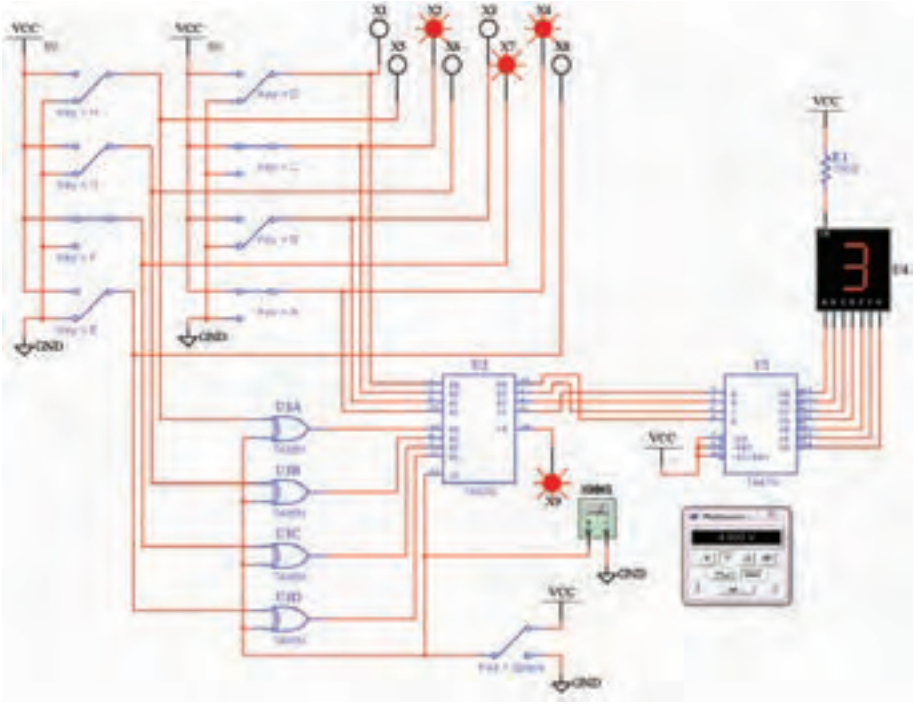
ج) در بقیهٔ حالات $Z_1=Z_2=0$ است. مدار منطقی این مدار ترکیبی را رسم کنید و جدول صحت آن را به‌دست آورید.



شکل ۳۱ـ۴ـ مدار سؤال ۷

۸ـ مدار شکل ۳۲ـ۴ مدار جمع‌کننده و تفریق‌کننده با استفاده از آی‌سی ۷۴۸۳ است. این مدار را با استفاده از نرم‌افزار ببندید و به کلاس ارائه نمائید.

کلید key = Space را اگر به زمین وصل کنید مدار به عنوان جمع‌کنندهٔ ۴ بیتی عمل می‌کند و می‌توانید با تغییر کلیدهای A تا H اعداد مختلف ۴ بیتی (باینری) را به مدار اعمال کنید. و نتیجهٔ جمع را در 7.S مشاهده کنید. چنانچه key = Space را به V_{CC} وصل کنید مدار به عنوان تفریق‌کنندهٔ کامل ۴ بیتی عمل می‌کند. با تغییرکلیدهای ورودی،نتیجه را در 7.S مشاهده کنید.



شکل ۳۲ ـ۴ـ مدار جمع‌کننده و تفریق‌کننده

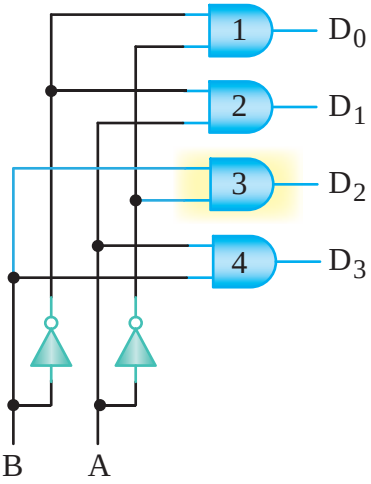
جهت هنرجویان علاقه‌مند:

۹ـ جدول صحت تفریق کنندهٔ کامل را رسم کنید.

۶ـ۴ـ مدارهای رمزگشا (Decoder):

برای دریافت اطلاعات از دستگاه‌های محاسباتی دیجیتالی مداری مورد نیاز است که اطلاعات را از حالت دودویی به اعشاری تبدیل کند. خروجی این مدارها معمولاً به نمایشگرها متّصل می‌شود. این تبدیل کننده‌ها را رمزگشا و عملی را که انجام می‌دهند رمزگشایی می‌نامیم. هر رمزگشا با n ورودی دارای حداکثر 2^n خروجی است و در هر لحظه تنها یکی از 2^n خروجی فعال است. به عبارت دیگر، هر یک از خروجی‌های آن متناظر با یک ترکیب خاص ورودی (یک جمله حاصل ضرب نرمال یا مین‌ترم) است.

در شکل ۳۳ـ۴ یک رمزگشای ۴←۲ (بخوانید ۲ به ۴) و در جدول ۱۱ـ۴ جدول صحّت آن نشان داده شده است.



شکل ۳۳ـ۴ـ مدار رمز گشای ۴←۲

جدول ۱۱ـ۴ـ جدول صحت مدار رمزگشا

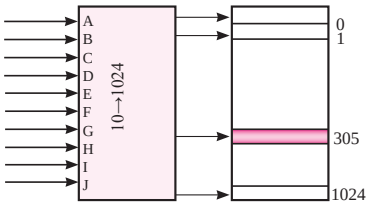
B	A	D_0	D_1	D_2	D_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

ورودی‌های A و B را ورودی‌های آدرس و خروجی‌های D_0 , D_1 , D_2 و D_3 را خروجی‌های داده می‌نامیم. همان‌طورکه در شکل دیده می‌شود، خروجی دروازهٔ شمارهٔ ۱ فقط به ازای ترکیب ورودی BA = ۰۰ فعّال می‌شود («۱» می‌شود)؛ یعنی؛ $D_0 = \overline{A}\,\overline{B}$.

به همین ترتیب، می‌توانیم بنویسیم: $D_1 = A\overline{B}$، $D_2 = \overline{A}B$ و $D_3 = AB$.

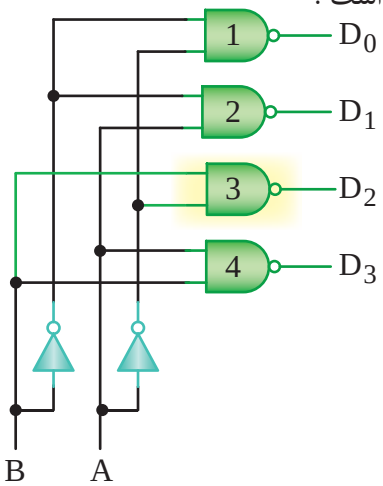
(توجّه کنید که در این‌جا A متغیر کم‌ارزش‌تر و B متغیر با ارزش‌تر از آن است، یعنی: $A=2^0=1$, $B=2^1=2$).

از رمزگشاها برای آدرس‌دهی اجزای مختلف گیرنده یا فرستندهٔ اطلاعات یک سیستم نیز استفاده می‌شود؛ مثلاً اگر بخواهیم کلمه‌ای را در یک سطر معیّن حافظه بنویسیم یا آن را از سطر معینی از حافظه بخوانیم، نخست باید محلّ سطر مورد نظر را مشخص کنیم. در شکل ۳۴ـ۴ سطر ۳۰۵م از یک حافظه با ظرفیت ۱۰۲۴ کلمهٔ آدرس داده شده است (در بخش مدارهای ترتیبی با ساختمان حافظه‌های نیمه‌هادی آشنا خواهید شد.)



شکل ۳۴ـ۴ـ آدرس دهی مکان یک کلمهٔ معین از حافظه

ممکن است رمزگشا با دروازه‌های NAND ساخته شده باشد. در این صورت، حالت فعال خروجی‌ها «۰» خواهد بود. در شکل ۳۵ـ۴ یک رمزگشای ۴←۲ نشان داده شده است .



شکل ۳۵ـ۴ـ رمزگشای ۴←۲

جدول ۱۲ـ۴ـ جدول صحت رمزگشای ۴←۲

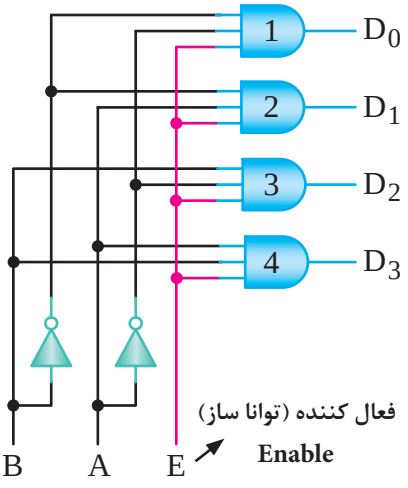
B	A	D_0	D_1	D_2	D_3
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

جدول ۱۲ـ۴ـ جدول صحت دکودر ۴←۲ با حالت فعّال Low را نشان می‌دهد.

همان‌طورکه در شکل نشان داده شده، دروازهٔ شماره ۳ در حالت فعّال است، ورودی‌های این دروازه از $\overline{A}$ و B گرفته شده است.

در بعضی از رمزگشاها علاوه بر ورودی‌های آدرس، یک ورودی فعال‌کننده (Enable) (تواناساز) نیز پیش‌بینی شده است. اگر این ورودی در حالت غیر فعّال نگه‌داشته شود، رمزگشایی انجام نخواهد شد.

در شکل ۳۶ـ۴ یک رمزگشا ۴←۲ با خط تواناساز به‌همراه جدول صحت آن را در جدول ۱۳ـ۴ مشاهده می‌کنید.



شکل ۳۶ـ۴ـ رمزگشای ۴←۲ با خط تواناساز

جدول ۱۳ـ۴ـ جدول صحت دکودر ۴←۲ با خط تواناساز

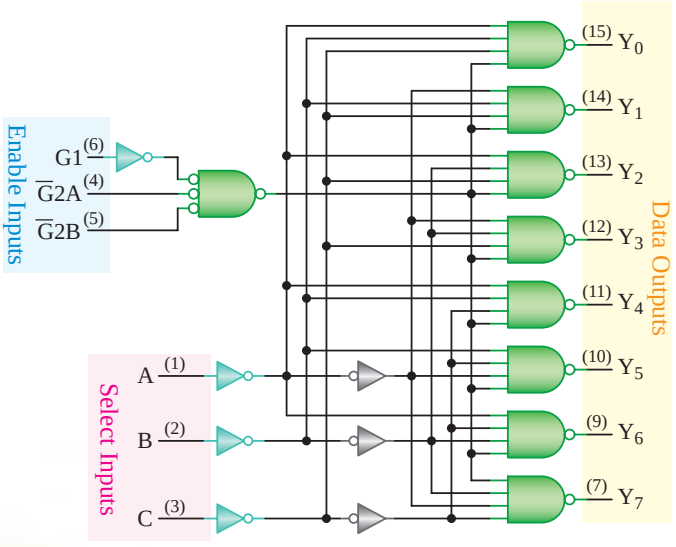
E	B	A	D_0	D_1	D_2	D_3
0	X	X	0	0	0	0
1	0	0	1	0	0	0
1	0	1	0	1	0	0
1	1	0	0	0	1	0
1	1	1	0	0	0	1

نکته: در آی‌سی‌ها از کلمات Enable و Disable استفاده می‌کنند. کلمهٔ Enable به معنی فعال‌کننده و Disable به‌معنی غیرفعال‌کننده به‌کار می‌رود.

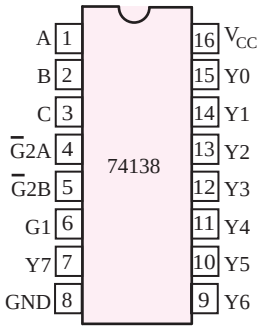
با توجه به جدول صحت ۱۳ـ۴ هرگاه یک ورودی را با X نشان دهند به معنای این است که اگر ارزش منطقی صفر یا یک باشد برای خروجی مدار بی‌تفاوت است. و درسطر اول جدول صحت چون ورودی E در صفر منطقی قرار گرفته است عمل رمز گشایی انجام نمی‌شود. در سطرهای دوم تا پنجم چون ورودی E برابر با «یک» است عمل رمزگشایی انجام خواهد شد.

در شکل ۳۷ـ ۴ مدار یک رمز گشای ۸ ← ۳ به‌همراه جدول صحت آن، جدول ۱۴ـ ۴ نشان داده شده است.

همان‌طور که ملاحظه می‌کنید، رمزگشا دارای دو خط فعال کنندهٔ G_1 و G_2 است که حالت فعال آنها برای G_1 برابر یک و برای G_2 برابر صفر است. در کتاب‌های راهنمای تراشه‌های تجارتی؛ وضعیت ورودی و خروجی‌ها را به جای صفر و یک با حروف L (مخفف Low) و H مخفف High مشخص می‌کنند.



الف) مدارهای داخلی آی‌سی ۷۴۱۳۸



ب) مشخصات پایه‌های آی‌سی ۷۴۱۳۸

شکل ۳۷ـ۴ـ مدارهای داخلی و مشخصات آی‌سی ۷۴۱۳۸

نکته: هدف از نمایش مدارهای داخلی آی‌سی فقط شناسایی پایه‌های Enable آی‌سی است و در آزمون‌ها از مدار داخلی آی‌سی نباید سؤال داده شود.

جدول ۱۴ـ ۴ـ جدول صحت رمز گشای ۸ ← ۳ با دو خط توانساز

INPUTS												
ENABLE		SELECT			OUTPUTS							
G1	$\overline{G2}$	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

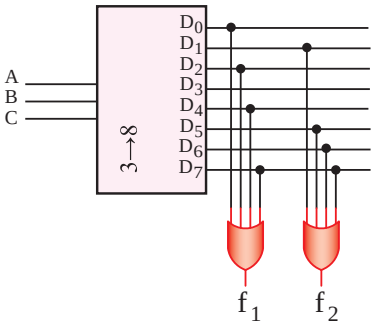
برای اجرای توابع منطقی نیز می‌توانیم از رمزگشا استفاده کنیم. بدین منظور باید هریک از متغیرهارا به ورودی آدرس متناظر با ارزش آن و همهٔ خروجی‌های رمزگشا را که متناظر با حالت‌های «۱» تابع است، به ورودی‌های یک دروازهٔ OR وصل کنیم.

مثال ۶ـ ۴: با توجه به جدول ۱۵ـ ۴ توابع منطقی F_1 و F_2 را به کمک یک رمزگشای ۸ ← ۳ اجرا کنید.

جدول ۱۵ـ۴ـ مربوط به مثال ۶ـ۴

	C	B	A	f_1	f_2
0	0	0	0	0	0
1	0	0	1	1	0
2	0	1	0	1	0
3	0	1	1	0	1
4	1	0	0	1	0
5	1	0	1	0	1
6	1	1	0	0	1
7	1	1	1	1	1

حل: چون $F_1=\Sigma m(0,2,4,7)$ و $F_2=\Sigma m(1,5,6,7)$ است، برای اجرای هریک از توابع F_1 و F_2 از یک دروازهٔ OR چهار ورودی مطابق شکل ۳۸ـ۴ استفاده می‌کنیم.



شکل ۳۸ـ۴ـ رمز گشا ۸ ← ۳

اگر رمزگشا با دروازه‌های NAND ساخته شده باشد، در اجرای توابع منطقی به‌جای دروازه‌های OR باید از دروازه‌های NAND استفاده کنیم (به یاد آورید که ترکیب AND-OR معادل ترکیب NAND NAND است.

مثال ۷ـ ۴: یک مدار تمام‌جمع‌کنندهٔ یک بیتی با استفاده از رمزگشا طراحی کنید.

حل: ابتدا جدول صحت S و C مربوط به جمع‌کنندهٔ کامل را به‌دست می‌آوریم حال با توجه به جدول صحت ۱۶ـ ۴ داریم:

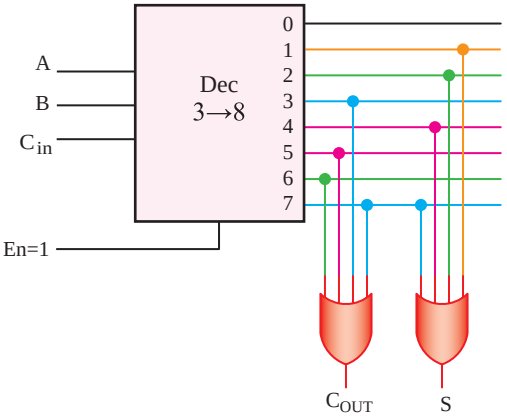
جدول ۱۶ـ ۴ـ جدول صحت جمع‌کنندهٔ کامل

	A	B	C_{in}	C_{OUT}	S
0	0	0	0	0	0
1	0	0	1	0	1
2	0	1	0	0	1
3	0	1	1	1	0
4	1	0	0	0	1
5	1	0	1	1	0
6	1	1	0	1	0
7	1	1	1	1	1

مطابق جدول ۱۷ـ۴ خروجی‌های S و C_{out} در سطرهای زیر جواب یک دارند.

$$S = \sum m(1,2,4,7) \quad S = \Sigma m\ (۱,۲,۴,۷)$$
$$C_{out} = \Sigma m\ (۳,۵,۶,۷)$$

در تمام‌جمع‌کننده ۳ ورودی و ۲ خروجی داریم. پس رمزگشایی را انتخاب می‌کنیم که ۳ ورودی داشته باشد و ۸=$۲^۳$خروجی و خروجی‌ها را بر اساس مین‌ترم‌ها به هم وصل می‌کنیم.



شکل ۳۹ـ۴ـ مدار جمع‌کننده با استفاده از رمزگشا

تمرین کلاسی ۷ـ۴: تابع منطقی رأی اکثریت یک کمیتهٔ سه نفره را با یک رمز گشای ۸←۳ اجرا کنید.

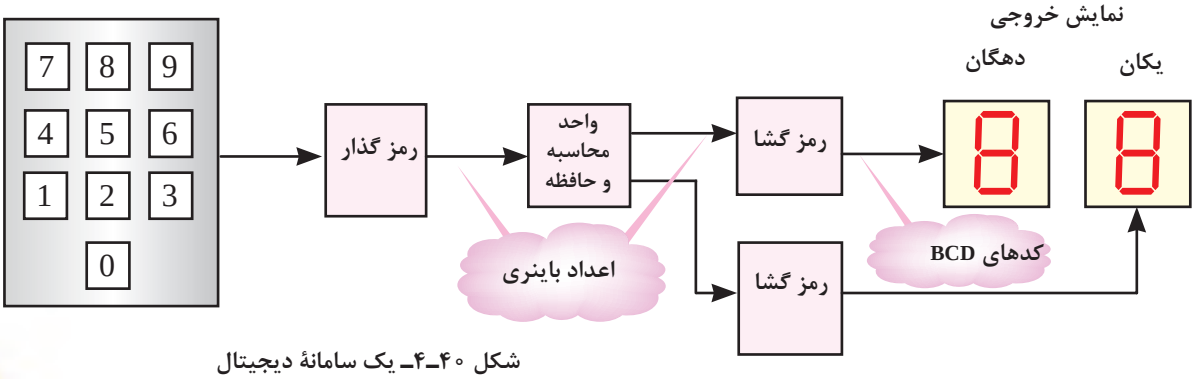
تمرین کلاسی ۸ـ۴: تابع $F=\Sigma m(۱,۲,۴,۷)$ را با یک رمزگشای ۸ ← ۳ که با گیت‌های NAND ساخته شده است را اجرا کنید.

تمرین کلاسی ۹ـ۴: یک رمزگشای ۴ ← ۲ با دروازه‌های AND را با خط تواناساز صفر فعال رسم کنید.

۷ـ۴ـ مدارهای رمزگذار (Encorder)

اعدادی که به کامپیوتر یا سامانهٔ دیجیتالی داده می‌شود، در سیستم ده‌دهی هستند. چون کامپیوتر با اعداد باینری کار می‌کنند، اعداد ده‌دهی باید به اعداد باینری تبدیل شوند. مداری‌که اطّلاعات را از حالت ده‌دهی به باینری تبدیل می‌کند، رمزگذار نام دارد.

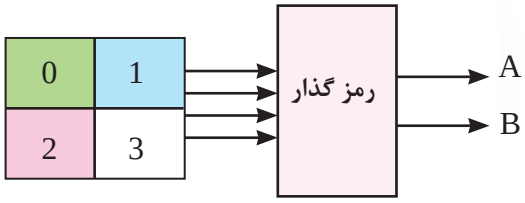
شکل ۴۰ـ۴ یک سامانهٔ دیجیتال را نشان می‌دهند.



شکل ۴۰ـ۴ـ یک سامانهٔ دیجیتال

یک رمزگذار با m ورودی ده‌دهی باید دارای nخروجی باشد؛ به‌طوری‌که همواره نامساوی $2^n \geq m$ برقرار باشد.

برای مثال یک صفحه‌کلید با شماره‌های صفر تا سه را می‌توان به دو خط باینری تبدیل کرد. در شکل ۴ـ۴۱ بلوک دیاگرام یک رمزگذار ۲←۴ به همراه جدول صحت در جدول ۴ـ۱۷ نشان داده شده است.



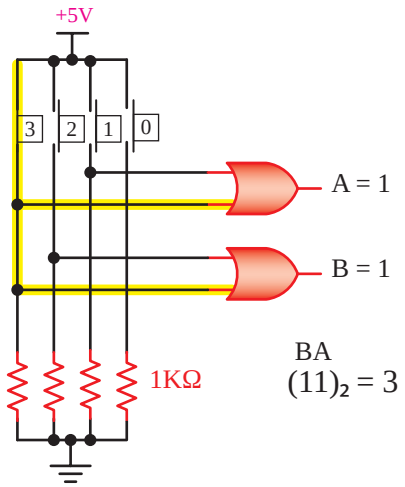
شکل ۴ـ۴۱ـ بلوک دیاگرام رمزگذار ۲ ← ۴

جدول ۴ـ۱۷ـ جدول صحت رمزگذار ۲ ← ۴

I_3	I_2	I_1	I_0	B	A
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

همان‌طورکه مشاهده می‌کنید، در هرلحظه باید فقط یکی از ورودی‌های رمزگذار در حالت فعال قرار گیرد تا درست عمل کند. ورودی I_0، I_1، ... معرّف کلیدهای ورودی است و ۱ در جدول نشان دهندهٔ فعّال بودن آن کلید است.

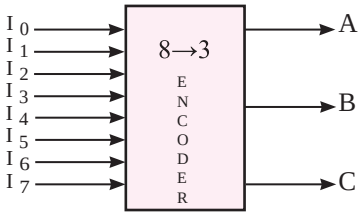
مدار رمزگذار ۲←۴ را می‌توان مطابق شکل ۴ـ۴۲ طراحی کرد. چنان‌چه کلید ۳ فشرده شود یکی از خطوط دو گیت OR«۱» منطقی می‌شود. که سبب ایجاد عدد باینری سه «۱۱» در خروجی رمزگذار می‌شود.



شکل ۴ـ۴۲ـ مدار رمزگذار ۲ ← ۴

تمرین کلاسی ۴ـ۱۰: در مدار شکل ۴ـ۴۲ اعداد باینَری صفر تا دو چگونه ظاهر می‌شوند؟ توضیح دهید.

در شکل۴ـ۴۳ دیاگرام یک رمزگذار۳←۸ (بخوانید ۸ به ۳) و در جدول ۴ـ۱۸ جدول صحّت آن نشان داده شده است. همان‌طورکه مشاهده می‌کنید، در هر لحظه باید فقط یکی از ورودی‌های رمزگذار در حالت فعّال باشد.



شکل ۴ـ۴۳ـ بلوک دیاگرام رمزگذار ۳ ← ۸

جدول ۴ـ۱۸ـ جدول صحت یک رمزگذار ۳ ← ۸

ورودی‌ها								خروجی‌ها		
I_7	I_6	I_5	I_4	I_3	I_2	I_1	I_0	C	B	A
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	0
0	0	1	0	0	0	0	0	1	0	1
0	1	0	0	0	0	0	0	1	1	0
1	0	0	0	0	0	0	0	1	1	1

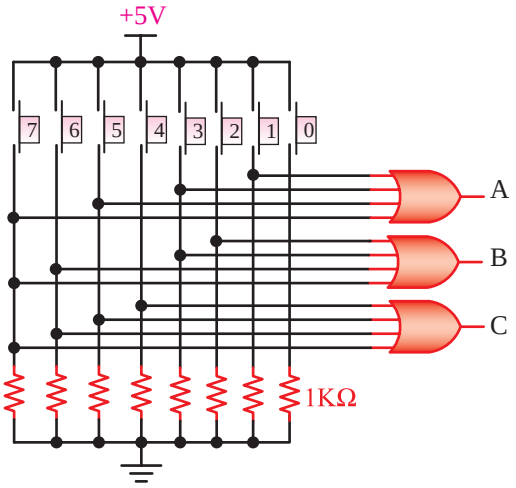
مطابق جدول فوق، معادلات بول هریک از خروجی‌های A، B و C را می‌نویسیم:

$$A=I_1+I_3+I_5+I_7$$

$$B=I_2+I_3+I_6+I_7$$

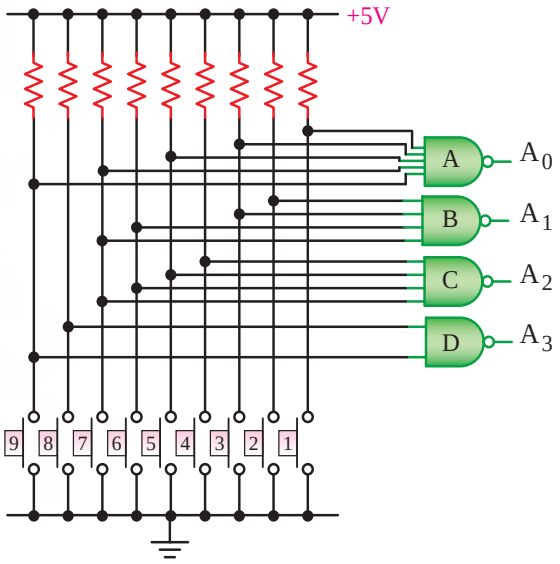
$$C=I_4+I_5+I_6+I_7$$

مدار این رمزگذار در شکل ۴۴ـ۴ رسم شده است.



شکل ۴۴ـ۴ـ مدار رمز گذار ۳ ← ۸

مدارهای رمزگذار را می‌توان با دروازه‌های منطقی NAND نیز طراحی کرد. در این صورت، حالت فعّال ورودی‌ها «۰» خواهد بود. در شکل ۴۵ـ۴ مدار یک رمزگذار ده‌دهی به باینری که با دروازه‌های NAND اجرا شده است را مشاهده می‌کنید. جدول صحت این مدار را در جدول ۱۹ـ۴ آورده‌ایم. توجّه کنید که در این مدار برای رقم صفر، ورودی خاصّی در نظر گرفته نشده است؛ زیرا زمانی که همهٔ کلیدهای ۱ تا ۹ قطع باشند، خروجی‌های مدار در حالت «۰۰۰۰» منطقی قرار می‌گیرند که معادل صفر اعشاری است.



شکل ۴۵ـ۴ـ رمزگذار ده‌دهی به باینری

جدول ۱۹ـ۴ـ جدول صحّت رمزگذار ده‌دهی به باینری

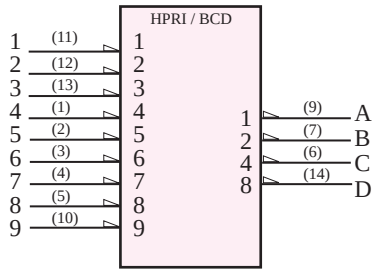
INPUTS									OUTPUTS			
1	2	3	4	5	6	7	8	9	A_3	A_2	A_1	A_0
0	1	1	1	1	1	1	1	1	0	0	0	1
1	0	1	1	1	1	1	1	1	0	0	1	0
1	1	0	1	1	1	1	1	1	0	0	1	1
1	1	1	0	1	1	1	1	1	0	1	0	0
1	1	1	1	0	1	1	1	1	0	1	0	1
1	1	1	1	1	0	1	1	1	0	1	1	0
1	1	1	1	1	1	0	1	1	0	1	1	1
1	1	1	1	1	1	1	0	1	1	0	0	0
1	1	1	1	1	1	1	1	0	1	0	0	1
1	1	1	1	1	1	1	1	1	0	0	0	0

همان‌گونه که متذکّر شدیم، در یک لحظهٔ معیّن فقط یکی از ورودی‌های رمزگذار می‌تواند فعّال شود؛ مثلاً در شکل ۴۵ـ۴ اگر کلید ۹ فشرده شود، درخروجی مدار ترکیب باینری همارز آن یعنی ۱۰۰۱ ظاهر می‌شود. حال اگر به طور اتّفاقی کلیدهای ۶ و ۹ هم‌زمان فشرده شوند، در خروجی مدار ترکیب باینری ۱۱۱۱ ظاهر می‌شود که معادل هیچ کدام از ارقام ۶ یا ۹ نیست.برای پیش‌گیری از بروز این‌گونه خطاها، رمزگذارهای صنعتی

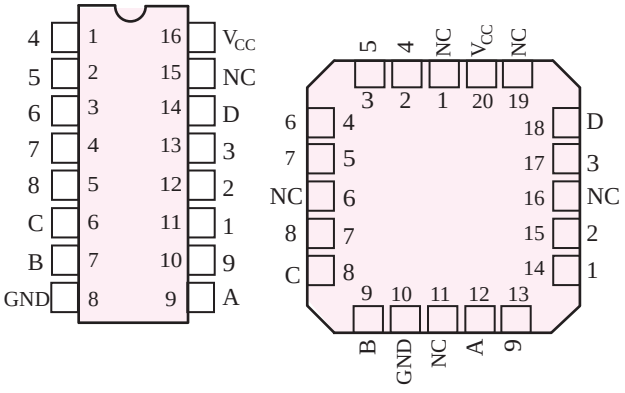
را طوری طرّاحی می‌کنند که در صورت فشرده شدن همزمان چند کلید، فقط ترکیب باینری هم‌ارز بزرگ‌ترین رقم اعشاری را تولید کنند. این رمزگذارها را رمزگذارهای با رعایت تقدم (Priority Encoder) می‌نامند.

مثلاً اگر دو کلید ۶ و ۹ همزمان فشرده شوند، رمزگذار صنعتی ارزش کلید ۹ را تولید می‌کند.

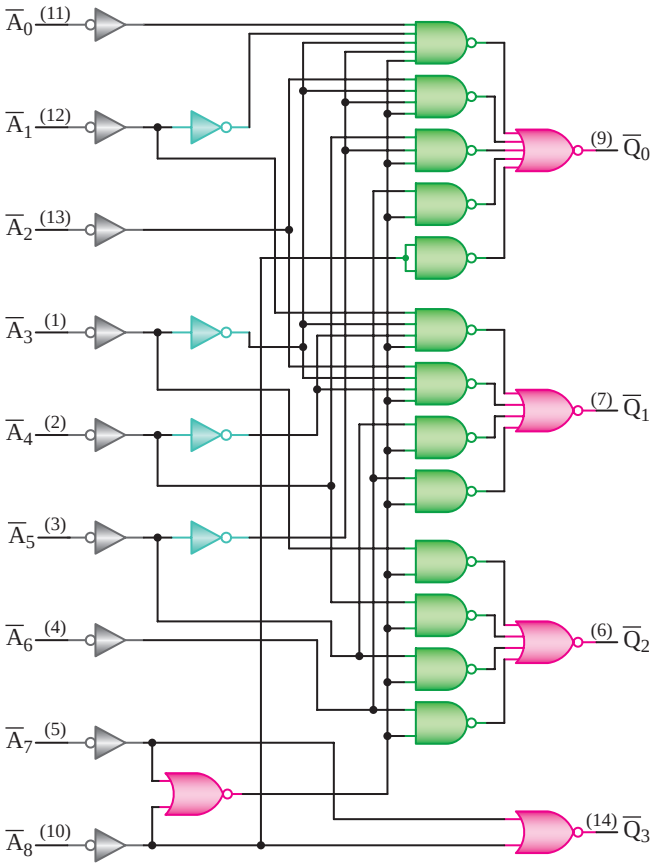
تراشهٔ (آی‌سی) SN۷۴۱۴۷ یک رمزگذار ده‌دهی به باینری با رعایت تقدم است. مشخصات کامل آن را در شکل۴۶ـ۴ مشاهده می‌کنید. در شکل۴۶ـ۴ـ الف علامت استاندارد آی‌سی، در شکل۴۶ـ۴ـ ب نمای بالا و شمارهٔ پایه‌های آی‌سی و در شکل۴۶ـ۴ـ پ مدارهای داخلی آن را ملاحظه کنید.



الف) علامت استاندارد IEEE/ANSI



ب) نمای بالا و شمارهٔ پایه‌ها



پ) مدارهای داخلی

شکل ۴۶ـ۴ رمزگذار تقدمی SN۷۴۱۴۷

جدول ۲۰ـ۴ جدول صحت آی‌سی SN۷۴۱۴۷ را نشان می‌دهد.

جدول ۲۰ـ۴ـ جدول صحت رمزگذار تقدّمی SN۷۴۱۴۷

INPUTS									OUTPUTS			
1	2	3	4	5	6	7	8	9	A_3	A_2	A_1	A_0
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	X	L	H	H	H	L	L	L
X	X	X	X	X	L	H	H	H	H	L	L	H
X	X	X	X	L	H	H	H	H	H	L	H	L
X	X	X	L	H	H	H	H	H	H	L	H	H
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

H = High logic level , L = Low logic level , X = irrelevant

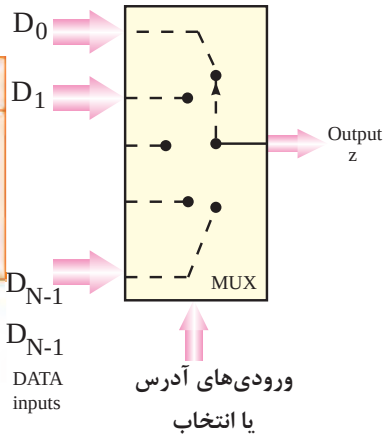
تذکر مهم: هـدف از نمایـش مدارهـای داخـلی آی‌سی‌ها آشنایی با مدارهاست و به هیچ عنوان در آزمون‌ها نباید سؤالی در این رابطه طراحی شود.

۸ـ۴ـ مدارهـای متمـرکـز کننـده یـا تسهیم‌کننده (Multiplexer)

مالتی پلکسر یکی از پرکاربردترین مدارهای ترکیبی است که مانند یک انتخاب‌کننده (Selector)عمل می‌کند. این مدار با توجّه به آدرسی که برای آن انتخاب می‌شود، به یکی از ورودی‌ها اجازهٔ عبور می‌دهد. به‌عبارت دیگر، عملکرد آن درست شبیه یک کلید چند حالته است؛ با این تفاوت که حالت کلید به‌صورت دیجیتالی انتخاب می‌شود. دیاگـرام عملیاتی یک مالتـی‌پلکسـر در شکـل ۴ـ۴۷ نشان داده شده است. ورودی‌های انتخاب حالت را ورودی‌های آدرس (Address Inputs) و ورودی‌های اصلی مالتی پلکسر ورودی‌های داده (Data inputs) و خروجی مالتی‌پلکسر را خروجی تابع یا به اختصارخروجی می‌نامند. یک مالتی‌پلکسر با n خط آدرس، می‌تواندیکی از 2^n ورودی اصلی را انتخاب کند.

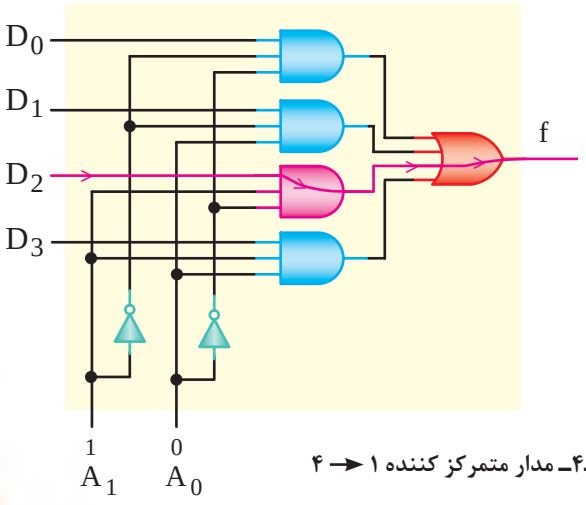
A_1	A_0	$f=\bar{A}_1\bar{A}_0 D_0 + \bar{A}_1 A_0 D_1 + A_1\bar{A}_0 D_2 + A_1 A_0 D_3$
0	0	$1\ D_0 + 0\ D_0 + 0\ D_0 + 0\ D_0$
0	1	$0\ D_1 + 1\ D_1 + 0\ D_1 + 0\ D_1$
1	0	$0\ D_2 + 0\ D_2 + 1\ D_2 + 0\ D_2$
1	1	$0\ D_3 + 0\ D_3 + 0\ D_3 + 1\ D_3$

جدول ۲۱ـ۴ـ مدار تسهیم کننده در رمزگذار ۱ ← ۴



شکل ۴۷ـ۴ـ شمای عمومی یک متمرکز کننده

A_1	A_0	f
0	0	D_0
0	1	D_1
1	0	D_2
1	1	D_3



شکل ۴۸ـ۴ـ مدار متمرکز کننده ۱ ← ۴

در شکل ۴۸ـ۴ مدار یک مالتی‌پلکسر ۱←۴ (بخوانید ۴به۱) نشان داده شده است. در این شکل، ورودی‌های اصلی مالتی‌پلکسر با D_0, D_1, D_2 و D_3 ورودی‌های آدرس آن با A_0 و A_1 و خروجی مدار با F مشخص شده است.

با توجّه به شکل ۴ـ۴۸ معادلهٔ بولی تابع F را می‌نویسیم.

$$F=\overline{A}_1\overline{A}_0D_0+\overline{A}_1A_0D_1+A_1\overline{A}_0D_2+A_1A_0D_3$$

تابع F به فرم مجموع حاصل ضرب‌ها است؛ یعنی، در هر حالت فقط یکی از جملات آن ممکن است «۱» باشد. مثلاً اگر حالت $A_0=0$ و $A_1=1$ را انتخاب کنیم، فقط جملهٔ $A_1\overline{A}_0$ برابر «۱» است. لذا خواهیم داشت:

$$F=0\times D_0+0\times D_1+1\times D_2+0\times D_3=D2$$

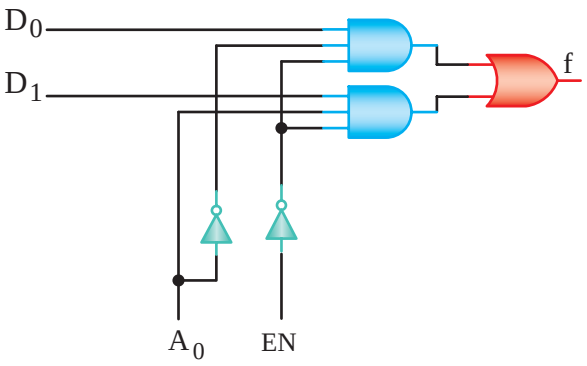
یعنی، F عیناً از D_2 تبعیت می‌کند، به‌عبارت دیگر، آدرس $A_1A_0=10$ دروازهٔ شمارهٔ (۳) را برای عبور D_2 باز می‌کند. بقیّهٔ حالت‌های تابع را نیز به‌همین ترتیب می‌توانیم، مشخص کنیم. در جدول ۴ـ۲۱ کلّیهٔ حالت‌های تابع مشخص شده است.

در اغلب مالتی‌پلکسرها علاوه‌بر ورودی‌های آدرس، یک خط کنترل اضافی نیز پیش‌بینی شده است. این ورودی اضافی با نام‌های فعال‌ساز (تواناساز) Enable مشخّص می‌شود.

چنان‌چه این ورودی در یک حالت از پیش تعریف شده «۰» یا «۱» باشد، همه دروازه‌های AND را مسدود می‌سازد و از انتقال اطلاعات ورودی به خروجی مدار پیش‌گیری می‌کند . به عبارت دیگر، این ورودی مقدم بر ورودی‌های آدرس است . در شکل ۴ـ۴۹ یک مالتی‌پلکسر ۱ ➔ ۲ با ورودی تواناساز به همراه جدول صحت آن نشان داده شده است.

جدول ۴ـ۲۲ جدول صحّت مالتی‌پلکسر ۱ ➔ ۲

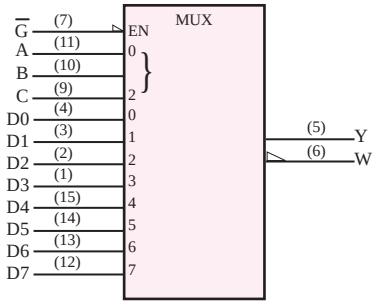
A_0	EN	f
X	1	0
0	0	D_0
1	0	D_1



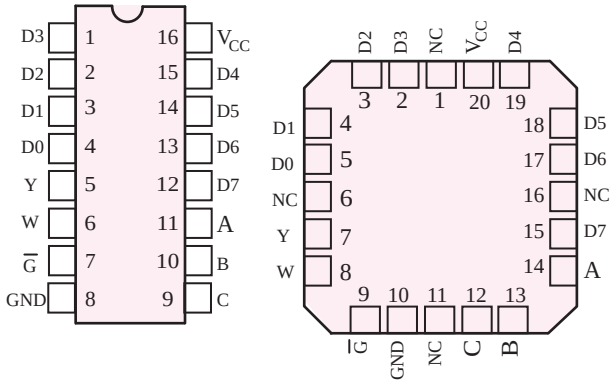
شکل ۴۹ـ۴ـ مدار یک مالتی‌پلکسر ۱ ➔ ۲

در شکل ۴ـ۵۰ مدار یک مالتی‌پلکسر ۱ ➔ ۸ را که با شمارهٔ تجارتی ۷۴۱۵۱ به بازار عرضه می‌شود مشاهده می‌کنید.

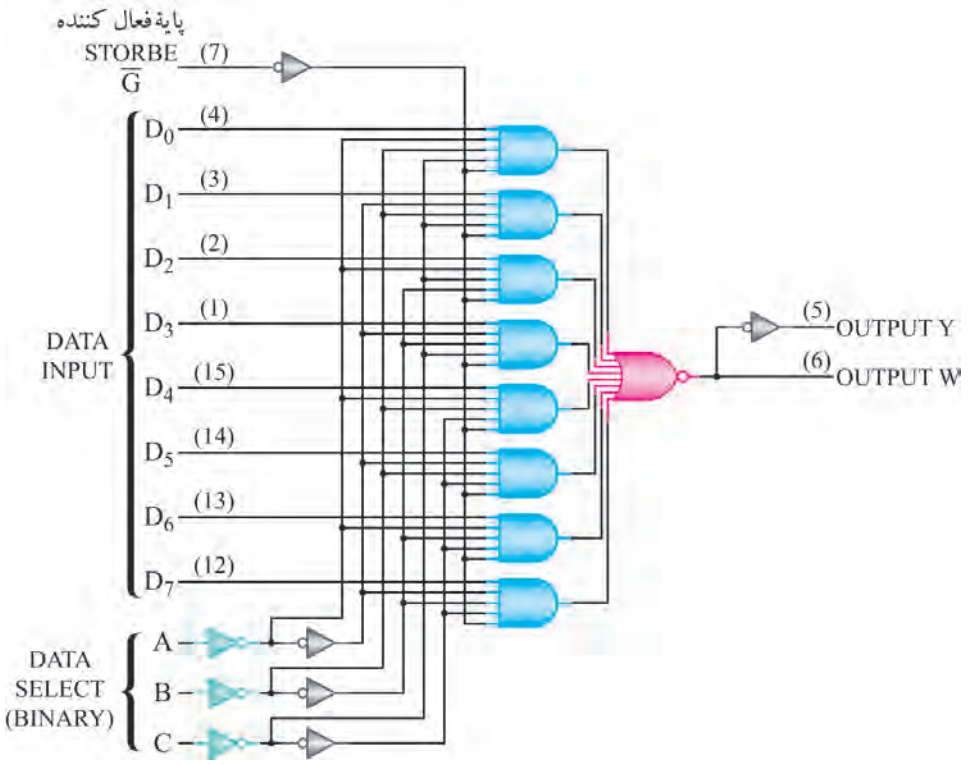
در شکل ۴ـ۵۰ـ الف نماد استاندارد آی‌سی، در شکل ۴ـ۵۰ـ ب نمای بالا و شمارهٔ پایه‌های آی‌سی و در شکل ۴ـ۵۰ـ پ مدارهای داخلی آی‌سی نشان داده شده است.



الف) نماد استاندارد IEEE/ANSI



ب) نمای بالا و شمارهٔ پایه



پ) مدارهای داخلی

شکل ۵۰ـ۴ مدار مالتی‌پلکسر ۱ ← ۸ تجارتی(SN ۷۴۱۵۱)

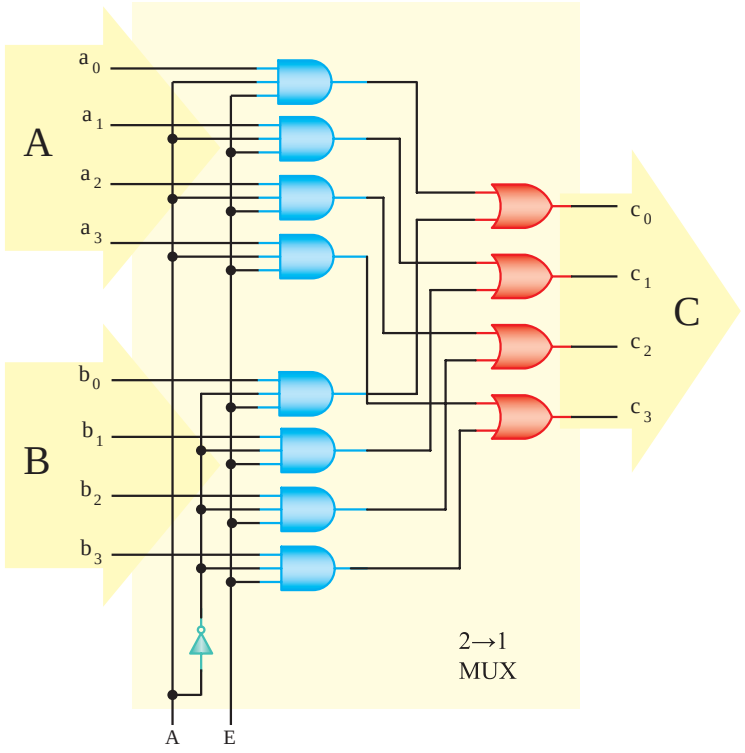
جدول صحت آی‌سی SN ۷۴۱۵۱ را در جدول ۲۳ـ۴ مشاهده می‌کنید.

جدول ۲۳ـ۴ـ جدول صحت مالتی‌پلکسر SN ۷۴۱۵۱

inputs				outputs	
SELECT			STROBE	Y	W
C	B	A	$\overline{G}$		
X	X	X	H	L	H
L	L	L	L	D0	$\overline{D0}$
L	L	H	L	D1	$\overline{D1}$
L	H	L	L	D2	$\overline{D2}$
L	H	H	L	D3	$\overline{D3}$
H	L	L	L	D4	$\overline{D4}$
H	L	H	L	D5	$\overline{D5}$
H	H	L	L	D6	$\overline{D6}$
H	H	H	L	D7	$\overline{D7}$

همان‌طور که در جدول ۲۳ـ۴ مشاهده می‌کنید خروجی W معکوس خروجی Y است.

در کامپیوترها مالتی‌پلکسرها به‌عنوان گذرگاه داده‌ها Data Bus ایفای نقش می‌کنند. در این موارد، معمولاً به مالتی پلکسرهای چند بیتی نیاز داریم؛ مثلاً، اگر بخواهیم اطلاعات را توسط یک خط انتقال از دو سیستم A و B به سیستم C برسانیم و این اطلّاعات در قالب کلمات چهار بیتی باشند، به یک مالتی پلکسر ۱←۲، ۴ بیتی نیازداریم. امکان عرضهٔ مالتی پلکسرهای چند بیتی به‌صورت تراشه‌های تجارتی وجود ندارد دلیل این امر، افزایش تعداد پایه‌های ضروری آنهاست. لذا باید با استفاده از مالتی‌پلکسرهای یک بیتی، مالتی‌پلکسر مورد نیاز خود را طراحی کنیم. در مورد مثال فوق، با استفاده از یک تراشهٔ ۷۴۱۵۷ که شامل چهار مالتی‌پلکسر ۱←۲ یک‌بیتی است، یک مالتی پلکسر ۱←۲ چهار بیتی مطابق شکل ۵۱ ـ۴ـ الف، ب، پ، ت، و ث طراحی می‌کنیم: یعنی کلاً چهار مالتی‌پلکسر یک بیتی را به‌صورت موازی به کار می‌بریم.

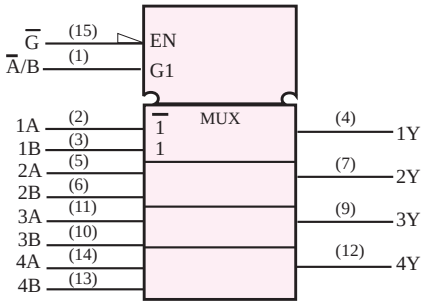


الف) مدار اصلی یک Mux، ۱ ← ۲ چهار بیتی که با استفاده از چهار Mux، ۱ ← ۲ یک بیتی ساخته شده است.

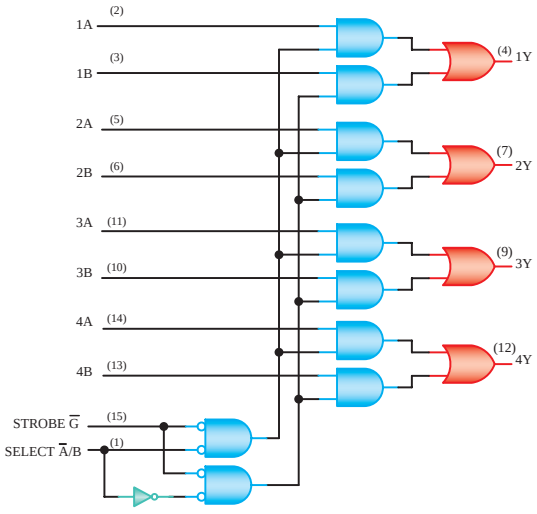
INPUTS				OUTPUT Y
STROBE $\overline{G}$	SELECT $\overline{A}$/B	A	B	"157, "LS157, "S157
H	X	X	X	L
L	L	L	X	L
L	L	H	X	H
L	H	X	L	L
L	H	X	H	H

H = high level , L = Low level , X = irrelevant

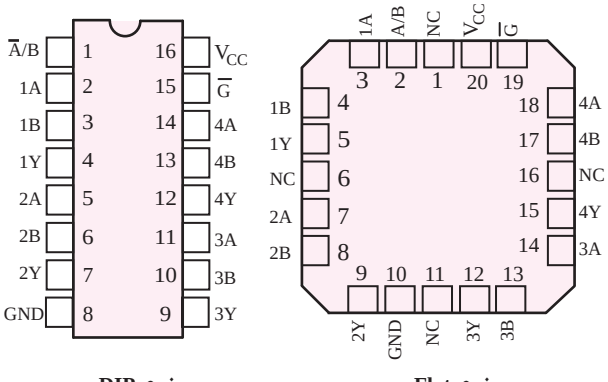
ت) جدول صحت



ب) نماد استاندارد IEEE/ANSI



ث) مدارهای داخلی



نوع DIP

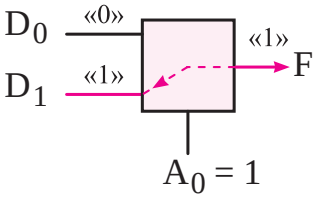
نوع Flat

پ) نمای بالا و شمارهٔ پایه‌ها

شکل ۵۱ـ۴ـ الف چگونگی ساخت Mux چندبیتی؛ ب تا ث ـ مشخصات تراشهٔ تجارتی SN۷۴۱۵۷

همان‌طور که گفته‌شد، افزایش تعداد پایه‌های ورودی مالتی‌پلکسر در طراحی مدارهای منطقی ضروری است. بنابراین در این بخش نحوهٔ توسعهٔ ورودی‌های یک مالتی‌پلکسر را با طراحی یک مالتی‌پلکسر ۱ ← ۴ به وسیلهٔ سه عدد مالتی‌پلکسر ۱ ← ۲ تشریح می‌کنیم.

در شکل ۴ـ۵۲ بلوک دیاگرام یک مالتی‌پلکسر ۱←۲ را همراه با جدول صحت آن در جدول ۴ـ۲۴ مشاهده می‌کنید. در این مدار به ازای آدرس A_0=۱ ورودی D_1 به خط خروجی وصل شده است.



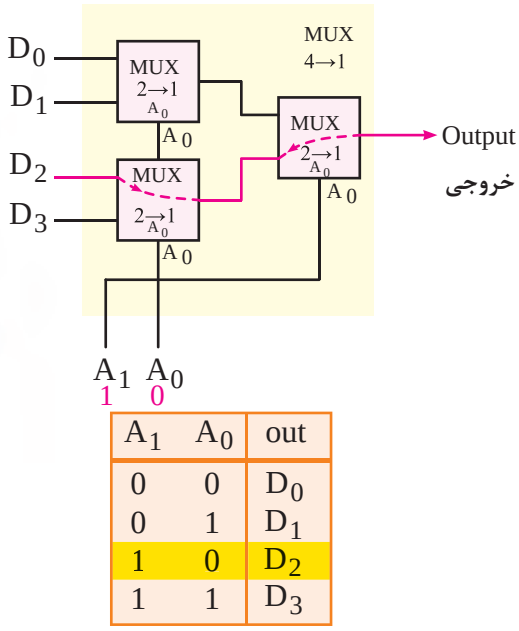
شکل ۴ـ۵۲ـ بلوک دیاگرام مالتی‌پلکسر ۱ ← ۲

جدول ۴ـ۲۴ـ جدول صحت مالتی‌پلکسر ۱ ← ۲

A_0	F
0	D_0
1	D_1

اگر سه عدد مالتی‌پلکسر ۱←۲ را مطابق شکل ۴ـ۵۳ به یکدیگر اتصال دهیم یک مالتی‌پلکسر ۱←۴ شکل می‌گیرد.

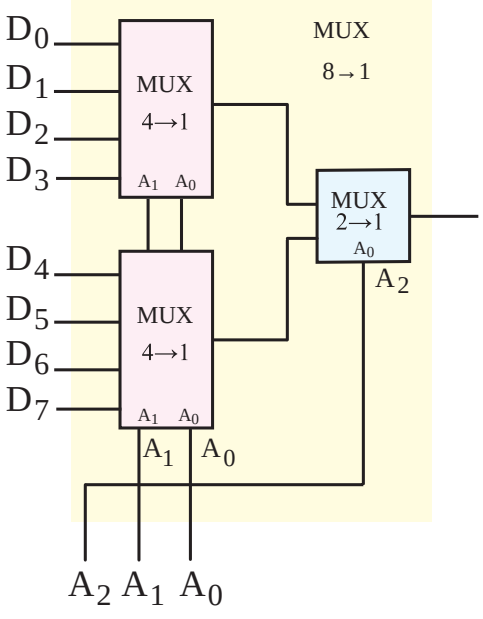
شکل ۴ـ۵۳، خط آدرس A_0 مالتی پلکسرهای ورودی با یکدیگر موازی شده‌اند و خط آدرس کم‌ارزش‌تر A_0 مالتی‌پلکسر ۱←۴ را تشکیل می‌دهد و خط آدرس A_0 مالتی پلکسر سوم (خروجی) به عنوان خط آدرس با ارزش‌تر A_1 مالتی‌پلکسر ۱←۴ قرار می‌گیرد.



A_1	A_0	out
0	0	D_0
0	1	D_1
1	0	D_2
1	1	D_3

شکل ۴ـ۵۳ـ یک مالتی‌پلکسر ۱ ← ۴ همراه جدول صحت آن

مثال ۴ـ۸: یک مالتی‌پلکسر ۱←۸ را با دو عدد مالتی‌پلکسر ۱←۴ و یک مالتی پلکسر ۱←۲ طراحی کنید(شکل ۴ـ۵۴).

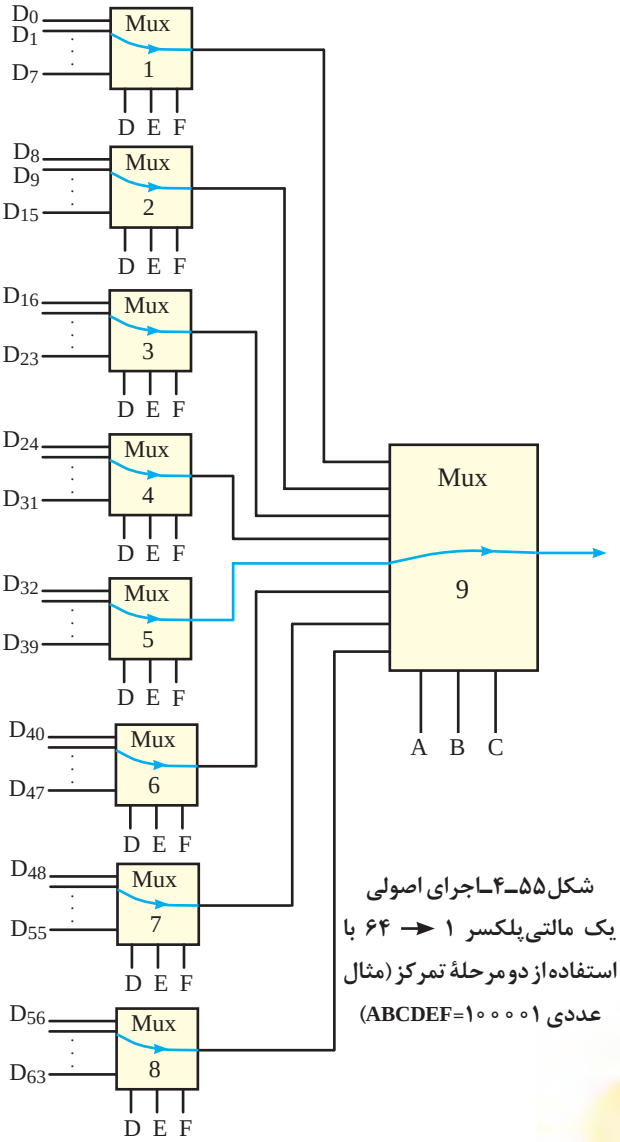


شکل ۴ـ۵۴ـ مدار مثال ۴ـ۸

بزرگ‌ترین مالتی‌پلکسری که در دسترس قرار دارد و به صورت آی‌سی (IC) به بازار عرضه شده است، یک مالتی‌پلکسر ۱ ← ۱۶ با شمارهٔ تجارتی ۷۴۱۵۰ است. در صورتی که بخواهیم ورودی‌های بیشتری را متمرکز سازیم، باید از چند مالتی‌پلکسر استفاده کنیم.

مثال ۹ـ۴: با استفاده از ۹ مالتی‌پلکسر ۱ ← ۸ یک مالتی‌پلکسر ۱ ← ۶۴ بسازید.

حل: ابتدا هر ۸ ورودی را به یک مالتی‌پلکسر ۱ ← ۸ روی یک خط متمرکز می‌کنیم. سپس ۸ خط متمرکز شده را به کمک یک مالتی‌پلکسر ۱ ← ۸ دیگر دوباره روی یک خط متمرکز می‌سازیم. در شکل ۵۵ـ۴ اجرای اصولی چنین مالتی‌پلکسری نشان داده شده است.



شکل ۵۵ـ۴ـ اجرای اصولی یک مالتی‌پلکسر ۱ ← ۶۴ با استفاده از دو مرحلهٔ تمرکز (مثال عددی ABCDEF=۱۰۰۰۰۱)

یکی از کاربردهای مالتی‌پلکسر، اجرای توابع منطقی است. برای اجرای یک تابع منطقی n متغیری می‌توان از یک مالتی‌پلکسر با n خط آدرس یا n−۱ خط آدرس یا n−۲خط آدرس استفاده کرد. در هر مورد باید تابع را برحسب n متغیر یا n−۱ متغیر یا n−۲ متغیری که به خطوط آدرس مالتی‌پلکسر وصل می‌شوند، بسط نرمال داد. برای سهولت کار معمولاً متغیرها را به پایه‌های آدرس متناظر آنها وصل می‌کنند. مثلاً اگر بخواهیم تابع $F(A,B,C)=\Sigma_m(0,2,4,5,7)$ را که در آن ارزش متغیرها به ترتیب A=۴ , B=۲ و C=۱ است، به کمک یک مالتی‌پلکسر ۱ ← ۸ اجرا کنیم باید کم‌ارزش‌ترین متغیر را به کم‌ارزش‌ترین آدرس مالتی‌پلکسر وصل کنیم یعنی باید C را به پایهٔ A_0 و B را به پایهٔ A_1 و A را به پایهٔ A_2 آدرس مالتی‌پلکسر اتصال دهیم.

(A_0,A_1وA_2 پایه‌های آدرس مالتی پلکسر است).

با ذکر چند مثال، چگونگی استفاده از مالتی‌پلکسر را نشان می‌دهیم.

مثال ۱۰ـ۴:

تابع منطقی $F(A,B,C)=A\overline{B}+BC+A(\overline{C}+B)$ را به کمک یک مالتی‌پلکسر ۱ ← ۸ اجرا کنید.

حل:

$$F=A\overline{B}+BC+A(\overline{C}+B)$$

$$F=A\overline{B}+BC+A\overline{C}+AB$$

تابع را به‌صورت استاندارد می‌نویسیم.

$$F=A\overline{B}(\overline{C}+C)+BC(\overline{A}+A)$$
$$+A\overline{C}(\overline{B}+B)+AB(\overline{C}+C)$$

عبارت‌ها را در پرانتز ضرب می‌کنیم .

$$F=A\overline{B}\overline{C}+A\overline{B}C+\overline{A}BC+ABC$$
$$+A\overline{B}\overline{C}+AB\overline{C}+AB\overline{C}+ABC$$

جملات تکراری را حذف می‌کنیم.

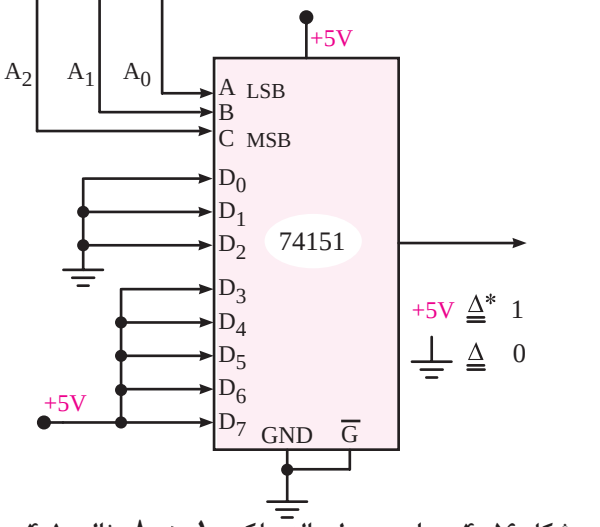
$$F = A\bar{B}\bar{C} + A\bar{B}C + \bar{A}BC + ABC + AB\bar{C}$$

۴ ۵ ۳ ۷ ۶

$$\Sigma m\,(۳، ۴، ۵، ۶، ۷)$$

مطابق شکل ۴ـ۵۶ باید ورودی‌های متناظر با هر یک از جملات تشکیل دهندهٔ تابع «۱» منطقی شود. لذا این ورودی‌ها (ورودی‌های D_3 تا D_7) را به $+V_{cc}$ و بقیهٔ ورودی‌ها (ورودی D_0، D_1 و D_2 به ترتیب متناظر با جملات $\bar{A}\bar{B}\bar{C}$، $\bar{A}\bar{B}C$ و $\bar{A}B\bar{C}$ را به زمین وصل می‌کنیم). توجه کنید که متغیر C در جدول صحت کم‌ارزش‌ترین متغیر تابع است و به همین دلیل، به ورودی آدرس A_0 یعنی کم ارزش‌ترین ورودی آدرس وصل شده است.

A	B	C	آدرس انتخاب شده	خروجی مورد نیاز	
0	0	0	D_0	0	
0	0	1	D_1	0	
0	1	0	D_2	0	
0	1	1	D_3	1	$\bar{A}BC$
1	0	0	D_4	1	$A\bar{B}\bar{C}$
1	0	1	D_5	1	$A\bar{B}C$
1	1	0	D_6	1	$AB\bar{C}$
1	1	1	D_7	1	ABC



شکل ۴ـ۵۶ـ مدار و جدول مالتی‌پلکسر ۱ ← ۸ مثال ۴ـ۱۰

۹ـ۴ـ الگوی پرسش

۱ـ تعداد خط خروجی دودویی یک رمزگذار با ۲۰ حالت را محاسبه کنید.

۲ـ تعداد خط آدرس دهی یک مالتی‌پلکسر ۱←۵۱۲ را محاسبه کنید.

۳ـ یک مالتی‌پلکسر ۱←۴ را با ورودی تواناساز صفر فعال رسم کنید.

۴ـ تابع $F(A,B,C) = \Sigma_m(۰، ۱، ۴، ۶)$ را با یک مالتی‌پلکسر ۱ ← ۸ اجرا کنید.

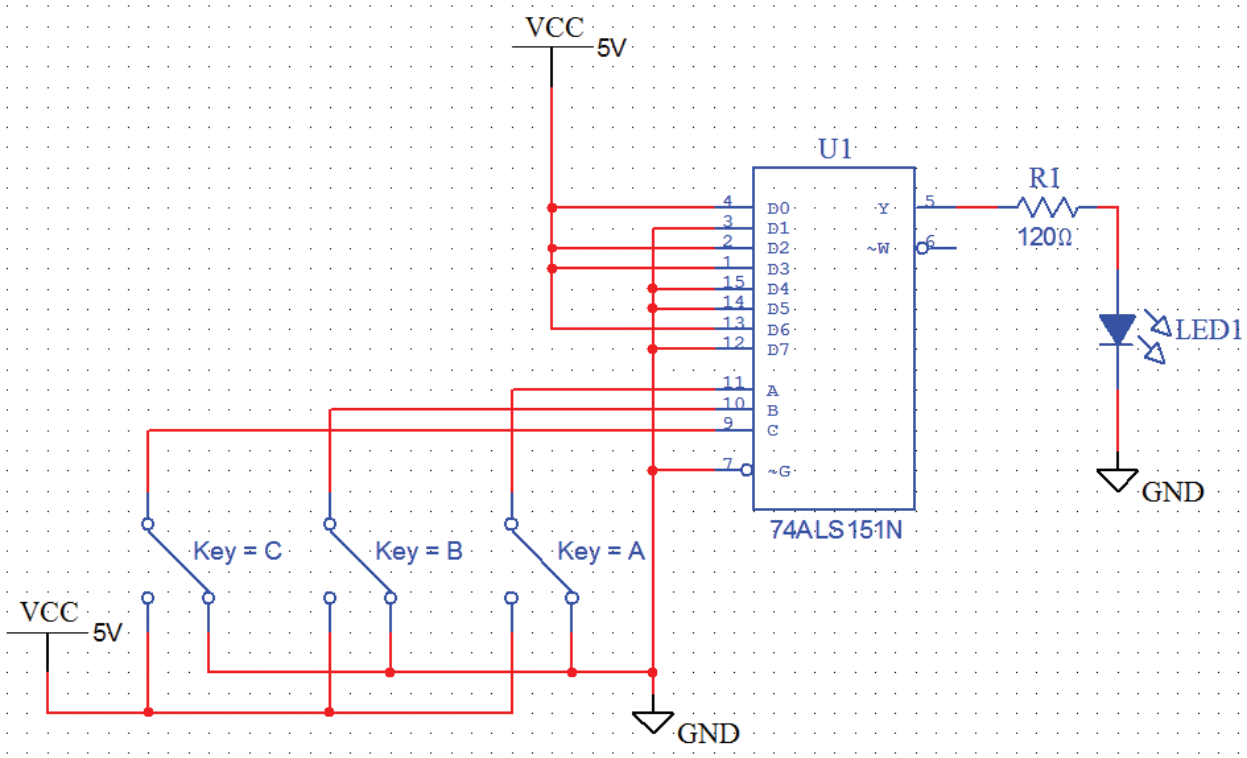
جهت هنرجویان علاقه‌مند: ۵ـ جدول ۴ـ۲۵ جدول صحت یک جمع‌کنندهٔ کامل است. که S حاصل جمع (Sum)و C رقم نقلی (Carry)جمع‌کنندهٔ کامل را مشخص می‌کند. مطابق این جدول تابع منطقی S و C را با دو مالتی پلکسر ۱ ← ۸ طراحی و رسم کنید.

جدول ۴ـ۲۵ـ جدول صحت یک جمع‌کنندهٔ کامل

A	B	C_{in}	C	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

۶ـ رابطهٔ خروجی S و C را بر اساس جدول ۴ـ۲۵ بنویسید.

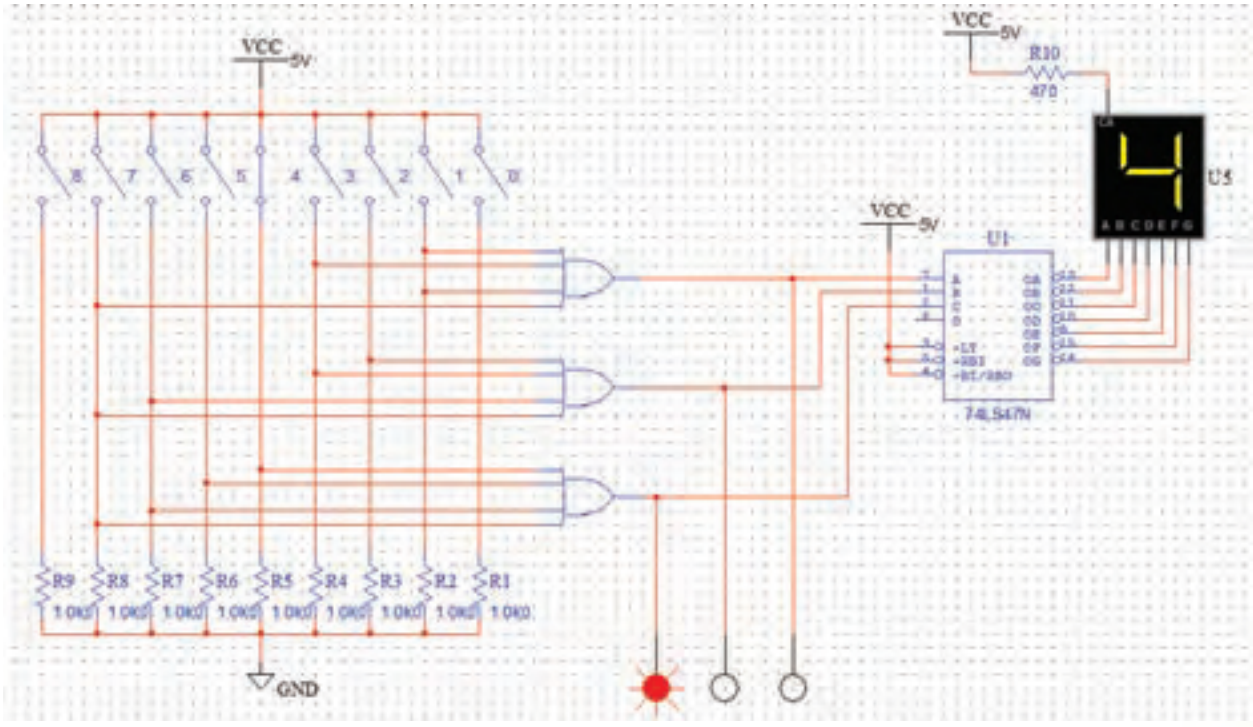
۷ـ تابع F مدار شکل ۴ـ۵۷ را که با آی‌سی مالتی‌پلکسر ۷۴۱۵۱ اجرا شده است، بنویسید.



شکل ۵۷ـ۴ـ مدار سؤال ۷ الگوی پرسش

۱۰ـ۴ـ کاربا نرم‌افزار

مدار شکل ۵۸ـ۴ رمزگذار است، مدار را توسط نرم‌افزار مولتی‌سیم ببندید و صحت عملکرد آن را در صفحهٔ نمایش مشاهده کنید. تمرین ۵ الگوی پرسش را با نرم‌افزار اجرا کنید.



شکل ۵۸ـ۴ـ مدار رمزگذار

فصل پنجم

مدارهای ترتیبی ــ فلیپ‌فلاپ‌ها

هدف کلی: آموزش مدارهای ترتیبی و فلیپ‌فلاپ‌ها

کل زمان اختصاص داده شده به فصل: ۲۰ ساعت آموزشی

هدف‌های رفتاری: در پایان این فصل از فراگیرنده انتظار می‌رود که :

۱- مفهوم یک سلول حافظه را شرح دهد.
۲- مدارهای ترتیبی را تشریح کند.
۳- مدار الکترونیکی یک فلیپ‌فلاپ را رسم کند.
۴- انواع فلیپ فلاپ‌های RS را شرح دهد.
۵- بلوک دیاگرام سادهٔ یک فلیپ‌فلاپ نوع RS را رسم کند.
۶- دلیل استفاده از فلیپ‌فلاپ نوع RS ساعتی را بیان کند.
۷- فلیپ فلاپ RS با استفاده از گیت NOR و NAND را شرح دهد.
۸- تقسیم‌بندی فلیپ‌فلاپ‌ها را براساس عملکرد ورودی پالس ساعت شرح دهد.
۹-دلیل استفاده از فلیپ‌فلاپ نوع jk را شرح دهد.
۱۰- نحوهٔ ایجاد یک فلیپ‌فلاپ نوع D و کاربرد آن را شرح دهد.
۱۱- فلیپ‌فلاپ نوع T و کاربرد آن را توضیح دهد.
۱۲-کلیهٔ هدف‌های رفتاری در حیطهٔ عاطفی که در فصل اول آمده است را باید در این فصل مورد توجه قرار دهد.
۱۳- به سوال‌های الگوی پرسش پاسخ دهد.

پیش‌گفتار

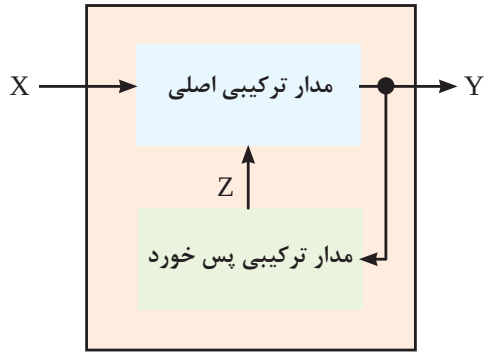
همان‌طور که مشاهده کردید خروجی مدارهای منطقی که تا کنون بررسی کردیم در هر لحظه تابع معینی از ورودی‌های آن‌ها در همان لحظه بود. به عبارت دیگر با تغییر هم‌زمان ورودی‌های مدارها، خروجی‌های آن نیز متناسب با ورودی‌ها تغییر می‌کردند. مدارهای ترکیبی توانایی نگهداری حالت های ورودی را ندارند. ماشین‌های حسابگر و سیستم‌های کنترل، برای نگهداری اطلاعات و استفاده مکرّر از آن‌ها نیاز به حافظه دارند. مدارهای دارای حافظه را مدارهای ترتیبی می‌نامند. این مدارها قابلیت نگهداری (در حافظه نگه داشتن) ترتیب پیامدها را دارند.

یک مدار ترتیبی شامل دو بخش اساسی به شرح زیر است:

الف) بخشی که بر اساس وضعیت قبلی خروجی‌های مدار، توابعی را ایجاد می‌کند. این بخش، مدار پس خورد نامیده می‌شود.

ب) بخشی که وضعیت مدار را بر اساس حالت ورودی‌های مدار و ورودی‌های دریافتی از مدار فیدبک مشخص می‌کند و وضعیت جدید سیستم را به‌وجود می‌آورد. این بخش را مدار اصلی می‌نامند.

شکل ۱-۵ بلوک دیاگرام مدار ترتیبی را نشان می‌دهد.



شکل۱-۵- بلوک دیاگرام یک مدار ترتیبی

ممکن است یک مدار ترتیبی بیش از یک ورودی یا خروجی داشته باشد. در اغلب مدارهای ترتیبی زمان تغییر وضعیت یا پذیرش اطلاعات جدید را به کمک یک سیگنال کنترل خاص، که پالس ساعت (Clock Pulse) نامیده می‌شود، تعیین می‌کنند.

۵-۱- فلیپ‌فلاپ‌ها (Flip-Flops)

مدار ترتیبی که دو وضعیت پایدار دارند را فلیپ‌فلاپ می‌گویند.

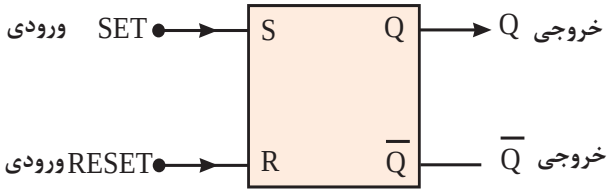
فلیپ‌فلاپ‌ها را در چهار دستهٔ RS , JK , D و T تقسیم‌بندی می‌کنند.

۵-۲- فلیپ‌فلاپ RS (Reset Set Flip-Flop)

مدارهای ترتیبی هستندکه دو وضعیت Set و Reset پایدار دارند.

۵-۲-۱- فلیپ‌فلاپ RS حافظه: سلول‌های حافظه ساده‌ترین مدارهای ترتیبی هستند. این سلول‌ها را فلیپ‌فلاپ می‌نامند. بلوک دیاگرام مدار فلیپ‌فلاپ RSرا در شکل ۲-۵ مشاهده می‌کنید.

در این مدار R حرف اول Reset به معنی بازگرداندن به حالت اولیه و S حرف اول Set به معنی ایجاد حالت مورد نظر است.



شکل ۲-۵- بلوک دیاگرام فلیپ‌فلاپ RS

یک سلول حافظه باید قابلیت حفظ اطلاعات ثبت شده (نگهداری) را داشته باشد. به عبارت دیگر، یک سلول حافظه باید دارای قابلیت‌های زیر باشد:

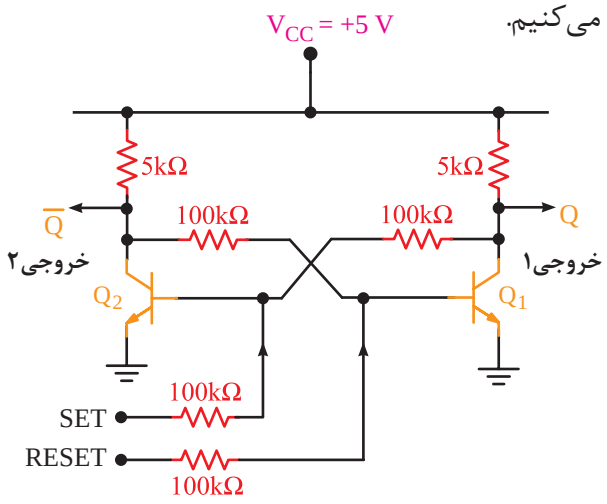
- پذیرش اطلاعات در هر زمان،
- حفظ اطلاعات پذیرفته‌شده تا هر زمان،
- جایگزینی اطلاعات جدید به جای اطلاعات قبلی در هر زمان.

۲-۲-۵- مدار الکترونیکی فلیپ‌فلاپ RS:

فلیپ‌فلاپ‌ها مدارهای الکترونیکی با دو وضعیت پایدار هستند. این‌گونه مدارها را مولتی‌ویبراتور بی‌استابل (Bistable multivibrator) می‌نامند.

در شکل ۳-۵ مدار الکترونیکی یک نمونه از این فلیپ‌فلاپ‌ها را مشاهده می‌کنید. این فلیپ‌فلاپ را RS-FF می‌نامند. در این مدار باید همیشه یکی از ترانزیستورها در حالت قطع و دیگری در حالت اشباع باشد.

ورودی‌های Set و Reset را به ترتیب به بیس ترانزیستورهای Q_1 و Q_2 می‌دهیم و خروجی‌های Q و $\overline{Q}$ به ترتیب از کلکتور ترانزیستورهای Q_1 و Q_2 دریافت می‌کنیم.



شکل ۳- ۵ - مدار الکترونیکی یک نمونه فلیپ‌فلاپ

اگر یک پالس ساعت به ورودی Set برسد، ترانزیستور Q_2 را به حالت اشباع می‌برد و موجب کاهش شدید ولتاژ کلکتور آن می‌شود. این کاهش ولتاژ، ترانزیستور Q_1 را به حالت قطع می‌کشاند؛ زیرا ولتاژ کافی به پایهٔ بیس آن نمی‌رسد تا روشن بماند. در این حالت شرایط زیر برقرار می‌شود.

ترانزیستور Q_1 قطع $V_{C1} \approx V_{CC} = +5volt$

$Q \equiv High \equiv «1»$

و

ترانزیستور Q_2 اشباع $V_{C2} = V_{CE(Sat)} \approx 0/2V$

$\overline{Q} \equiv Low \equiv «0»$

در این شرایط می‌گوییم فلیپ‌فلاپ Set شده است.

در صورتی که یک پالس به ورودی Reset برسد، ترانزیستور Q_1 را به حالت اشباع می‌برد و ولتاژ کلکتور ترانزیستور Q_1 را کاهش می‌دهد. کاهش ولتاژ، بیس ترانزیستور Q_2 را به حالت خاموشی می‌برد و شرایط زیر حاکم می‌شود.

ترانزیستور Q_1 اشباع $V_{C1} = V_{CE(Sat)} \approx 0/2V$

$Q \equiv Low \equiv «0»$

و

ترانزیستور Q_2 قطع $V_{C2} \approx V_{CC} = +5volt$

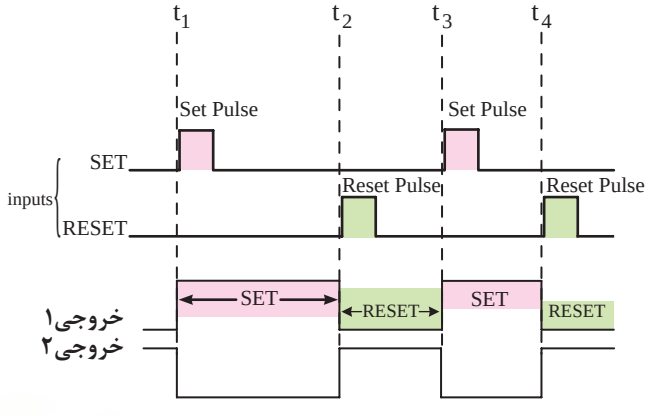
$\overline{Q} \equiv High \equiv «1»$

در این حالت می‌گوییم فلیپ‌فلاپ Reset شده است.

با قطع پالس‌های Set و Reset، مدار، آخرین وضعیت خود را حفظ می‌کند. این وضعیت را حالت ذخیره می‌نامیم.

با اعمال هم‌زمان پالس‌های Set و Reset به هردو ترانزیستور، این وضعیت یک حالت ناخواسته یا تعریف‌نشده است که در فرایند کار مدار باید از ایجاد این حالت پرهیز کنیم.

در شکل ۴- ۵ نمودار زمانی پالس‌های Set و Reset و خروجی‌های Q و $\overline{Q}$ رسم شده است.

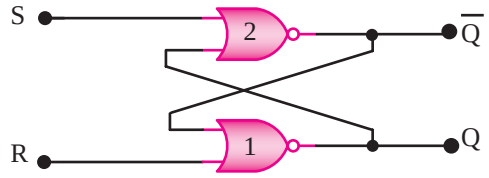


شکل ۴-۵ - پاسخ مدار به ورودی‌های Set و Reset

با مراجعه به جدول دوم کتاب آزمایشگاه مجازی مدار فلیپ فلاپ RS را شبیه‌سازی کنید و عملکرد آن را مورد تحلیل قرار دهید.

۳-۲-۵- فلیپ فلاپ RS با استفاده از گیت NOR:

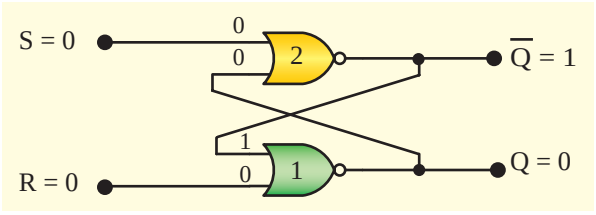
در شکل ۵-۵ مدارمعادل فلیپ‌فلاپ که با دروازه‌های NOR اجرا شده است را مشاهده می‌کنید. در این شکل خروجی گیت شمارهٔ ۱ به ورودی گیت شمارهٔ ۲ و خروجی گیت شمارهٔ ۲ به ورودی گیت شمارهٔ ۱ فیدبک شده است. تفکیک مدارهای پس‌خورد (فیدبک) و اصلی از یک‌دیگر امکان‌پذیر نیست. این‌گونه مدارها را مدارهای ادغام شده در یک‌دیگر می‌نامند.



شکل ۵- ۵- مدار SR-FF با گیت‌های NOR

مدار دارای دو ورودی اصلی S و R و دو ورودی Q و $\overline{Q}$ از طریق مدار فیدبک است. لذا می‌تواند $۲^۳ = ۸$ حالت مختلف داشته باشد. می‌دانیم در دروازهٔ NOR اگر یکی از ورودی‌ها در حالت«یک» منطقی باشد، خروجی آن در حالت «صفر» منطقی قرار می‌گیرد. با درنظر گرفتن این نکته و با توجه به تأخیر در انتشار گیت‌های منطقی به تشریح مرحله‌به‌مرحله مدار می‌پردازیم.

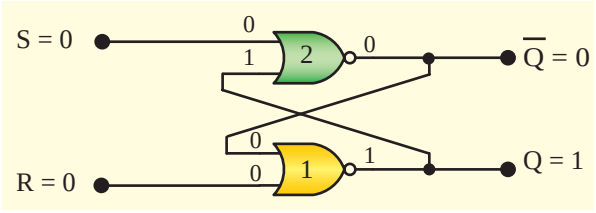
حالت اول: اگر ورودی‌های S و R هر دو در حالت صفر منطقی باشد و حالت قبلی فلیپ‌فلاپ به صورت $Q = ۰$ و $\overline{Q} = ۱$ باشد؛ هر دو ورودی دروازهٔ (۲) در حالت صفر قرار می‌گیرد لذا خروجی آن در حالت یک باقی‌می‌ماند(سطر اوّل جدول صحّتNOR) از سوی دیگر یکی از ورودی‌های دروازهٔ (۱) در حالت یک قرار دارد لذا خروجی این دروازه نیز در حالت صفر باقی می‌ماند. به عبارت دیگر، وضعیت خروجی‌ها تغییر نمی‌کند. شکل ۶-۵ این حالت را نشان می‌دهد.



شکل ۶-۵- حالت اول $S = ۰$ و $R = ۰$

حالت دوم: حال اگر $S = R = ۰$ و حالت قبلی فلیپ‌فلاپ به صورت $Q = ۱$ و $\overline{Q} = ۰$ باشد، ورودی‌های دروازهٔ (۱) هر دو در حالت صفرمنطقی قرار دارد و خروجی آن در حالت یک باقی می‌ماند، از طرفی چون یکی از ورودی‌های دروازهٔ (۲) در حالت یک منطقی است، خروجی این دروازه نیز در حالت صفر باقی می‌ماند. به این ترتیب باز هم وضعیت خروجی‌ها تغییر نمی‌کند.

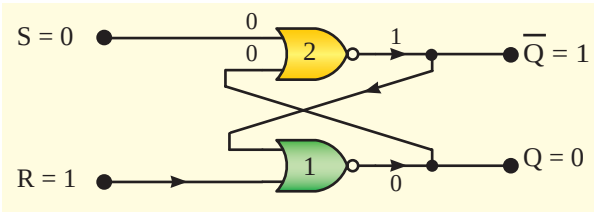
شکل ۷-۵ این حالت را نشان می‌دهد.



شکل ۷-۵- حالت دوم $S=۰$ و $R=۰$

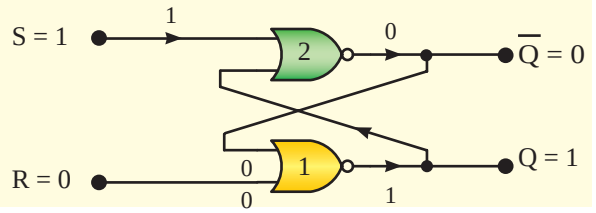
حالت سوم: اکنون حالتی را در نظر می‌گیریم که $S = ۰$ و $R = ۱$ باشد. دراین حالت بدون توجه به وضعیت قبلی فلیپ‌فلاپ، به دلیل اینکه یکی از ورودی‌های دروازهٔ (۱) در حالت یک منطقی است، خروجی این دروازه صفر می‌شود. با صفرشدن خروجی دروازهٔ (۱) هر دو ورودی دروازهٔ (۲) در حالت صفر منطقی قرار می‌گیرد و خروجی آن به حالت یک منطقی می‌رود.

به بیان دیگر اگر $S=۰$ و $R=۱$ باشد، بدون توجّه به وضعیت قبلی، سیستم به حالت $Q = ۰$ و $\overline{Q} = ۱$ می‌رود، شکل ۸-۵ این حالت را نشان می‌دهد.



شکل ۸-۵- حالت سوم S=۰ و R=۱

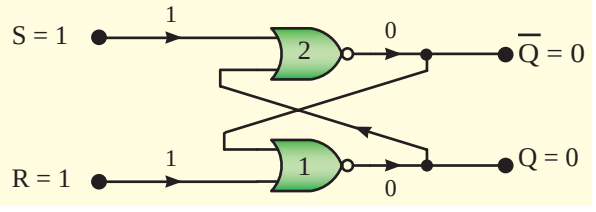
حالت چهارم: اگر S = ۱ و R = ۰ باشد، چون یکی از ورودی‌های دروازهٔ (۲) در حالت یک منطقی است و خروجی آن به حالت صفر منطقی می‌رود. دراین‌صورت، هر دو ورودی دروازهٔ (۱) در حالت صفر منطقی قرار می‌گیرد و خروجی این دروازه نیز یک می‌شود به بیانی دیگر اگر S = ۱ و R = ۰ باشد، بدون توجّه به وضعیت قبلی سیستم، Q = ۱ و $\overline{Q}$ = ۰ می‌شود. شکل ۹-۵ این حالت را نشان می‌دهد.



شکل ۹-۵- حالت چهارم S=۱ و R = ۰

حالت پنجم: حالتی را در نظر می‌گیریم که S = R = ۱ شود. در این حالت نیز چون دست کم یکی از ورودی‌های هر دو دروازهٔ (۱) و (۲) در حالت یک منطقی است، خروجی‌های هر دو دروازه در حالت صفر منطقی قرار می‌گیرد.

شکل ۱۰-۵ این حالت را نشان می‌دهد.



شکل ۱۰- ۵- حالت پنجم S=۱ و R=۱

اگر وضعیت خروجی‌های فلیپ‌فلاپ را قبل از تغییر حالت با $Q_{(t-1)}$ و $\overline{Q}_{(t-1)}$ و وضعیت خروجی‌های آن را بعد از تغییر حالت با $Q_{(t)}$ و $\overline{Q}_{(t)}$ نشان دهیم، تحلیل فوق را می‌توانیم به صورت‌جدول ۱-۵ خلاصه کنیم.

جدول ۱-۵- جدول صحت فلیپ‌فلاپ SR

وضعیت ورودی ها		وضعیت قبلی FF-RS خروجی		وضعیت فعلی FF-RS خروجی		
S	R	$Q_{(t-1)}$	$\overline{Q}_{(t-1)}$	$Q_{(t)}$	$\overline{Q}_{(t)}$	
0	0	0	1	0	1	فلیپ فلاپ وضعیت قبلی خود را حفظ می کند حالت ذخیره
0	0	1	0	1	0	
0	1	0	1	0	1	فلیپ فلاپ بدون توجه به حالت قبلی Reset می شود.
0	1	1	0	0	1	
1	0	0	1	1	0	فلیپ فلاپ بدون توجه به حالت قبلی Set می شود.
1	0	1	0	1	0	
1	1	0	1	0	0	فلیپ فلاپ وارد حالت غیر مجاز می شود.
1	1	1	0	0	0	

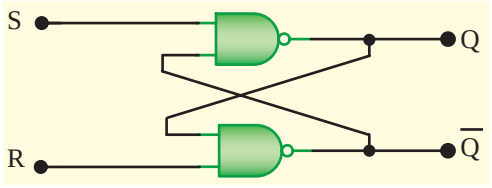
برای بهتر به‌خاطرسپردن جدول ۱- ۵ آن را به صورت جدول ۲- ۵ خلاصه می‌کنیم.

جدول ۲-۵- مختصر شدهٔ SR-FF با دروازه‌های NOR

S	R	$Q_{(t)}$	
0	0	$Q_{(t-1)}$	حفظ وضعیت قبلی
0	1	0	Reset
1	0	1	Set
1	1	*	غیر مجاز

۵-۲-۴- فلیپ فلاپ RS با استفاده از گیت NAND

فلیپ‌فلاپ SR را می‌توان با دروازه‌های NAND نیز طراحی کرد. در شکل ۱۱ــ۵ مدار یک فلیپ‌فلاپ که با دروازه‌های NAND طراحی شده‌است را مشاهده می‌کنید، در جدول ۳ــ۵ جدول صحّت آن دیده می‌شود.



شکل۱۱-۵- فلیپ‌فلاپ SR با گیت‌های NAND

جدول ۳- ۵ جدول صحت فلیپ‌فلاپ SR با گیت NAND

S	R	$Q_{(t)}$	
0	0	*	← غیر مجاز
0	1	1	← Set
1	0	0	← Reset
1	1	$Q_{(t-1)}$	← حالت ذخیره

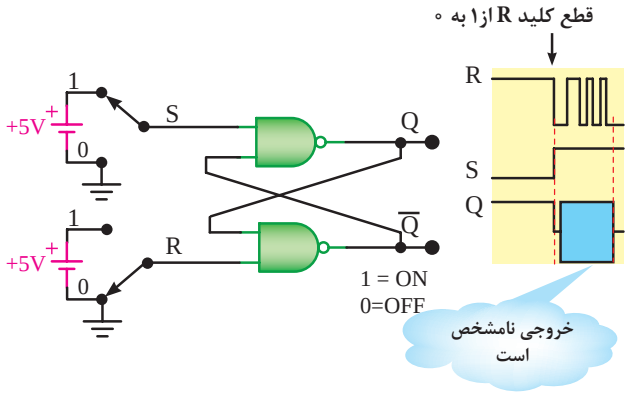
تمرین کلاسی ۱-۵: جدول صحّت ۴ حالتی مدار شکل ۱۱- ۵ را به‌دست آورید و آن را با جدول صحت ۴ حالتی فلیپ فلاپ طراحی شده با دروازه‌های NOR مقایسه کنید.

فلیپ‌فلاپ SR را به نام قفل SR (SR-Latch) نیز می‌نامند. زیرا پس از، از بین رفتن فرمان‌های Set یا Reset فلیپ‌فلاپ طبق جدول ۴-۵ در آخرین وضعیت خود قفل می‌شود.

جدول ۴- ۵- جدول فلیپ‌فلاپ قفل SR

S	R	$Q_{(t)}$	
0	0	*	← غیر مجاز
0	1	1	← Set
1	0	0	← Reset
1	1	$Q_{(t-1)}$	← حالت ذخیره

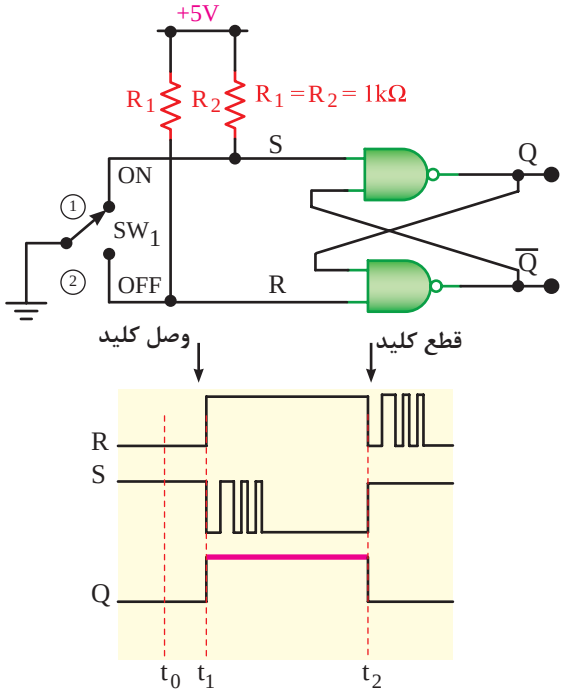
یکی از کاربردهای مدار شکل ۱۱-۵ حذف لرزش کلیدهای مکانیکی (Bounce) است. وقتی یک کلید، تغییر وضعیت می‌دهد به دلیل لرزش ناشی از این تغییر وضعیت، در طی چند میلی ثانیهٔ اول قطع و وصل‌های مکرّر در بین کنتاکت ثابت و کنتاکت متحرک کلید پدید می‌آید، شکل ۱۲-۵ وضعیت اثر لرزش کلیدها را نشان می‌دهد.



شکل ۱۲-۵- اثر لرزش کلید در مدار فلیپ‌فلاپ SR باگیت NAND

این قطع و وصل‌ها ممکن است باعث بروز اشتباهاتی در عملکرد مدارهای منطقی ترتیبی شود برای حذف این لرزش‌ها از مدار شکل ۱۳-۵ استفاده می‌کنیم.

مقاومت های Pull up یا افزاینده سطح ولتاژ



شکل ۱۳-۵- مدار فلیپ‌فلاپ SR بدون اثر لرزش کلید

در شکل ۱۳-۵ اگر کلید را در حالت (۱) فرض کنیم فلیپ فلاپ Set می‌شود. حال اگر کلید تغییر وضعیت دهد، به محض اوّلین اتّصال با کنتاکت (۲) مقدار S = ۱ می‌شود و فلیپ‌فلاپ را Reset می‌کند. جدا شدن کنتاکت متحرّک کلید از کنتاکت ثابت (۲)، در فلیپ‌فلاپ حالت ذخیره (S = R = ۱) به‌وجود می‌آید. لذا خروجی‌های آن تغییر وضعیت نمی‌دهد. همین‌طور

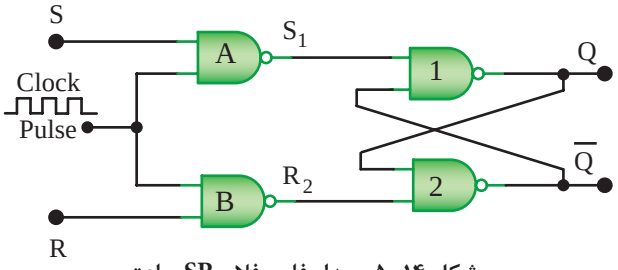
به هنگام تغییر وضعیت از ۲ به ۱ نیز با اولین تماس کنتاکت متحرّک با کنتاکت ثابت ۱ فلیپ‌فلاپ Set می‌شود.

۵-۲-۵- فلیپ‌فلاپ SR ساعتی: فلیپ‌فلاپ SR دو اشکال اساسی دارد:

۱) عکس‌العمل نشان دادن فوری نسبت به تغییر وضعیت ورودی‌ها

۲) وجود حالت تعریف نشده (غیر مجاز)

نخستین اشکال، عکس‌العمل نشان‌دادن فوری نسبت به تغییر وضعیت ورودی‌ها است. یعنی به محض آن‌که ورودی‌های مدار تغییر کند، خروجی‌های آن نیز متناسب با این تغییر وضعیت‌ها، تغییر می‌کند. برای رفع این مشکل، مدار فلیپ‌فلاپ SR را مطابق شکل ۱۴-۵ اصلاح می‌کنیم. در این مدار پالس ساعت (Clock Pulse) به عنوان یک سیگنال فعال‌ساز عمل می‌کند.



شکل ۱۴-۵- مدار فلیپ‌فلاپ SR ساعتی

جدول ۵-۵ جدول صحت فلیپ‌فلاپ SR ساعتی را نشان می دهد.

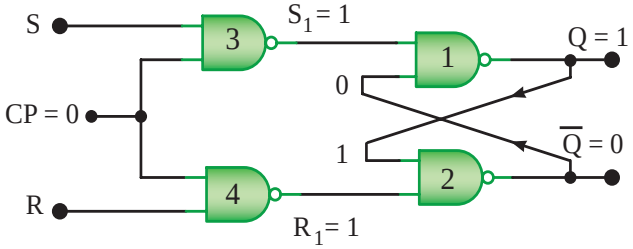
جدول ۵-۵- جدول صحت فلیپ‌فلاپ SR ساعتی

Clock	S	R	Q
0	0	0	تغییر نمی کند
0	0	1	〃 〃
0	1	0	〃 〃
0	1	1	〃 〃
1	0	0	تغییر نمی کند
1	0	1	0 Reset
1	1	0	1 Set
1	1	1	غیر مجاز

Clock Pulse یا پالس ساعت ورودی (CP) به عنوان یک سیگنال فعال‌ساز عمل می‌کند. هنگامی که CP = ۰ است، S_1 و R_1 یک می‌شود. در این شرایط خروجی Q و $\overline{Q}$ تغییر وضعیت نمی‌دهند و حالت قبل خود را حفظ می‌کنند، شکل ۱۵-۵ و ۱۶-۵ این حالت‌ها را نشان می‌دهد.

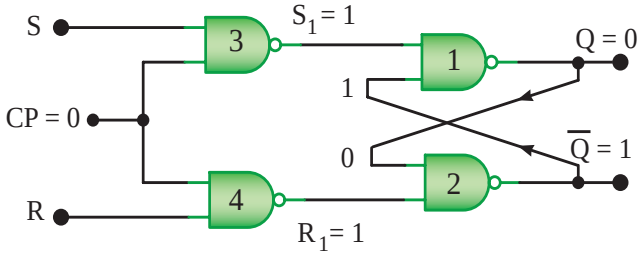
در واقع این شکل‌ها نشان می‌دهد که وضعیت S و R هرچه باشد چون پالس ساعت در وضعیت صفر منطقی است، خروجی حالت قبل خود را حفظ می‌کند و ثابت می‌ماند.

ورودی هـــای S و R اثری در خروجی ندارند.



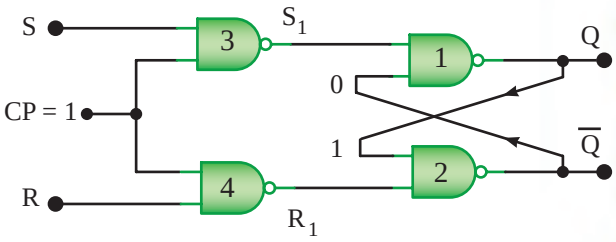
شکل ۱۵-۵- خروجی ۱ = Q حالت قبل را حفظ می‌کند و ثابت می‌ماند.

ورودی هـــای S و R اثری در خروجی ندارند.



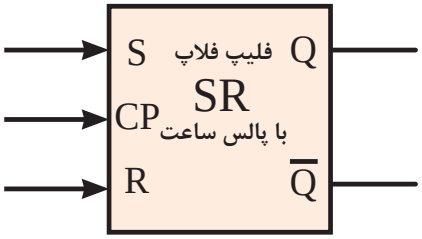
شکل ۱۶-۵- خروجی ۰ = Q حالت قبل را حفظ می‌کند و ثابت می‌ماند.

اگر CP = ۱ شود خروجی گیت NAND شمارهٔ ۳ و ۴ براساس ورودی‌های S و R تغییر می‌کند و در این حالت خروجی Q و $\overline{Q}$ مطابق جدول درستی فلیپ‌فلاپ S-R می‌شود شکل ۱۷-۵ مدار فلیپ فلاپ S-R ساعتی را در زمان اعمال پالس ساعت نشان می‌دهد.



شکل ۱۷-۵ - CP=۱ است. Q و $\overline{Q}$ از مقادیر S و R تبعیّت می‌کنند.

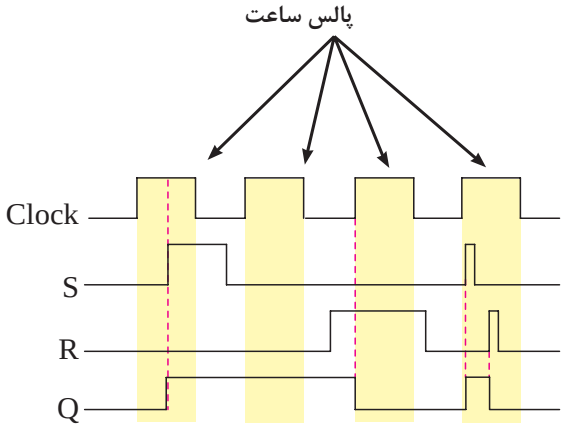
شکل ۱۸- ۵ بلوک دیاگرام فلیپ‌فلاپ SR ساعتی را نشان می‌دهد.



شکل ۱۸-۵- بلوک دیاگرام فلیپ‌فلاپ SR ساعتی

در شکل ۱۹- ۵ نمودار زمانی ورودی‌ها و خروجی مدار فلیپ‌فلاپ SR ساعتی را مشاهده می‌کنید.

ورودی‌های S و R فقط در زمان حضور Clock می‌توانند مؤثر واقع شوند.



شکل ۱۹-۵- نمودار زمانی ورودی‌ها و خروجی فلیپ‌فلاپ SR ساعتی

شکل موج ورودی‌ها و خروجی Q در نمودار زمانی مدار با توجه به جدول صحت فلیپ‌فلاپ SR ساعتی مطابق جدول ۵-۵ رسم شده است.

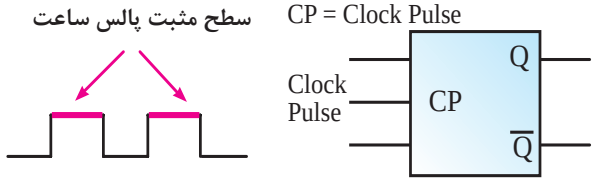
در شکل ۱۹-۵ مادامی که پالس ساعت در حالت صفر منطقی باشد، ورودی‌های دروازه‌های ۱ و ۲ که فلیپ‌فلاپ RS را می‌سازند، در حالت $S_1=R_1=1$ هستند و فلیپ‌فلاپ در حالت ذخیره باقی می‌ماند. به عبارت دیگر، ورودی‌های S و R را حس نمی‌کند.

وقتی پالس ساعت حالت یک منطقی داشته باشد، دروازه‌های ۳ و ۴ شکل ۱۷-۵ باز شده و اطلاعات ورودی توسط فلیپ‌فلاپ خوانده می‌شود.

۳-۵- تقسیم‌بندی فلیپ فلاپ‌ها براساس پالس ساعت

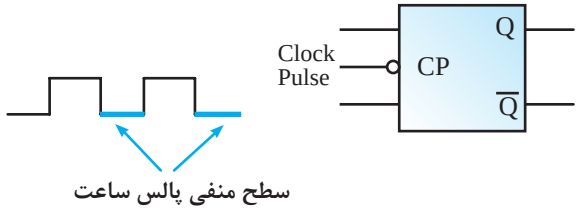
چگونگی عملکرد فلیپ‌فلاپ‌ها را براساس پالس ساعت نیز تقسیم‌بندی می‌کنند. در این تقسیم بندی چهار حالت به وجود می‌آید.

حالت اول: عامل با سطح مثبت پالس ساعت: اگر فلیپ‌فلاپ با سطح مثبت پالس ساعت عمل کند (عامل با سطح مثبت)، یعنی در شرایطی که Clock در حالت پایدار یک است، اطلاعات ورودی را بپذیرد آن را به صورت شکل ۲۰-۵ نشان می‌دهند.



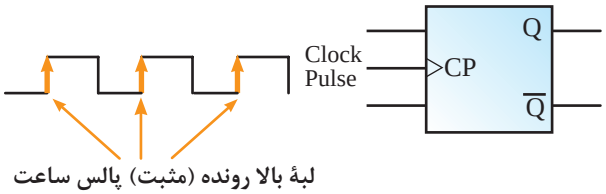
شکل ۲۰-۵- فلیپ‌فلاپ عامل با سطح مثبت پالس ساعت

حالت دوم: عامل با سطح منفی پالس ساعت: چنانچه فلیپ‌فلاپ با سطح منفی پالس ساعت عمل کند(عامل با سطح منفی)، در شرایطی که Clock Pulse در حالت پایدار صفر است و اطلاعات ورودی را بپذیرد آن را به صورت شکل ۲۱- ۵ نشان می‌دهند.



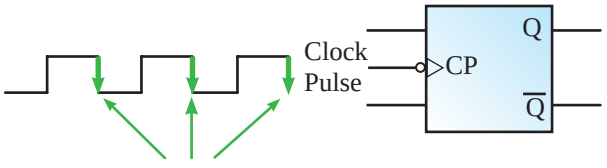
شکل ۲۱-۵- فلیپ‌فلاپ عامل با سطح منفی پالس ساعت

حالت سوم: عامل با لبهٔ بالارونده پالس ساعت: اگر فلیپ‌فلاپ بالبهٔ بالارونده (مثبت) پالس ساعت عمل کند (عامل با لبهٔ بالارونده)، یعنی در شرایطی که پالس ساعت لبهٔ بالارونده را طی می‌کند، اطلاعات را بپذیرد آن را به صورت شکل ۲۲- ۵ نشان می‌دهند.



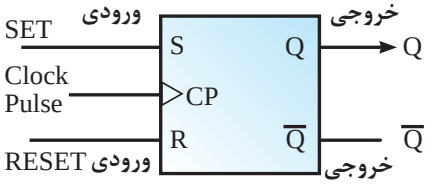
شکل ۲۲-۵- فلیپ‌فلاپ عامل با لبهٔ بالارونده پالس ساعت

حالت چهارم: عامل با لبهٔ پایین روندهٔ پالس ساعت: اگر فلیپ‌فلاپ با لبهٔ پایین رونده(منفی) پالس ساعت عمل کند (عامل با لبهٔ پایین رونده)، یعنی در شرایطی که پالس ساعت لبهٔ پایین رونده را طی می‌کند، اطلاعات را بپذیرد آن را به صورت شکل ۲۳- ۵ نمایش می‌دهند.



شکل ۲۳-۵- فلیپ‌فلاپ عامل با لبهٔ پایین روندهٔ پالس ساعت

وضعیت بی‌اهمیت Don't care: در مدارهای منطقی اگر وضعیت منطقی متغیر با یک خط ورودی (صفر یا یک بودن آن) اثری روی خروجی نداشته باشد، آن را وضعیت بی‌اهمیت می‌نامند و با X نشان می‌دهند. در شکل ۲۴-۵ و جدول ۶-۵ عملکرد ورودی‌های S و R با حالت X و عملکرد پالس ساعت در فلیپ‌فلاپ SR ساعتی نشان داده شده است.

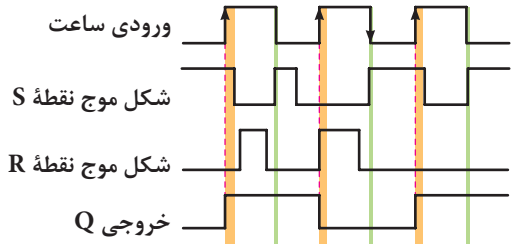


شکل ۲۴-۵- فلیپ‌فلاپ RSساعتی با پالس ساعت

شکل ۲۵- ۵ نمودار زمانی ورودی‌های فلیپ‌فلاپ و خروجی آن را بر اساس حالت‌های مختلف پالس ساعت در جدول ۶-۵ نشان می‌دهد.

جدول ۶-۵- جدول صحت فلیپ‌فلاپRS ساعتی با ورودی پالس ساعت

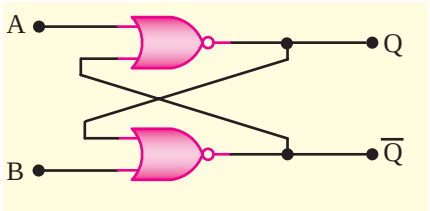
Clock	S	R	Q
0	×	×	بدون تغییر
1	×	×	〃 〃
↓	×	×	〃 〃
↑	0	0	بدون تغییر
↑	0	1	0 Reset
↑	1	0	1 Set
↑	1	1	ممنوع



شکل ۲۵-۵- نمودار زمانی پالس ساعت به ورودی‌ها و عملکرد خروجی فلیپ‌فلاپ SR ساعتی

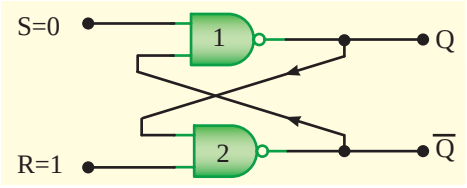
۵-۴- الگوی پرسش

۵-۴-۱- در شکل۲۶-۵ اگر A = ۱ و B = ۱ باشد Q و $\overline{Q}$ در چه حالت منطقی قرار دارند؟



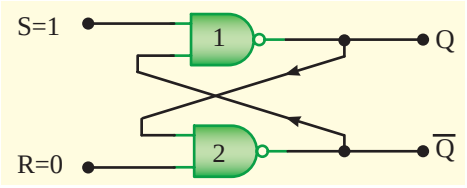
شکل ۲۶-۵- مربوط به سؤال ۱ الگوی پرسش

۵-۴-۲- در شکل ۲۷-۵ الف و ب وضعیت خروجی Q و $\overline{Q}$ فلیپ‌فلاپRS ساعتی با گیت NAND را تعیین کنید.



در S = ۰ و R = ۱

الف

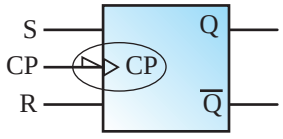


در S = ۱ و R = ۰

(ب)

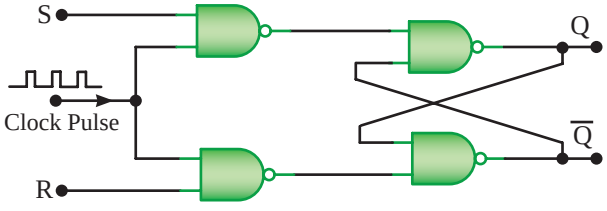
شکل ۲۷-۵- مربوط به سؤال ۲ الگوی پرسش

۵-۴-۳ - فلیپ‌فلاپ شکل ۲۸- ۵ با کدام مشخصهٔ پالس ساعت کار می‌کند؟



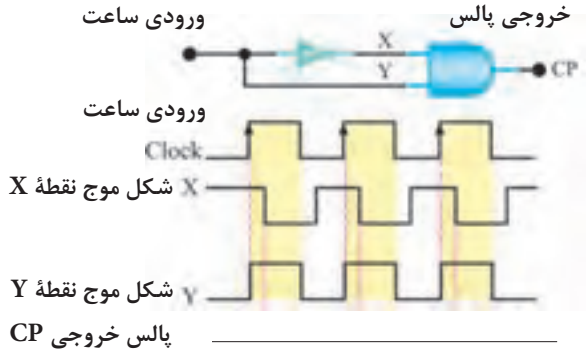
شکل ۲۸- ۵- مربوط به سؤال ۳ الگوی پرسش

۵-۴-۴ - مدار SR-FF شکل ۲۹- ۵ را در نظر بگیرید. در فاصلهٔ زمانی که پالس ساعت فعال است (در حالت «یک» منطقی قرار دارد) چنانچه در این شرایط وضعیت ورودی‌های فلیپ‌فلاپ تغییر کند خروجی‌های آن در چه وضعیتی قرار می‌گیرند؟ آیا تغییر وضعیت خروجی‌ها در سیستم اختلال ایجاد می‌کند یا خیر؟ شرح دهید.



شکل ۲۹- ۵ مربوط به سؤال ۴ الگوی پرسش

۵-۴-۵ - با استفاده از مدار شکل ۳۰-۵ و نمودار زمانی ورودی‌های آن و مشخصهٔ تأخیر در انتشار، نمودار خروجی را رسم کنید.

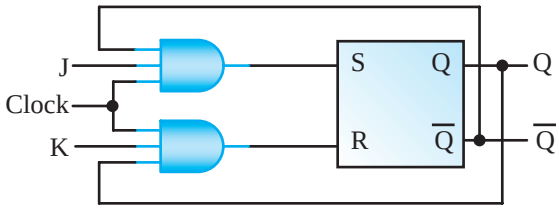


شکل ۳۰-۵- مربوط به سؤال ۵ الگوی پرسش

۵-۵- فلیپ‌فلاپ J-K

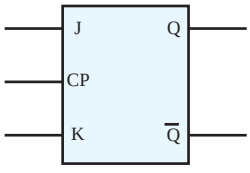
یکی از اشکال‌های فلیپ‌فلاپ R-S مربوط به حالت تعریف نشدهٔ آن یعنی وضعیت S = R = ۱ است. زیرا در این حالت وضعیت غیر مجاز پیش می‌آید.

برای اصلاح این حالت از فلیپ فلاپ J-K استفاده‌می‌شود. در شکل ۳۱-۵ مدار فلیپ‌فلاپ J-K رسم شده است. فلیپ فلاپ دارای مدار داخلی با گیت NOR است.



شکل ۳۱-۵- فلیپ‌فلاپ J-K

بلوک دیاگرام فلیپ‌فلاپ J-K را در شکل ۳۲-۵ مشاهده می‌کنید.



شکل۳۲-۵- نماد بلوکی فلیپ‌فلاپ J-K

جدول درستی فلیپ‌فلاپ J-K در جدول ۷-۵ آمده است.

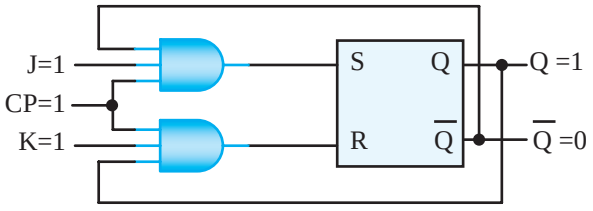
جدول ۷-۵- جدول صحت فلیپ‌فلاپ J-K

ورودی J — ورودی K — خروجی بعد از اعمال پالس ساعت

J	K	$Q_{(t)}$
0	0	$Q_{(t-1)}$
0	1	0
1	0	1
1	1	$\overline{Q}_{(t-1)}$

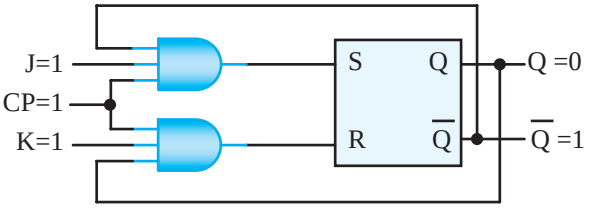
خروجی قبل از اعمال پالس ساعت — $Q_{(t-1)}$

این جدول نشان می‌دهد حالت ممنوعه برطرف شده است یعنی هنگامی که $J=K=1$ می‌شود، اگر فلیپ‌فلاپ مطابق شکل ۳۳-۵ در حالت Set یعنی $Q=1$ قرار داشته باشد، وضعیت آن تغییر می‌کند و Reset می‌شود.



شکل ۳۳-۵- J=۱ و K=۱ خروجی Q (۱) است

بنابراین مطابق شکل ۳۴- ۵، خروجی $Q=1$ به حالت $Q=0$ تغییرحالت می‌دهد.



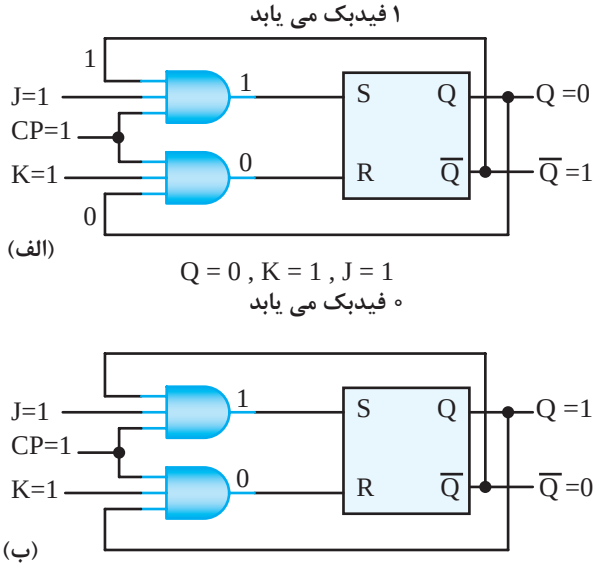
شکل ۳۴-۵- در وضعیت J = ۱ و K = ۱

Q و $\overline{Q}$ برعکس حالت قبل شده است.

هم‌چنین اگر فلیپ‌فلاپ در وضعیت Reset یعنی $Q=0$ باشد با برقراری $J=K=1$ به وضعیت Set می‌رود یعنی $Q=1$ می‌شود به عبارت دیگر حافظه به حالتی برعکس وضعیت قبلی خود تغییر حالت می‌دهد. این وضعیت را که شبیه قطع و وصل کردن یک کلید است حالت کلیدی می‌نامند.

باید توجه داشت تغییر وضعیت Q و $\overline{Q}$ زمانی رخ می‌دهد که پالس ساعت فعال باشد، (CP=۱)طبیعی است اگر پالس ساعت فعال نباشد یعنی CP=۰ شود Q و $\overline{Q}$ تغییروضعیت نمی‌دهند و حالت اولیهٔ خود را حفظ می‌کنند.

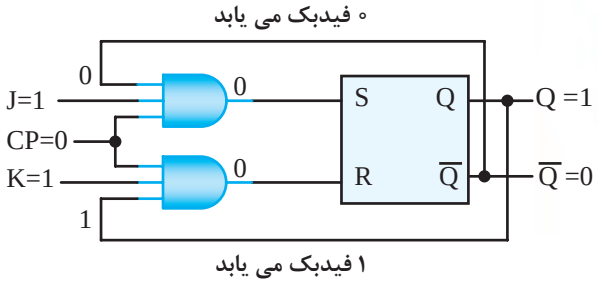
۱-۵-۵-عیب فلیپ‌فلاپ J-K: همان‌طور که مشاهده کردید فلیپ‌فلاپ J-K توانسته‌است حالت تعریف نشدهٔ فلیپ‌فلاپ R-S را برطرف کند.چون خروجی‌های Q و $\overline{Q}$ مستقیماً به ورودی‌ها فیدبک شده‌اند. اگر در این حالت پالس ساعت برابر با (۱) باقی بماند، به دلیل وجود فیدبک، مقادیر مرتباً تغییر می‌کنند و خروجی فلیپ‌فلاپ دائماً بین صفر و یک نوسان می‌کند. در شکل ۳۵- ۵- الف و ب تغییر وضعیت Q و $\overline{Q}$ نشان داده شده است.



شکل ۳۵-۵- با فیدبک خروجی Q و $\overline{Q}$ به ورودی وضعیت جدید Q= ۱ و $\overline{Q}$ = ۰ ظاهر شده است.

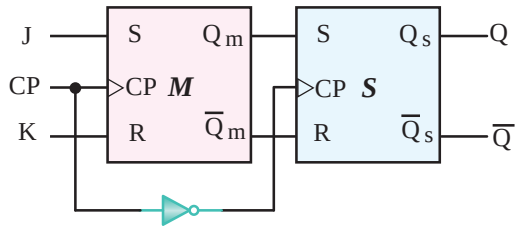
حال اگر مطابق شکل ۳۶-۵ پالس ساعت مساوی صفر (CP=۰) شود، در این لحظه Qروی آخرین وضعیت خود ثابت می‌ماند. این حالت فلیپ‌فلاپ را

پدیدهٔ دور خود چرخیدن Race Around می‌گویند.
در این‌حالت وضعیت خروجی بین صفر و یک درحال نوسان است. برای برطرف کردن این عیب از فلیپ‌فلاپ JK-MS استفاده می‌شود.



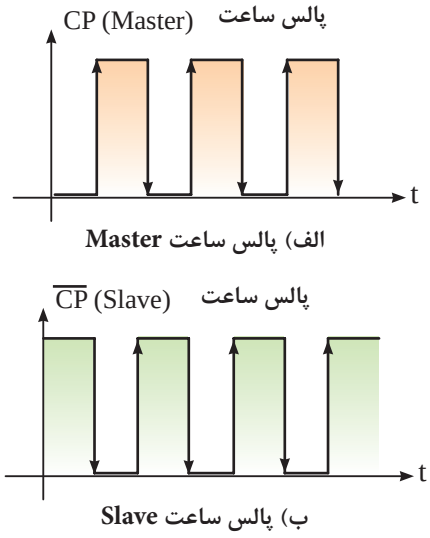
شکل ۳۶-۵- Q و $\overline{Q}$ فیدبک می‌شوند چون CP=۰ است خروجی تغییر نمی‌کند

۲-۵-۵-فلیپ‌فلاپ JK-MS (JK-Master salve):
فلیپ‌فلاپ JK-MS از دو فلیپ‌فلاپ S-R مجزا و مشابه هم درست شده است که یکی مستر (اصلی ـ Master) و دیگری اسلیو (فرعی-Slave) نام دارد. این‌فلیپ فلاپ‌ها هردو بالبه‌بالارونده عمل می‌کنند. شکل ۳۷-۵ بلوک دیاگرام این فلیپ‌فلاپ را نشان می‌دهد. خطوط فیدبک از Q و $\overline{Q}$ به ورودی‌ها رسم نشده است.



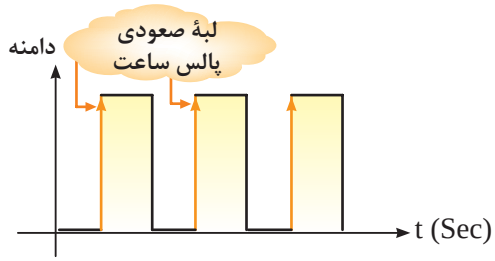
شکل ۳۷- ۵- بلوک دیاگرام فلیپ‌فلاپ JK-MS بدون رسم مسیر فیدبک

با توجه به بلوک دیاگرام شکل ۳۷-۵ درمی یابیم پالس ساعت فلیپ‌فلاپ Master معکوس(NOT) می‌شود و به‌عنوان پالس ساعت فلیپ‌فلاپ Slave عمل می‌کند.شکل‌های ۳۸-۵ الف و ب وضعیت پالس ساعت Master و Slave را نسبت به هم نشان می‌دهد.

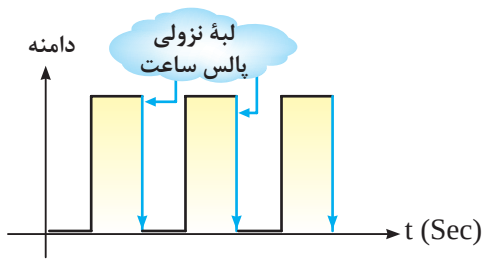


شکل ۳۸-۵ -پالس‌های Master و Slave

هنگامی که پالس از ولتاژ صفر به سمت سطح ولتاژ زیاد تغییر می‌کند، به این بخش لبهٔ صعودی پالس (لبهٔ بالارونده) گویند. شکل ۳۹-۵- الف لبهٔ صعودی پالس را نشان می‌دهد. هنگامی که پالس از سطح ولتاژ زیاد به سمت سطح ولتاژ صفر نزول می‌کند این بخش، لبهٔ نزولی پالس (پایین رونده) نام دارد. شکل ۳۹-۵- ب لبهٔ نزولی پالس را نشان می‌دهد.



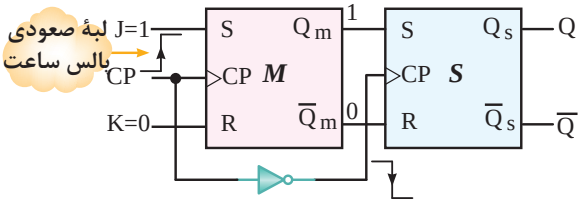
الف) پالس و لبهٔ صعودی آن



ب) پالس و لبهٔ نزولی آن

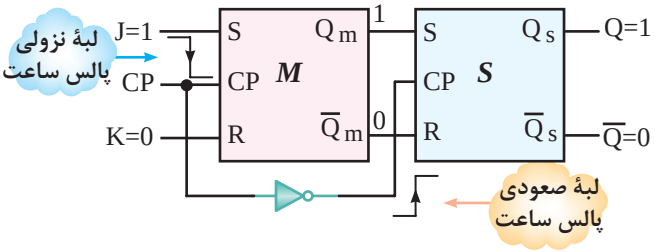
شکل ۳۹-۵- پالس ساعت و لبه‌های صعودی و نزولی

در فلیپ فلاپ JK-MS در هنگام لبهٔ صعودی پالس Master، اطلاعات ورودی وارد حافظهٔ Master می‌شود. شکل ۴۰-۵ نشان می‌دهد که اطلاعات ورودی وارد حافظهٔ Master شده است.

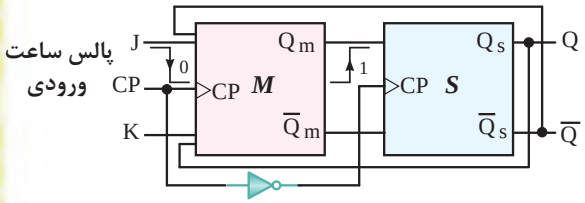


شکل ۴۰-۵- در هنگام لبهٔ صعودی پالس ورودی، اطلاعات ورودی وارد حافظهٔ Master می‌شود.

در هنگام لبهٔ نزولی پالس ساعت ورودی، پالس ساعت فلیپ‌فلاپ Slave صعود می‌کند و اطلاعات حافظهٔ Master، وارد حافظهٔ Slave که حافظهٔ خروجی است می‌شود. در شکل ۴۱-۵ لبهٔ نزولی پالس ساعت Master و لبهٔ صعودی پالس ساعت Slave و ورود اطلاعات حافظهٔ Master به حافظهٔ Slave نشان داده شده است. مشاهده می‌شود هنگامی که اطلاعات به خروجی فلیپ‌فلاپ Slave انتقال می‌یابد و می‌خواهد به ورودی فلیپ‌فلاپ Master فیدبک شود، دروازهٔ فلیپ‌فلاپ Master بسته است یعنی CP = ۰ است (شکل ۴۲-۵). بدین ترتیب اطلاعات برگشتی نمی‌تواند وارد حافظهٔ Master شود و حافظه را به نوسان درآورد.



شکل ۴۱-۵- در هنگام لبهٔ نزولی پالس ساعت ورودی، پالس ساعت Slave صعود می‌کند و اطلاعات وارد حافظهٔ Slave می‌شود.



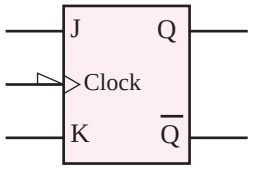
شکل ۴۲-۵- هنگامی که Q و $\bar{Q}$ به ورودی مدار فیدبک می‌رسند CP= ۰ است.

جدول درستی فلیپ‌فلاپ JK-MS مانند جدول درستی فلیپ‌فلاپ JK است. فقط در فلیپ‌فلاپ JK-MS اطلاعات در لبهٔ نزولی پالس ساعت وارد حافظه می‌شوند.

جدول ۸-۵ جدول درستی فلیپ فلاپ JK-MS را نشان می‌دهد بلوک دیاگرام فلیپ‌فلاپ JK-MS را در شکل ۴۳-۵ ملاحظه می‌کنید.

جدول ۸-۵- درستی فلیپ‌فلاپ JK-MS

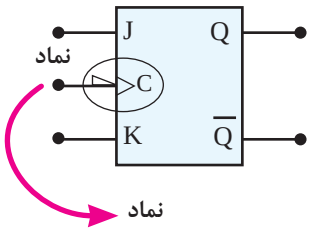
J	K	CP	Q_t
0	0	↓	$Q_{(t-1)}$ حالت قبلی را حفظ می کند
0	1	↓	0 RESET
1	0	↓	1 SET
1	1	↓	$\bar{Q}_{(t-1)}$ حالت قبلی عکس می شود



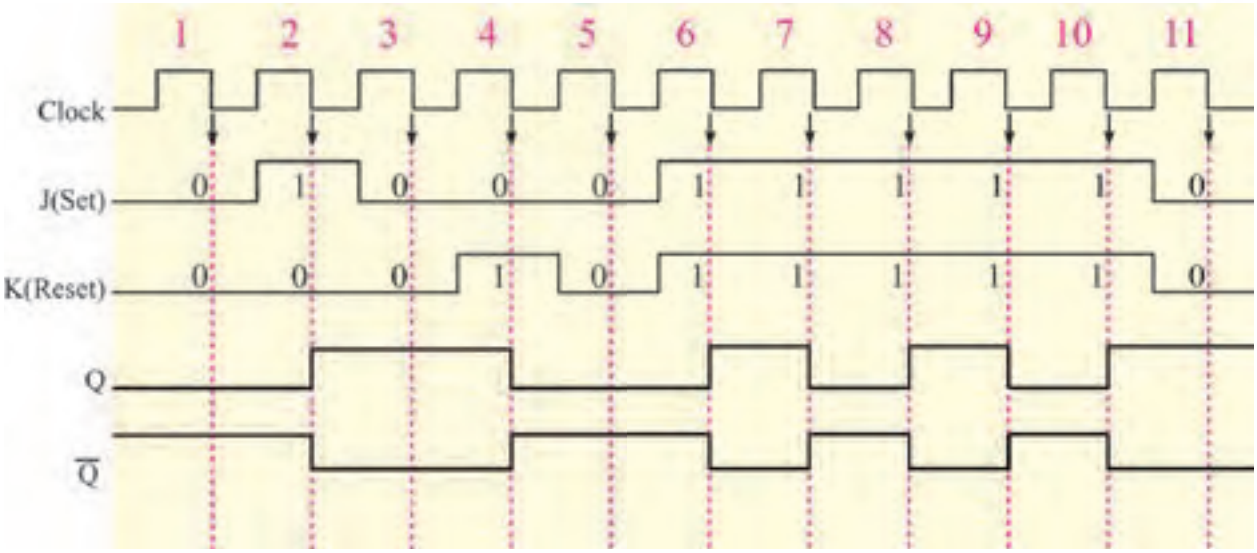
شکل ۴۳-۵- بلوک دیاگرام فلیپ‌فلاپ JK_MS

تمرین کلاسی ۲-۵: در شکل ۴۴-۵-الف مداریک فلیپ‌فلاپ JK را مشاهده می‌کنید. جدول ۹-۵ جدول صحت فلیپ فلاپ JK را نشان می‌دهد. شکل موج‌های ورودی و پالس ساعت در شکل ۴۴-۵- ب رسم شده است.

شکل موج خروجی Q و $\bar{Q}$ را در نمودار شکل ۴۵-۵- ب رسم کنید.



الف) نماد قراردادی فلیپ فلاپ JK با لبهٔ پایین روندهٔ پالس ساعت



ب) شکل موج ورودی‌ها و خروجی‌های فلیپ فلاپ

شکل ۴۴-۵- مدار فلیپ‌فلاپ JK و نمودار زمانی ورودی‌های آن

جدول ۹-۵- جدول صحت فلیپ‌فلاپ JK

CP	J	K	Q_t	
0	×	×	$Q_{(t-1)}$	بدون تغییر
1	×	×	$Q_{(t-1)}$	〃 〃
↓	0	0	$Q_{(t-1)}$	بدون تغییر
↓	0	1	0	Reset
↓	1	0	1	Set
↓	1	1	$\overline{Q}_{(t-1)}$	Toggle

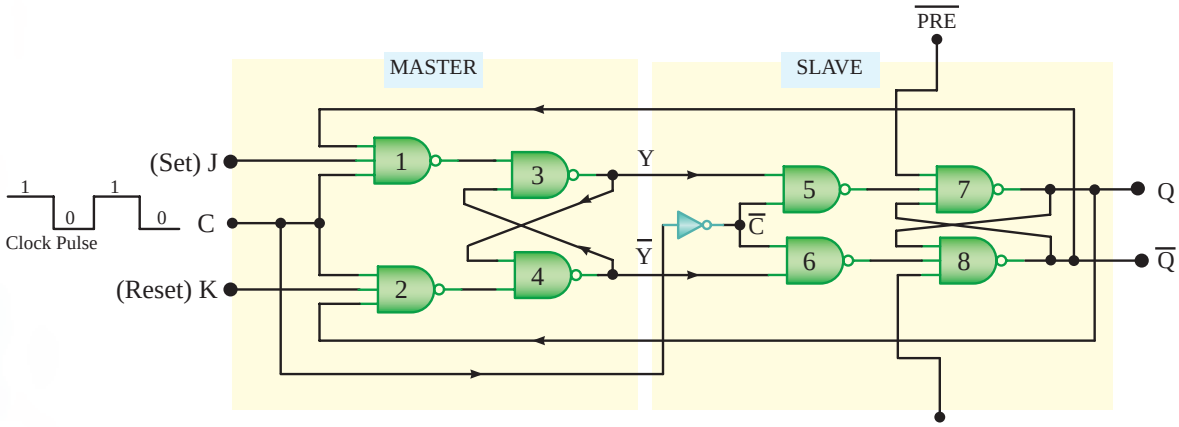
عکس حالت قبل

جهت هنرجویان علاقه‌مند: با توجه به مدار شکل ۴۵-۵ و پالس ساعت ورودی

الف) چنانچه ورودی J را یک منطقی و ورودی K را صفر منطقی قرار دهیم و با توجه به این که Q = ۱ و $\overline{Q}$ = ۰ است. خروجی‌های Master (اصلی) یعنی y و $\overline{y}$ چه مقداری خواهند داشت؟

ب) اگر پالس ساعت لبهٔ پایین‌روندهٔ خود را طی کند، Q و $\overline{Q}$ چه مقداری را خواهند داشت؟

پ) اگر ورودی J = ۱ و K = ۱ قرار دهیم، وضعیت خروجی‌های y و $\overline{y}$ و Q و $\overline{Q}$ را بنویسید.



شکل ۴۵-۵- مدار فلیپ‌فلاپ JK-MS

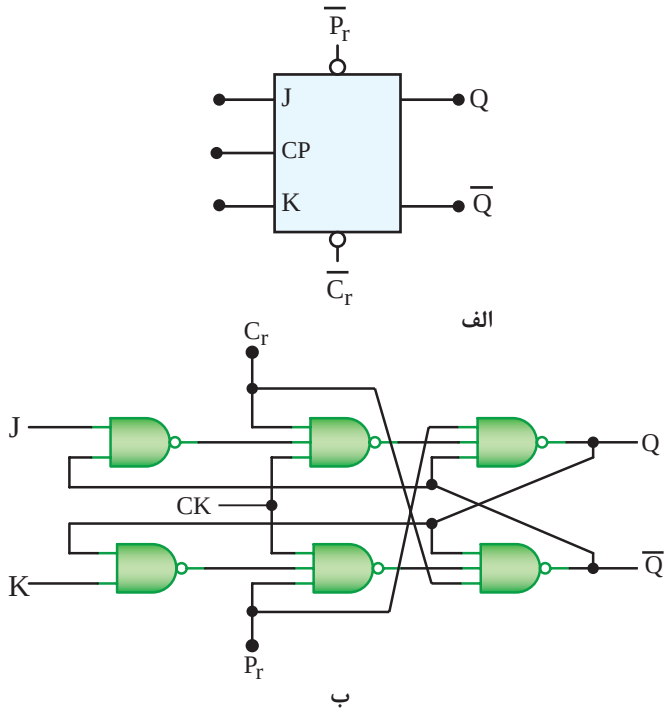
۳-۵-۵- عملکرد ورودی‌های پیش تنظیم Pre (Preset) و پاک کردن Clr (Clear):

در زمان وصل تغذیه به مدار فلیپ‌فلاپ، وضعیتی که حافظه در آن قرار می‌گیرد یعنی حالت Q، در انواع فلیپ‌فلاپ‌ها کاملاً تصادفی است. برای ایجاد یک حالت معین و تعریف شدهٔ اولیه از ورودی پیش‌تنظیم (Preset) و پاک کردن (Clear) استفاده می‌کنیم. Pre و Clr مانند شکل ۴۶-۵-ب مستقیماً روی Q و $\overline{Q}$ اثر می‌گذارند. در شکل ۴۶-۵- الف بلوک دیاگرام فلیپ‌فلاپ JK با Pr و Clr نشان داده شده است.

این فلیپ‌فلاپ با سطح مثبت پالس ساعت عمل می‌کند.

نکته: با توجه به این که پر کردن حافظه با حالت‌های Pr=۰ و پاک شدن آن، با حالت Cr=۰ انجام می‌شود، برای نمایش خطوط ورودی در نقشه‌ها، از نمادهای $\overline{Cr}$ و $\overline{Pr}$ استفاده می‌کنند. این نمادها فقط Active Low یعنی پر شدن و خالی شدن حافظه را با صفر نشان می‌دهد و قرار گرفتن علامت نات ($\overline{Cr}$ و $\overline{Pr}$) روی نمادها به معنی تغییر حالت دادن ورودی نیست.

درصورتی که Pr = ۰ و Cr = ۱ باشد مقدار Q = ۱ می‌شود، همچنین اگر Pr=۱ و Cr=۰ باشد مقدار Q=۰ خواهد شد. ایجاد شرایط Pr = ۰ و Cr = ۰ حالت ناپایدار ایجاد می‌کند. وضعیت Pr =۱ و Cr = ۱ تغییری در حافظه به‌وجود نمی‌آورد.



شکل ۴۶-۵- ورودی‌های Preset و Clear و بلوک دیاگرام فلیپ فلاپ JK

Pr = ۰ Cr = ۱	Q = ۱
Pr = ۱ Cr = ۰	Q = ۰

در جدول ۱۰-۵ جدول درستی کامل یک فلیپ‌فلاپ JK که با لبه پایین رونده پالس ساعتکار می‌کند همراه با خط‌های Pr و Cr رسم شده است.

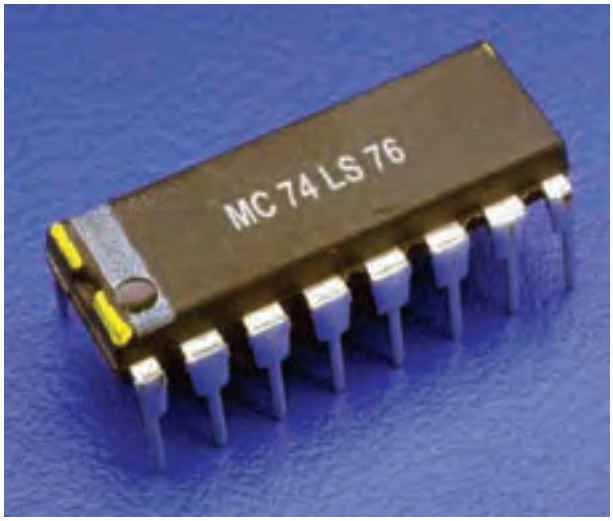
جدول ۱۰-۵- جدول درستی کامل یک فلیپ‌فلاپ JK با ورودی Pr و Cr

P_r	C_r	CP	J	K	Q_t
0	0	X	X	X	* حالت ناپایدار
0	1	X	X	X	1 پرشده Preset
1	0	X	X	X	0 پاک شده Clear
1	1	–	X	X	$Q_{(t-1)}$ حالت قبلی را حفظ می کند
1	1	↓	0	0	$Q_{(t-1)}$
1	1	↓	0	1	0 Reset
1	1	↓	1	0	1 Set
1	1	↓	1	1	$\overline{Q}_{(t-1)}$ حالت قبلی عکس می‌شود

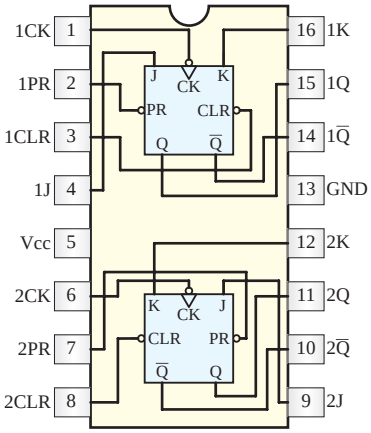
همان طور که قبلاً بیان شد در هنگام وصل اوّلیهٔ تغذیه مدارهای ترتیبی، حالتی که هر فلیپ‌فلاپ انتخاب می‌کند کاملاً تصادفی است. برای ایجاد یک حالت معیّن و تعریف شدهٔ اوّلیه، از ورودی‌های Preset و Clear استفاده می‌کنند. این ورودی‌ها مستقیماً بر Q و $\overline{Q}$ تأثیر می‌گذارند و چون برای اثرگذاری آن‌ها روی فلیپ‌فلاپ به‌فعّال بودن پالس ساعت نیاز نیست، ورودی‌های موازی یا ورودی‌های ناهم‌زمان (Asynchronous Inputs) نامیده می‌شود.

همان‌گونه که در شکل ۴۶-۵- ب مشاهده می‌کنید، این ورودی‌ها مستقیماً دروازه‌های انتهایی مدار را تحت تأثیر قرار می‌دهند. مطابق جدول ۱۰-۵، جدول صحت کامل فلیپ‌فلاپJK با خط‌های Clr و Pr، باید از ایجاد حالت Pr = Cr = ۰ که موجب ناپایداری مدار می‌شود، جلوگیری کرد.

۴-۵-۵- تراشهٔ ۷۴LS۷۶: آی‌سی ۷۴LS۷۶ یک تراشهٔ ۱۶ پایه است که در داخل آن دو عدد فلیپ‌فلاپ JK-MS جاسازی شده است. شکل ۴۷-۵ شکل ظاهری این آی‌سی را نشان می‌دهد. در شکل ۴۸-۵ فلیپ‌فلاپ‌های داخل این آی‌سی رسم شده‌اند.



شکل ۴۷-۵- شکل ظاهری آی‌سی ۷۴۷۶



شکل ۴۸-۵- نماد داخلی آی‌سی ۷۴۷۶

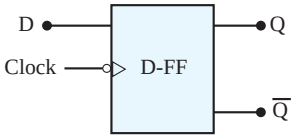
جدول ۱۱-۵ جدول درستی یکی از فلیپ‌فلاپ‌های ۷۴LS۷۶ را نشان می‌دهد. حالت X به معنی این است که وضعیت ورودی اهمیتی ندارد و می‌تواند صفر یا یک باشد.(جدول درصفحه بعد)

۶-۵- فلیپ‌فلاپ نوع D (تأخیری یا Delay)

این فلیپ‌فلاپ تنها دارای یک ورودی است که ورودی (D) نام دارد (شکل ۴۹-۵).

جدول ۱۱-۵- جدول درستی یکی از فلیپ‌فلاپ‌های آی‌سی ۷۴۷۶

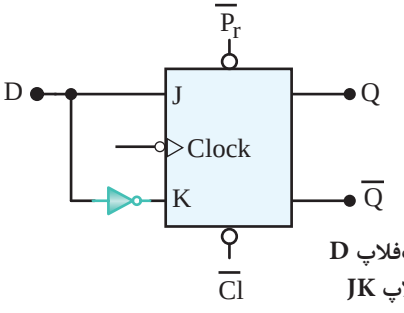
INPUTS					OUTPUTS	
Preset	Clear	Clock	J	K	Q	$\overline{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H	H
H	H	↓	L	L	Q	$\overline{Q}$
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	TOGGLE	
H	H	H	X	X	Q	$\overline{Q}$



شکل ۴۹- ۵- فلیپ‌فلاپ D

از این فلیپ‌فلاپ به‌عنوان یک سلول ثبّات (ثبت‌کننده) استفاده می‌کنند. زیرا اطلاعات ورودی آن پس از هر پالس ساعت وارد حافظهٔ فلیپ‌فلاپ می‌شود و تا پالس ساعت بعدی آن را حفظ می‌کند.

این فلیپ‌فلاپ را می‌توان به کمک هر یک از انواع فلیپ‌فلاپ‌های SR ,JK یا JK-MS طراحی کرد. برای این منظور باید ورودی S را نفی کنیم سپس آن را به R اتصال دهیم. همچنین می‌توان ورودی J را نفی کرد و به ورودی K اتصال داد. شکل ۵۰-۵ یک فلیپ‌فلاپ D را با استفاده از فلیپ‌فلاپ J-K نشان می‌دهد.

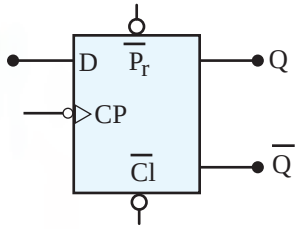


شکل ۵۰-۵- فلیپ‌فلاپ D با استفاده از فلیپ‌فلاپ JK

جدول درستی فلیپ‌فلاپ D مطابق جدول ۱۲-۵ است. در شکل ۵۱-۵ بلوک دیاگرام فلیپ‌فلاپ نوع D رسم شده است.

جدول ۱۲- ۵ - جدول درستی فلیپ‌فلاپ D

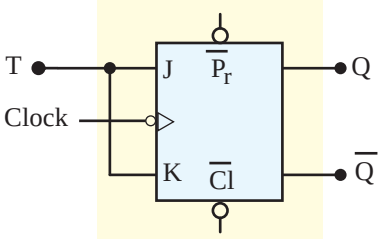
CP	D	Q
↓	0	0
↓	1	1



شکل ۵۱-۵- بلوک دیاگرام فلیپ‌فلاپ D

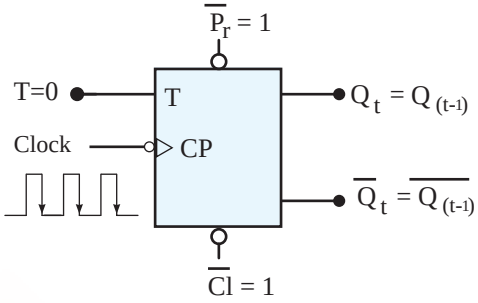
۵-۷- فلیپ‌فلاپ نوع T (کلیدی یا Toggle)

اگر دو ورودی فلیپ‌فلاپ JK را به هم وصل کنیم و اتصال مشترک را T بنامیم، فلیپ‌فلاپ جدیدی ساخته می‌شود که به آن فلیپ‌فلاپ نوع T یا کلیدی گویند. شکل ۵۲-۵ نحوهٔ تبدیل فلیپ‌فلاپ J-K را به T نشان می‌دهد. با توجه به شکل درمی‌یابیم که اطلاعات ورودی‌های J و K با هم برابرند.



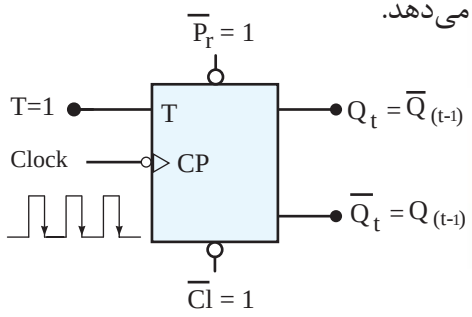
شکل ۵۲-۵- تبدیل فلیپ‌فلاپ J-K به T

پس اگر T=۰ باشد، مطابق شکل ۵۳-۵، J=K=۰ است. در این صورت حافظه بدون تغییر می‌ماند.



شکل ۵۳-۵- T=۰ است و Q و $\overline{Q}$ تغییر نمی‌کند.

حال چنانچه $T=1$ باشد، $J=K=1$ است. در این حالت طبق شکل ۵-۵۴ با هر پالس ساعت وضعیت حافظه برعکس حالت قبل می‌شود. یعنی اگر حافظه Set است به حالت Reset و اگر Reset است به حالت Set تغییر حالت می‌دهد.



شکل ۵-۵۴- $T=1$ است در لبهٔ نزولی پالس ساعت Q_t برعکس می‌شود.

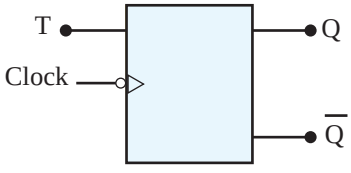
جدول ۵-۱۳ جدول درستی T-FF را بر اساس عملکرد JK-FF نشان می‌دهد. این جدول را می‌توان به صورت جدول ۵-۱۴ خلاصه کرد. بلوک دیاگرام فلیپ‌فلاپ T در شکل ۵-۵۵ آمده است.

جدول ۵-۱۳- جدول درستی T-FF بر اساس عملکرد JK-FF

T	CLK	J	K	$Q_{(t-1)}$	Q_t
0	↓	0	0	0	0
0	↓	0	0	1	1
1	↓	1	1	0	1
1	↓	1	1	1	0

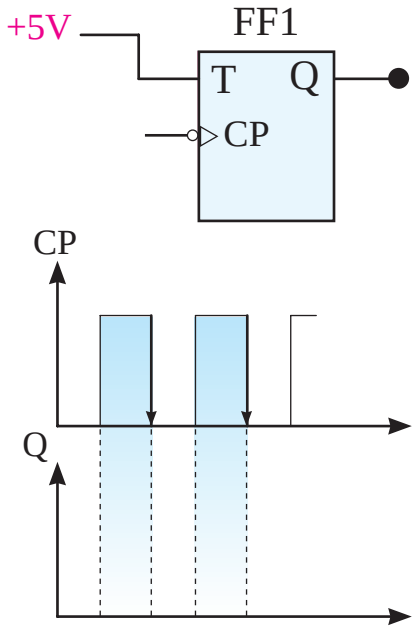
جدول ۵-۱۴- جدول درستی T-FF

T	CP	Q_t	
0	↓	$Q_{(t-1)}$	حالت قبلی را حفظ می‌کند
1	↓	$\overline{Q}_{(t-1)}$	حالت قبلی عکس می‌شود



شکل ۵-۵۵- بلوک دیاگرام T-FF

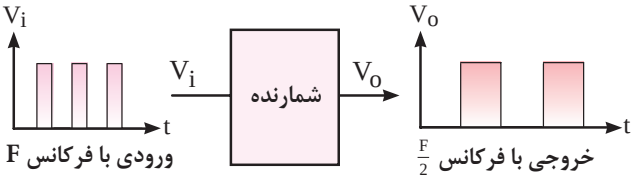
تمرین کلاسی ۳-۵: شکل موج خروجی Q فلیپ فلاپ T را به ازای دو پالس ساعت در شکل ۵-۵۶ رسم کنید.



شکل ۵-۵۶- فلیپ‌فلاپ T و شکل موج پالس ساعت و خروجی آن

از فلیپ‌فلاپ T اغلب به عنوان تقسیم کنندهٔ فرکانس در ساختمان مدارهای ساعت یا شمارنده استفاده می‌شود. شکل ۵-۵۷-الف یک شمارنده و شکل ۵-۵۷-ب شمارنده به‌عنوان تقسیم‌کنندهٔ فرکانس را نشان می‌دهد.

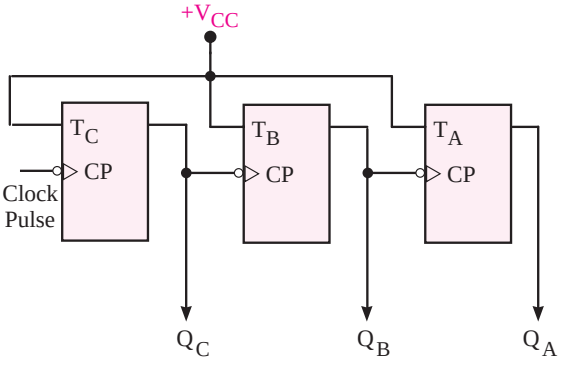
الف) یک شمارنده



ب) شمارنده به‌عنوان مقسم فرکانس

شکل ۵۷-۵- یک شمارنده و شمارنده به‌عنوان مقسم فرکانس

مثال۱-۵: اگر سه طبقه فلیپ‌فلاپ را مطابق شکل ۵-۵۸ به هم وصل کنیم، یک شمارشگر باینری سه بیتی تشکیل می‌شود. فرکانس و شکل موج خروجی هر یک از فلیپ‌فلاپ‌ها را بدست آورید.

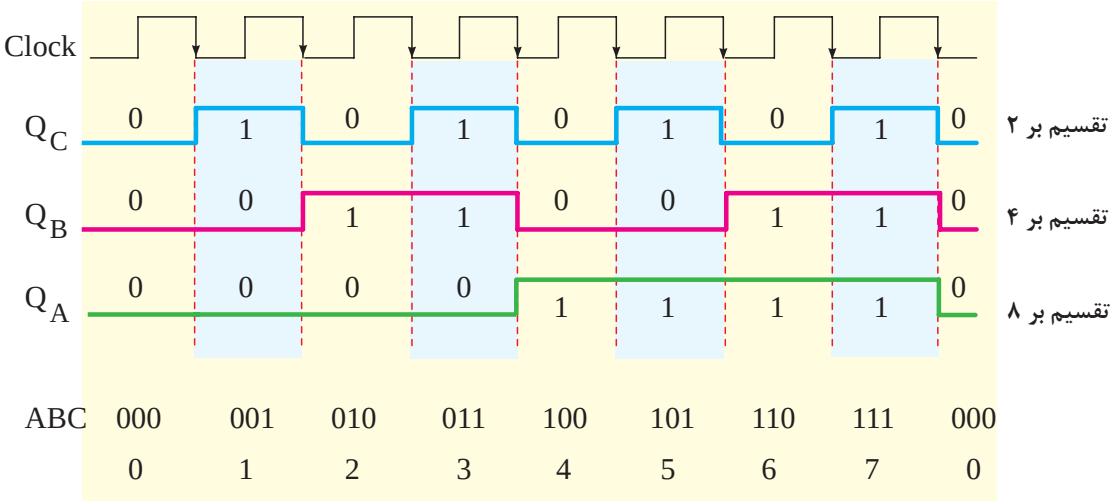


شکل ۵۸-۵- مدار شمارندهٔ سه‌بیتی

حل: در بررسی مدار فوق فرض شده است که کلّیهٔ فلیپ‌فلاپ‌ها در ابتدا Reset شده باشند. به‌علاوه، فلیپ‌فلاپ‌ها را با لبهٔ پایین‌روندهٔ ساعت در نظر گرفته‌ایم.

همان‌طور که مشاهده می‌کنید، فلیپ‌فلاپ طبقهٔ C در حکم یک تقسیم‌کنندهٔ فرکانس پالس ساعت عمل می‌کند،چون پالس ساعت فلیپ‌فلاپ طبقهٔ B از خروجی طبقهٔ C دریافت شده‌است، خروجی این طبقه بار دیگر فرکانس پالس ساعت را تقسیم بر۲ می‌کند $(Q_B = \frac{Q_C}{۲} = \frac{\frac{Clock}{۲}}{۲} = \frac{Clock}{۴})$ و به همین ترتیب، فلیپ‌فلاپ طبقهٔ A فرکانس پالس ساعت را تقسیم بر ۸ می‌کند. در شکل ۵-۵۹ دیاگرام زمانی یک شمارندهٔ سه بیتی را مشاهده می‌کنید.

$$Q_A = \frac{Q_B}{۲} = \frac{\frac{Clock}{۴}}{۲} = \frac{Clock}{۸}$$

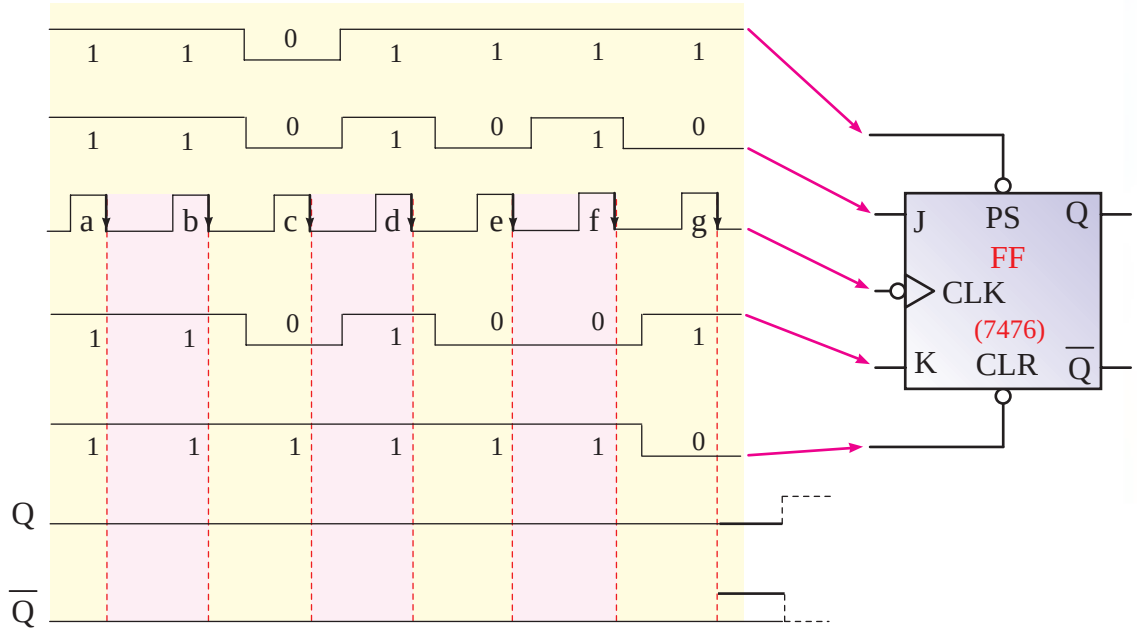


شکل ۵۹-۵- دیاگرام زمانی یک شمارندهٔ سه بیتی

۸-۵ الگوی پرسش

۱- در شکل ۵-۶۰ فرض کنید که فلیپ‌فلاپ JK-MS در آغاز کار در حالت Reset قرار دارد نمودار دیاگرام تغییرات خروجی‌های Q و $\overline{Q}$ را رسم کنید.

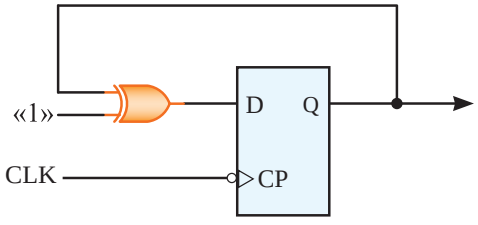
راهنمایی: فلیپ‌فلاپ را براساس جدول ۵-۱۱ تحلیل کنید.

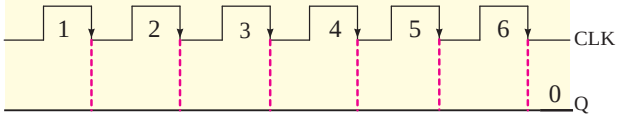


شکل ۶۰-۵ - نمودار دیاگرام زمانی مربوط به سؤال ۱ الگوی پرسش

۲- خروجی Q یک D-FF عامل با لبهٔ پایین‌روندهٔ پالس ساعت را مطابق شکل ۶۱-۵ به ورودی آن برمی‌گردانیم.

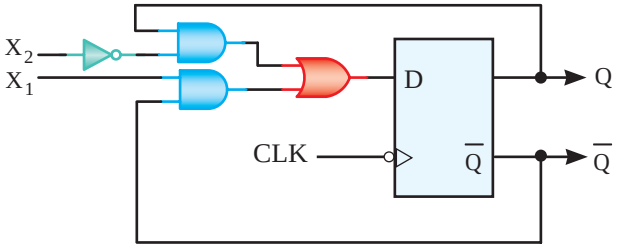
با فرض این‌که در آغازکار فلیپ‌فلاپ Reset است، دیاگرام زمانی تغییر وضعیت‌های بعدی آن را رسم کنید، رفتار این مدار، رفتار کدام یک از فلیپ‌فلاپ‌ها را نشان می‌دهد؟





شکل ۶۱- ۵ - مدار و نمودار زمانی سؤال ۲ الگوی پرسش

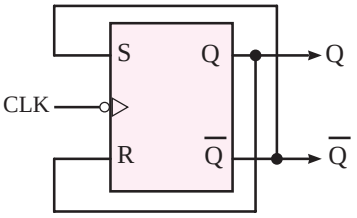
۳- فرض کنید فلیپ‌فلاپ شکل ۶۲-۵ در آغاز Reset باشد و با لبهٔ پایین روندهٔ پالس ساعت عمل کند. با توجه به این فرضیه جدول صحت مدار را کامل کنید. این جدول رفتار کدام یک از فلیپ‌فلاپ‌ها را نشان می‌دهد؟

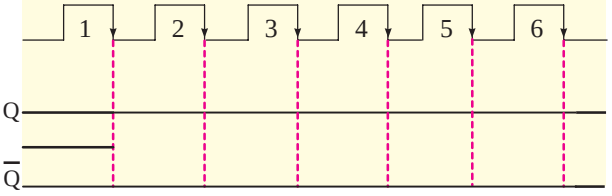


Clock	X_2	X_1	$Q_{(t-1)}$	Q(t)	$\overline{Q}(t)$
⎍	0	0	0		
⎍	0	0	1		
⎍	0	1	0		
⎍	0	1	1		
⎍	1	0	0		
⎍	1	0	1		
⎍	1	1	0		
⎍	1	1	1		

شکل ۶۲-۵ - مدار و جدول صحت سؤال ۳ الگوی پرسش

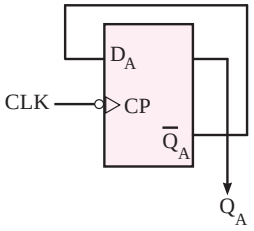
۴- با فرض آن که فلیپ‌فلاپ شکل ۶۳-۵ در ابتدا Reset باشد، تغییرات بعدی وضعیت خروجی Q را در نمودار رسم کنید. نتیجهٔ حاصل، رفتار کدام یک از فلیپ‌فلاپ‌ها را نشان می‌دهد؟

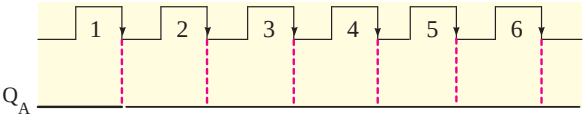




شکل ۶۳-۵- مدار دیاگرام زمانی سؤال ۴ الگوی پرسش

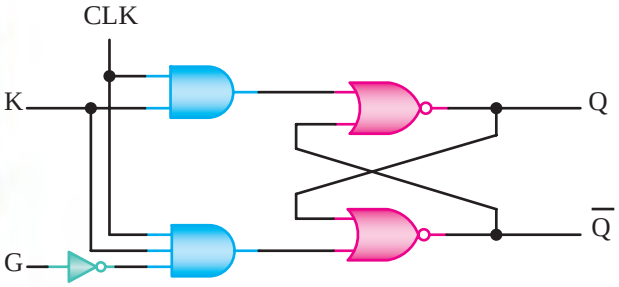
۵- فرض کنید فلیپ‌فلاپ شکل ۶۴-۵ در آغاز در حالت Reset قرار دارد. پالس دیاگرام زمانی Q_A را در نمودار رسم کنید. رفتار این مدار معادل کدام فلیپ‌فلاپ است؟





شکل ۶۴-۵- مدار دیاگرام زمانی سؤال ۵ الگوی پرسش

۶- جدول صحت مدار شکل ۶۵-۵ را تکمیل کنید.



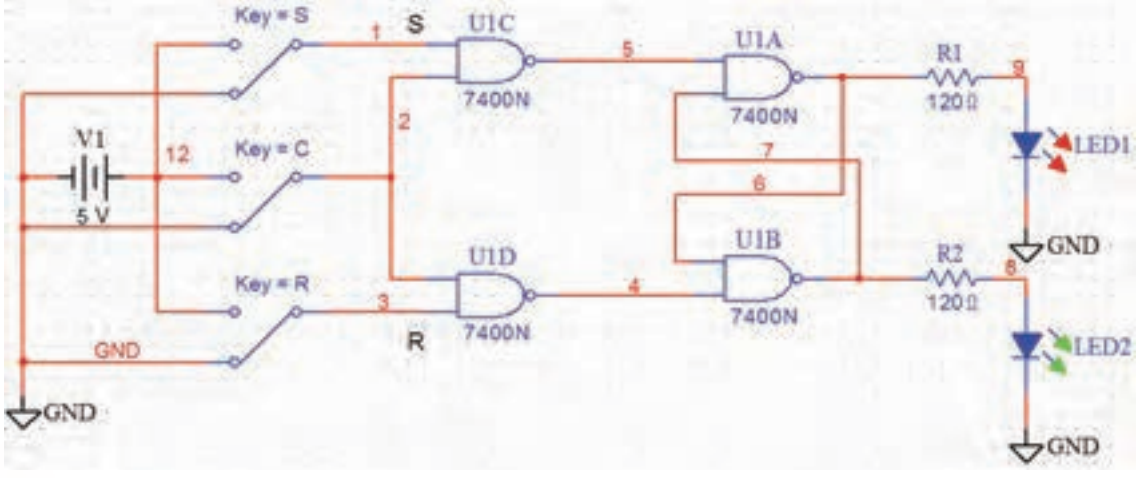
شکل ۶۵-۵- مدار سؤال ۶ الگوی پرسش

جدول ۱۵-۵- جدول سؤال ۶ الگوی پرسش

CLK	K	G	Q(t)

۹-۵- کار با نرم‌افزار

مدار شکل ۶۶-۵ فلیپ‌فلاپ با پالس ساعت را نشان می‌دهد. مدار را توسط نرم‌افزار مولتی‌سیم ببندید و صحت عملکرد آن را مطابق جدول صحت مربوطه بررسی کنید.



شکل ۶۶-۵- مدار فلیپ‌فلاپ با پالس ساعت

فصل ششم

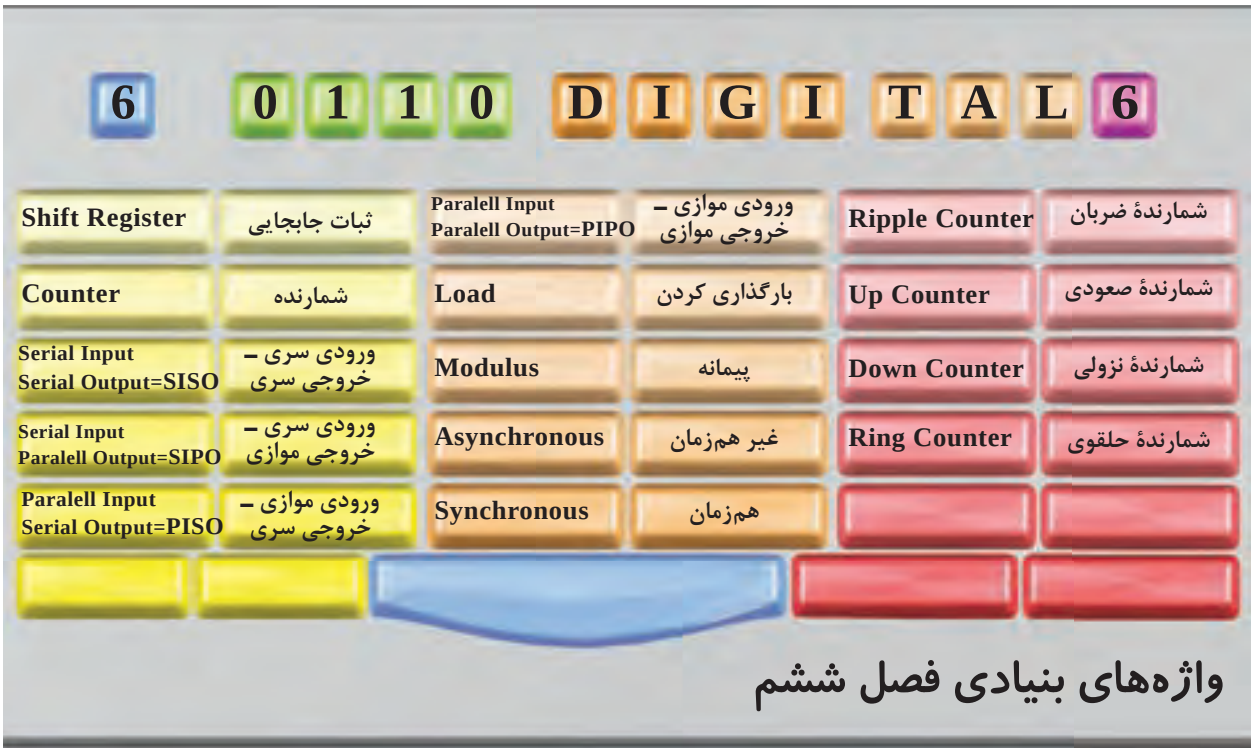
شیفت رجیسترها و شمارنده‌ها
(Shift Registers and Counters)

هدف کلی: بررسی انواع شیفت‌رجیسترها و شمارنده‌ها

کل زمان اختصاص داده‌شده به فصل : ۲۰ ساعت آموزشی

هدف‌های رفتاری: در پایان این فصل از فراگیرنده انتظار می‌رود که:

۱ـ مفهوم شیفت‌رجیستر را شرح دهد.
۲ـ انواع شیفت رجیستر را از نظر ورودی و خروجی داده‌ها نام ببرد.
۳ـ ساختمان شیفت رجیستر ورودی سری خروجی سری را شرح دهد.
۴ـ ساختمان شیفت رجیستر ورودی سری خروجی موازی را شرح دهد.
۵ـ ساختمان شیفت‌رجیستر ورودی موازی خروجی سری را شرح دهد.
۶ـ ساختمان شیفت رجیستر ورودی موازی خروجی موازی را شرح دهد.
۷ـ ساختمان شیفت رجیستر چپ رو ـ راست رو را شرح دهد.
۸ـ به الگوی پرسش شیفت رجیسترها پاسخ دهد.
۹ـ شمارنده‌ها را شرح دهد.
۱۰ـ انواع شمارنده‌های سنکرون و آسنکرون را تعریف کند.
۱۱ـ ساختمان شمارندهٔ آسنکرون صعودی را شرح دهد.
۱۲ـ جدول صحت شمارندهٔ آسنکرون صعودی را بنویسد.
۱۳ـ دیاگرام‌های زمانی شمارندهٔ آسنکرون صعودی را رسم کند.
۱۴ـ ساختمان شمارندهٔ آسنکرون نزولی را شرح دهد.
۱۵ـ جدول صحت شمارندهٔ آسنکرون نزولی را بنویسد.
۱۶ـ ساختمان شمارندهٔ آسنکرون ده‌دهی را شرح دهد.
۱۷ـ جدول صحت شمارندهٔ ده‌دهی را بنویسد.
۱۸ـ دیاگرام‌های زمانی شمارندهٔ ده‌دهی را رسم کند.
۱۹ـ ساختمان شمارندهٔ سنکرون را شرح دهد.
۲۰ـ ساختمان شمارندهٔ صعودی و نزولی را شرح دهد.
۲۱ـ ساختمان شمارندهٔ حلقوی را شرح دهد.
۲۲ـ جدول صحت شمارندهٔ حلقوی را بنویسد.
۲۳ـ ساختمان شمارندهٔ جانسون را شرح دهد.
۲۴ـ جدول صحت شمارندهٔ جانسون را بنویسد.
۲۵ـ ساختمان یک مدار کاربردی از مدارهای ترتیبی نظیر ساعت دیجیتال، فرکانس‌متر یا ولت متر را به‌صورت بلوکی توضیح دهد.
۲۶ـ با استفاده از data book آی‌سی‌های شیفت‌رجیستر و شمارنده‌ها را شناسایی کند.
۲۷ـ با استفاده از نرم‌افزار مولتی‌سیم، مدار شیفت‌رجیسترها و شمارنده‌ها را شبیه‌سازی کند.
۲۸ـ به سؤالات الگوی پرسش پاسخ دهد.



پیش‌گفتار

رجیسترها یا ثبات‌ها مدارهایی هستند که اطلاعات باینری را به‌صورت موقتی ذخیره می‌کنند، و موارد کاربردی آن به شرح زیر است :

- انجام محاسبات ریاضی و منطقی روی اطلاعات
- نگهداری اطلاعات ورودی به یک رمز گشا
- نگهداری اطلاعات خروجی از یک رمزگذار
- نگهداری اطلاعات ورودی و خروجی در کامپیوتر

۱ـ۶ـ شیفت‌رجیسترها(Shift Registers) و شمارنده‌ها (Counters)

یک ثبات یا رجیستر مجموعه‌ای از فلیپ‌فلاپ‌ها (سلول‌های حافظه) است که می‌تواند اطلاعات دودویی(باینری) را در خود نگه‌دارد. رجیستری که قادر است اطلاعات باینری ذخیره‌شده در خود را به سمت راست یا چپ انتقال دهد، شیفت رجیستر نامیده می‌شود.

اتصال فلیپ‌فلاپ‌ها به‌گونه‌ای است که یک رشته ارقام باینری به آن‌ها وارد یا از آن‌ها خارج می‌شود.

این نوع مدارها را معمولاً شیفت رجیستر یا ثبات انتقالی می‌نامند. یک شیفت رجیستر n بیتی از n فلیپ‌فلاپ تشکیل می‌شود و می‌تواند n بیت اطلاعات را در خود ذخیره کند. یک نمونه از کاربرد شیفت رجیستر در ماشین حساب است.

با ورود هر رقم از صفحه‌کلید، اعداد روی نمایشگر به چپ جابجا می‌شوند. مثلاً برای ورود عدد ۲۶۸ ابتدا با فشار دادن کلید ۲ و رهاسازی آن رقم ۲ در سمت راست نمایشگر ظاهر می‌شود. سپس با فشردن کلید ۶ و رهاسازی آن رقم ۲ یک مکان به چپ می‌رود و برای ظهور ۶ روی صفحه کلید جا باز می‌کند. نهایتاً اگر کلید ۸ را بفشارید و رها کنید عدد ۲۶۸ روی صفحه‌نمایش ظاهر خواهد شد. ذکر این مثال، دو مشخصهٔ مهم یک شیفت رجیستر را نشان می‌دهد.

۱ـ مدار داخلی ماشین‌حساب یک ثبات موقت است، به طوری که حتی اگر دکمهٔ صفحه‌کلید را رها کنید، اعداد روی نمایشگر باقی می‌ماند.

۲ـ هر بار که یک رقم جدید را روی صفحهٔ کلید می‌فشارید، مدار داخلی اعداد روی صفحهٔ نمایش را یک رقم به چپ جابه‌جا می‌کند. مدارهایی که عمل جابه‌جایی و ذخیره‌سازی را انجام می‌دهند، شیفت رجیستر نام دارند. مدار شیفت رجیستر در سیستم‌های الکترونیکی دیجیتالی کاربرد دارد.

۱ـ ۱ـ۶ـ انواع شیفت‌رجیستر: بر حسب این که اطلاعات، چگونه ثبت (نوشته) و به چه صورت خوانده شود، شیفت رجیسترها را به چهار گروه زیر دسته‌بندی می‌کنند:

۱ـ ورودی سری ـ خروجی سری (SISO) یا متوالی ـ متوالی یاسری ـ سری Serial input-Serial output

۲ـ ورودی سری ـ خروجی موازی (SIPO) یا متوالی ـ موازی یاسری ـ موازی Serial input ـ Paralell output

۳ـ ورودی موازی ـ خروجی سری (PISO) یا موازی ـ متوالی یاموازی ـ سری Serial output ـ Paralell input

۴ـ ورودی موازی ـ خروجی موازی (PIPO) یا موازی ـ موازی Paralell input - Paralell output

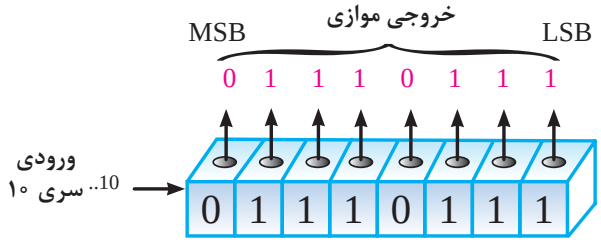
در شکل ۱ـ ۶ یک شیفت رجیستر ۸ بیتی را مشاهده می‌کنید که اطلاعات ۱۰۰۱۰۱۱۰ در آن ذخیره شده است.

شکل ۱ـ۶ـ شیفت رجیستر ۸ بیتی

در شکل ۲ـ۶ـ شیفت رجیستر «ورودی سری ـ خروجی سری» نشان داده شده است. با ورود ۰۱، از خروجی ۱۰ دریافت می‌شود. به عبارت دیگر بیت‌های ورودی یکی پس از دیگری و به صورت سریال وارد اولین بیت فلیپ فلاپ می‌شوند و سپس از فلیپ‌فلاپ‌های بعدی عبور می‌کنند.

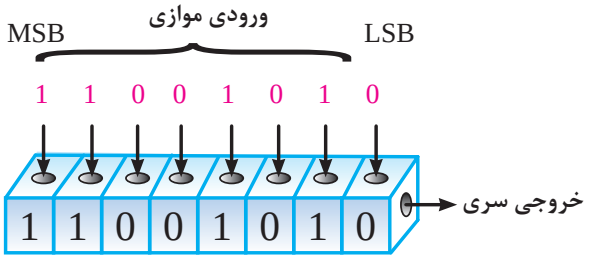
شکل ۲ـ۶ـ شیفت رجیستر سری ـ سری

در شکل ۳ـ۶ اطلاعات به صورت سری وارد می‌شود و خروجی‌ها هم‌زمان به صورت موازی دریافت می‌شوند به عبارت دیگر ورودی به صورت سریال وارد مدار می‌شود و خروجی‌ها به طور هم‌زمان و موازی دریافت می‌گردد.



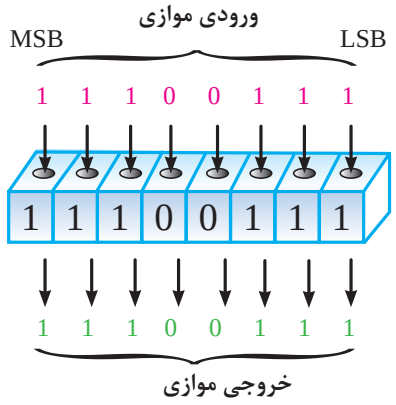
شکل ۳ـ۶ـ شیفت رجیستر سری موازی

در شکل ۴ـ۶ اطلاعات به صورت موازی وارد شیفت رجیستر شده و سری دریافت می‌شود.



شکل ۴ـ۶ـ شیفت‌رجیستر موازی ـ سری

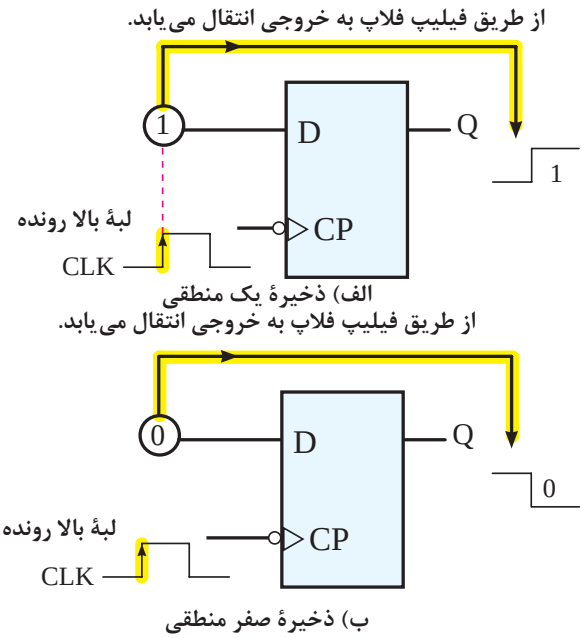
اگر بخواهیم در یک شیفت رجیستر اطلاعات را به‌صورت موازی وارد و موازی نیز از آن خارج کنیم، می‌توانیم از شیفت‌رجیستر شکل ۵ـ۶ استفاده نمائیم.



شکل ۵ـ۶ـ شیفت‌رجیستر موازی ـ موازی

کامپیوترها ممکن است با روش سری، موازی یا ترکیبی از هردو روش کار کنند. عملیات سری به‌دلیل زمانی که برای انتقال اطلاعات به داخل و خارج از شیفت رجیسترها صرف می‌کند، کندتر است ولی از نظر سخت‌افزاری به مدارهای کمتری نیاز دارد. با مقایسه شیفت رجیسترهای سری و موازی می‌توان نتیجه گرفت که حالت‌های موازی از سرعت بیشتری نسبت به حالت‌های سری برخوردارند زیرا به دلیل نوع اتصالات، اطلاعات به‌طور همزمان به ورودی یا خروجی می‌رسد.

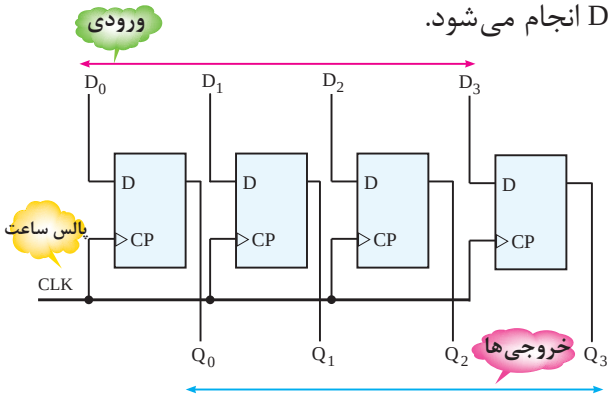
یک شیفت رجیستر ۸ بیتی از ۸ فلیپ‌فلاپ تشکیل شده است که انتقال اطلاعات از ورودی به خروجی ممکن است از طریق لبه‌های بالا رونده یا پایین روندهٔ مثبت یا منفی پالس ساعت ورودی صورت بگیرد. در شکل ۶ـ۶ مفهوم ذخیره‌کردن «یک» یا «صفر» منطقی از فلیپ‌فلاپ نوع D درلبهٔ بالارونده پالس ساعت ورودی نشان داده‌شده است.



شکل ۶ـ۶ـ فلیپ‌فلاپ به عنوان ذخیره‌کننده

۲ـ۱ـ۶ـ انتقال اطلاعات در شیفت رجیستر:

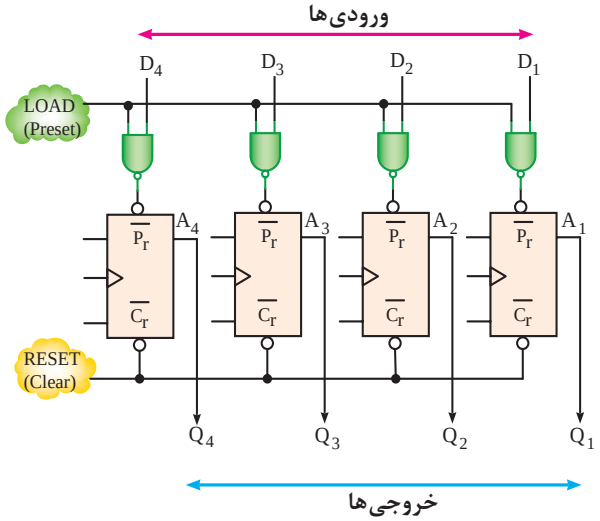
انتقال اطلاعات در شیفت رجیستر از طریق ورودی‌های اصلی فلیپ‌فلاپ D یا از ورودی‌های Preset و Clear صورت می‌گیرد. در شکل ۷ـ۶ یک شیفت‌رجیستر با ورودی موازی و خروجی موازی نشان داده‌شده است که در آن انتقال اطلاعات از طریق ورودی‌های فلیپ‌فلاپ D انجام می‌شود.



شکل ۷ـ۶ـ شیفت رجیستر با ورودی موازی و خروجی موازی

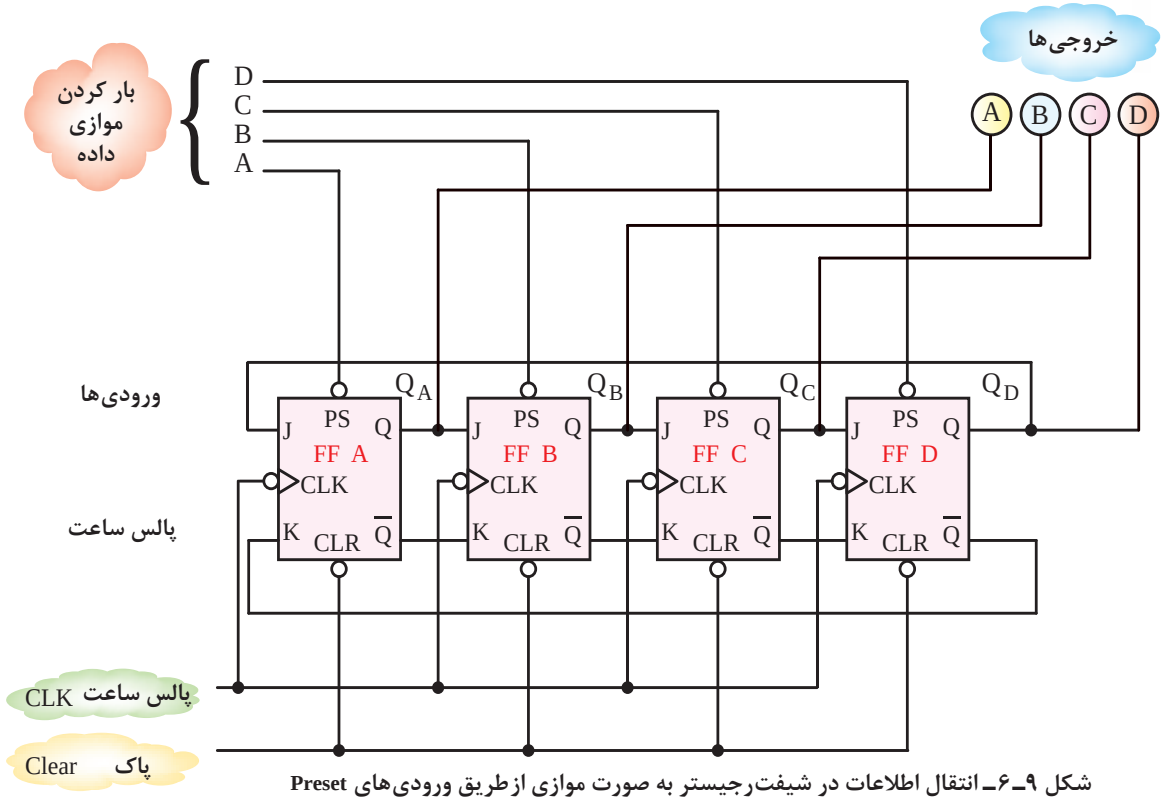
همان‌طور که مشاهده می‌شود داده‌های ورودی به هر یک از فلیپ‌فلاپ‌ها به طور مستقل وارد می‌شود و از خروجی آن دریافت می‌گردد.

انتقال اطلاعات در شیفت‌رجیستر می‌تواند از طریق ورودی‌های Preset مطابق شکل ۸ـ۶ نیز انجام شود. توجه داشته باشید که قبل از انتقال اطلاعات، باید محتویات قبلی فلیپ‌فلاپ با استفاده از ورودی Preset پاک شود. در این مدار فرض بر این است که حالت فعال Preset و Clear صفر منطقی(Low) باشد. چگونگی عملکرد خطوط ورودی pr و cr درصفحهٔ ۱۴۵ توضیح داده شده است. .



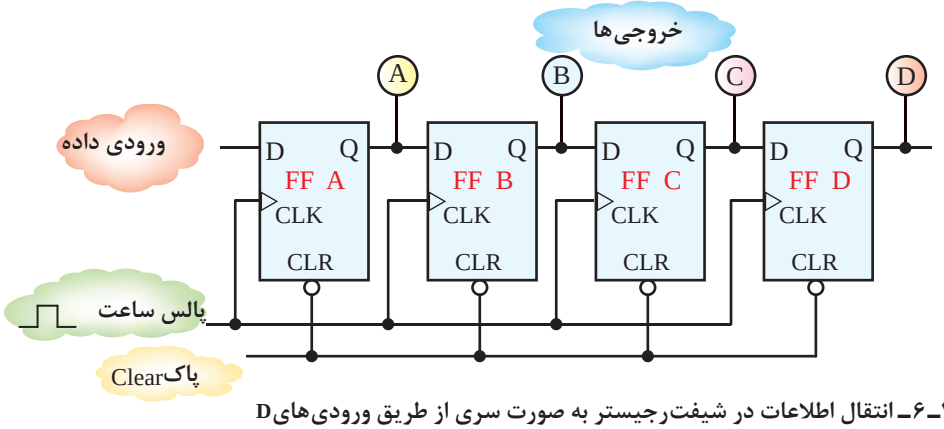
شکل ۸ـ۶ـ شیفت‌رجیستر موازی ـ موازی با ورودی‌اطلاعات از طریق Preset

یعنی با صفر شدن ورودی Preset فلیپ‌فلاپ‌هاSet می‌شوند یا با صفر شدن ورودی Clear فلیپ‌فلاپ‌هاReset می‌شوند. در شکل۹ـ۶ چنان‌چه اطلاعات خروجی فقط از D دریافت شود، انتقال اطلاعات در شیفت رجیستر به‌صورت ورودی موازی و خروجی سری یعنی «موازی سری» انجام می‌شود، زیرا ورودی‌های A، B، C و D به‌طور همزمان و به‌صورت موازی به ورودی‌ها داده می‌شود و اطلاعات خروجی از طریق فلیپ فلاپ‌های A به B، B به C و C به D و به‌صورت سری منتقل می‌شود. اگر از خروجی Q_A، Q_B ، Q_C و Q_D اطلاعات به‌صورت همزمان دریافت شود، شیفت رجیستر به‌صورت «موازی ـ موازی» عمل می‌کند. در این شکل تمام فلیپ‌فلاپ‌ها از نوع D می‌باشند زیرا از طریق خطوط فیدبک Q_D و $\overline{Q}_D$ به ورودی J و K اولین فلیپ‌فلاپ (FFA) اطلاعات دریافت می‌شود و رفتار فلیپ‌فلاپ مشابه فلیپ‌فلاپ D خواهد شد.



شکل ۹ـ۶ـ انتقال اطلاعات در شیفت‌رجیستر به صورت موازی از طریق ورودی‌های Preset

در شکل ۱۰ـ۶ اطلاعات ورودی به صورت سری اعمال می‌شود. به عنوان مثال کلیهٔ اطلاعات ورودی از طریق اولین

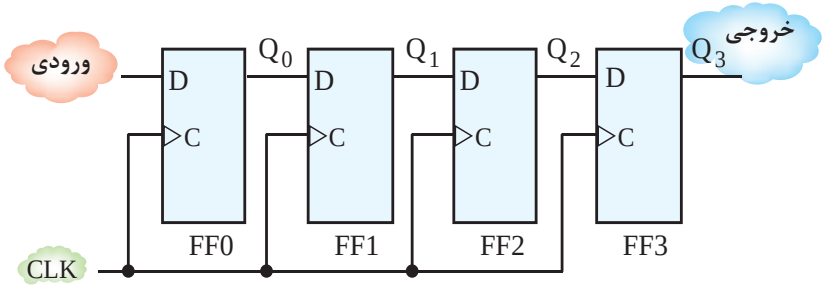


شکل ۱۰ـ۶ـ انتقال اطلاعات در شیفت‌رجیستر به صورت سری از طریق ورودی‌هایD

فلیپ‌فلاپ (FFA) به پایهٔ D وارد می‌شود و پس از ایجاد خروجی A، اطلاعات بعدی از طریق خروجی فلیپ‌فلاپ اول وارد ورودی فلیپ‌فلاپ دوم (FFB) می‌شود و خروجی فلیپ‌فلاپ دوم را به وجود می‌آورد و این روند ادامه می‌یابد.

۳ـ۱ـ۶ـ شیفت رجیستر سری ـ سری یا متوالی ـ متوالی: این شیفت‌رجیستر، اطلاعات ورودی را به صورت سری می‌پذیرد و در خروجی آن را به صورت سری نیز ارائه می‌دهد. در شکل ۱۱ـ۶ یک شیفت‌رجیستر سری ـ سری نشان داده شده است، که از چهار فلیپ‌فلاپ نوع Dتشکیل شده است.

ظرفیت ذخیره‌سازی این شیفت‌رجیستر ۴ بیت است، انتقال اطلاعات ورودی در لبهٔ بالا روندهٔ پالس ساعت انجام می‌شود.

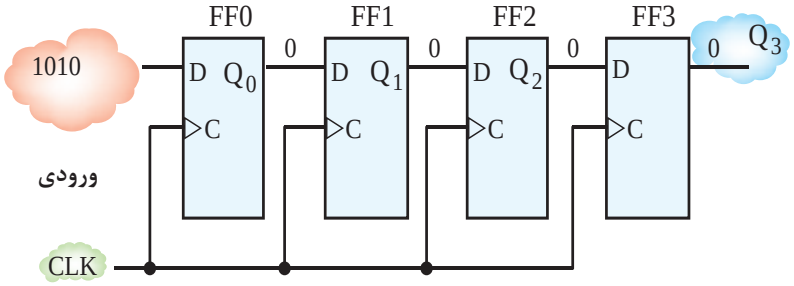


شکل ۱۱ـ۶ـ شیفت رجیستر سری ـ سری

برای بررسی دقیق کار این شیفت‌رجیسترفرض کنید می‌خواهیم عدد باینری ۴ بیتی ۱۰۱۰ را یک بار در آن ذخیره و بار دیگر از آن خارج کنیم.

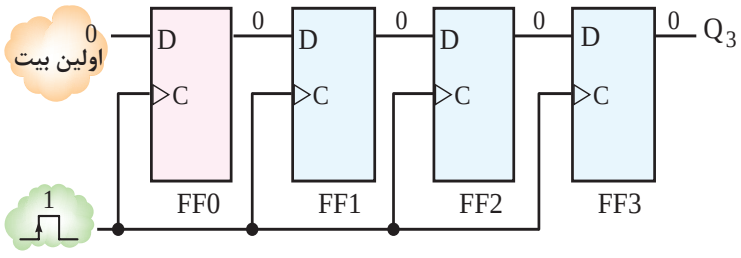
شکل ۱۲ـ ۶ ورودی عدد باینری ۱۰۱۰ را به داخل ثبات نشان می‌دهد. مراحل اجرای کار به شرح زیر است:

مرحلهٔ اول: در ابتدا ثبات خالی است، شکل ۱۲ـ ۶



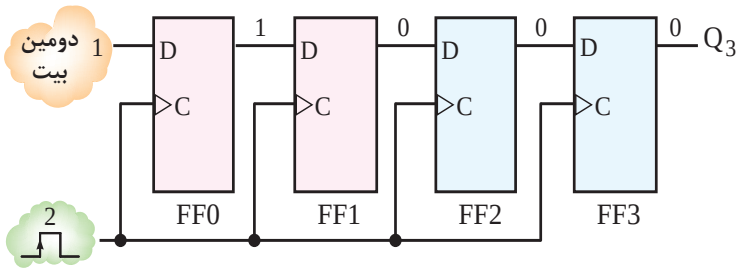
شکل ۱۲ـ۶ـ ثبات‌ها خالی هستند.

مرحلهٔ دوم: در این مرحله بیت صفر سمت راست عدد چهار بیتی ۱۰۱۰ از طریق ورودی D وارد مدار شیفت رجیستر FF۰ می‌شود. شکل ۱۳ـ۶ ذخیره شدن بیت صفر را در فلیپ‌فلاپ FF۰ نشان می‌دهد.



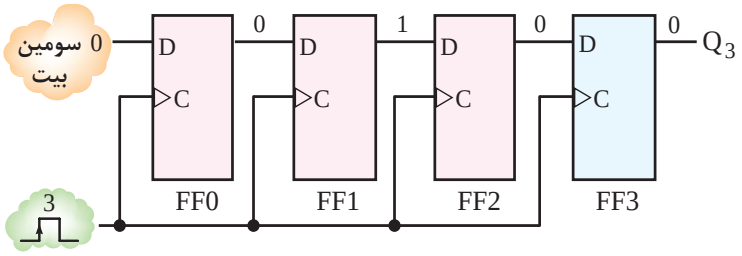
شکل ۱۳ـ۶ـ ذخیرهٔ اولین بیت صفر در فلیپ‌فلاپ FF۰

مرحلهٔ سوم: به محض این‌که بیت دوم از سمت راست یعنی «۱» وارد FF_0 می‌شود، طبق شکل ۶ـ۱۴ بیت ذخیره‌شده در FF_0 به فلیپ‌فلاپ دوم FF_1 انتقال می‌یابد و در FF_0 بیت (۱) ذخیره می‌شود. همان‌طور که ملاحظه می‌شود اطلاعات در ورودی به صورت متوالی و با تأخیر زمانی وارد می‌شود و از خروجی نیز به صورت متوالی (سری) و با تأخیر زمانی دریافت می‌شود.



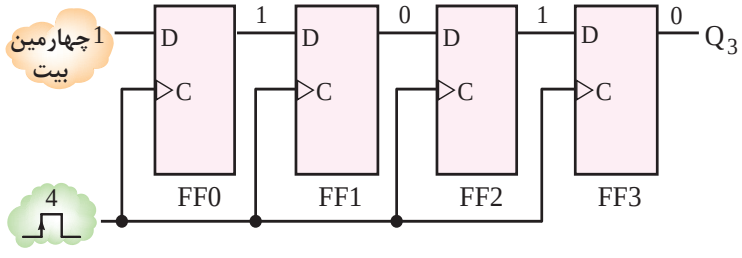
شکل ۶ـ۱۴ـ ذخیرهٔ دومین بیت در FF_0

مرحلهٔ چهارم: به محض این‌که بیت سوم از سمت راست یعنی (۰) وارد فلیپ‌فلاپ FF_0 می‌شود، طبق شکل ۶ـ۱۵ بیت ذخیره‌شده در FF_0 به فلیپ‌فلاپ FF_1 انتقال می‌یابد و بیت ذخیره‌شدهٔ FF_1 به فلیپ‌فلاپ سوم FF_2 انتقال می‌یابد.



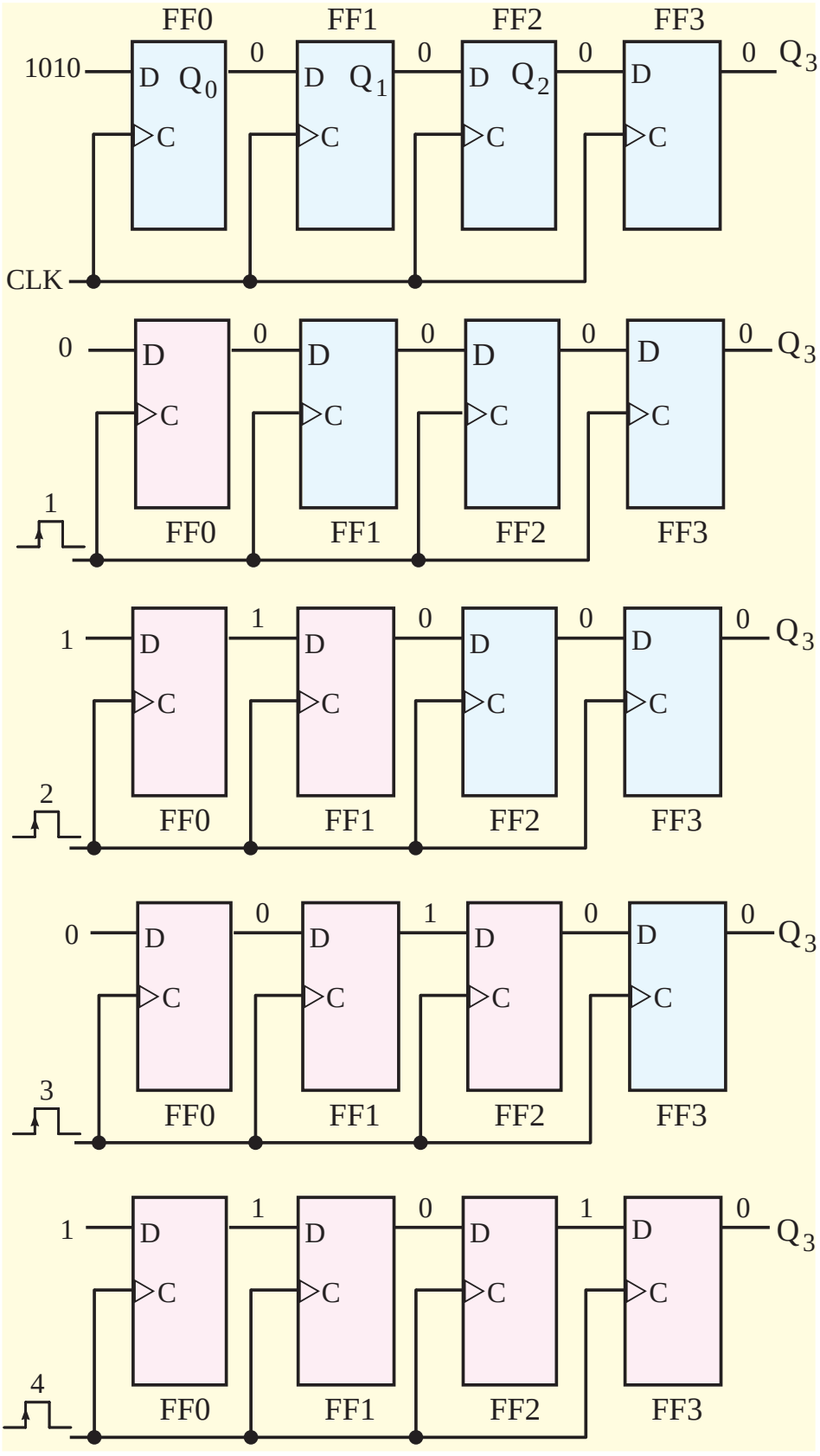
شکل ۶ـ۱۵ـ ذخیرهٔ سومین بیت در FF_0

مرحلهٔ پنجم: در این مرحله آخرین بیت یعنی بیت (۱) از سمت راست وارد FF_0 می‌شود، طبق شکل ۶ـ۱۶ بیت ذخیره‌شده در FF_0 به FF_1 و بیت ذخیره‌شدهٔ FF_1 به FF_2 و ... انتقال می‌یابد. این عمل ورود متوالی یک عدد چهار بیتی را به داخل ثبات انتقالی تکمیل می‌کند.



شکل ۶ـ۱۶ـ ذخیرهٔ چهارمین‌بیت در FF_0

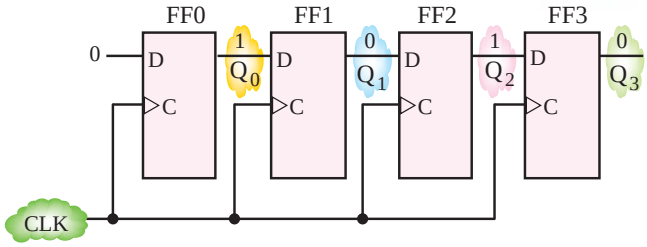
در شکل ۶ـ۱۷ مراحل ذخیره‌سازی عدد چهاربیتی ۱۰۱۰ را به صورت متوالی(سری) در چهارفلیپ‌فلاپ مشاهده می‌کنید.



شکل ۱۷ـ۶ـ داده‌ها به صورت متوالی وارد ثبات می‌شوند.

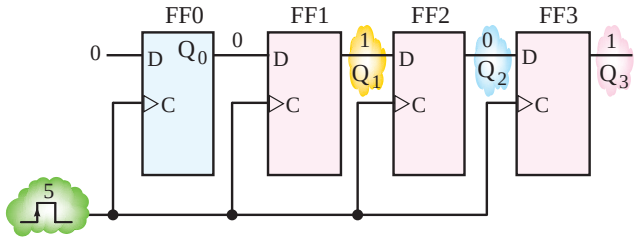
در شکل‌های ۱۸ـ۶ تا ۲۲ـ۶ مراحل خالی‌شدن شیفت‌رجیستر با استفاده از پالس‌های ۵ تا ۸ به صورت متوالی نشان داده‌شده‌است. مراحل اجرای کار به شرح زیر است :

مرحلهٔ اول: اگر بخواهیم اطلاعات ۱۰۱۰ از شیفت‌رجیستر خارج شود باید به صورت متوالی اطلاعات از Q_3 خروجی آخرین فلیپ‌فلاپ (FF_3) گرفته‌شود. در اولین مرحله شیفت‌رجیسترها کاملاً از اطلاعات داده‌شده پر است، شکل ۱۸ـ۶ این مرحله را نشان می‌دهد.



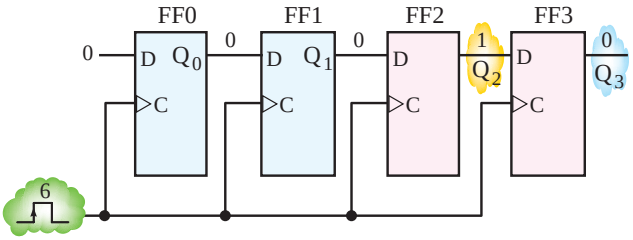
شکل ۱۸ـ۶ـ حافظهٔ شیفت‌رجیستر پراست.

مرحلهٔ دوم: با اعمال پالس پنجم اولین بیت از Q_3خروجی فلیپ‌فلاپ FF_3 خارج می‌شود و اطلاعات فلیپ‌فلاپFF_2 به FF_3 و اطلاعاتFF_1 به FF_2 و در نهایت اطلاعات FF_0 به FF_1 انتقال می‌یابد. در این مرحله فلیپ‌فلاپ اول FF_0 خالی می‌شود. شکل ۱۹ـ۶ مراحل این انتقال را نشان می‌دهد.



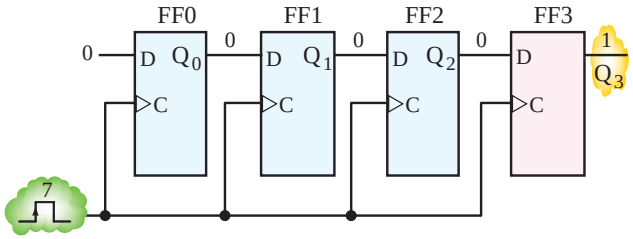
شکل ۱۹ـ۶ـ با اعمال پالس ساعت پنجم، اطلاعات از شیفت‌رجیستر FF_3 خارج می‌شود.

مرحلهٔ سوم: با اعمال ششمین پالس ساعت بیت دوم Q_3 از خروجی فلیپ‌فلاپ FF_3 خارج می‌شود و اطلاعات فلیپ‌فلاپ‌ها به ترتیب از سمت چپ به راست انتقال می‌یابد. شکل ۲۰ـ۶ مراحل این انتقال را نشان می‌دهد.



شکل ۲۰ـ۶ـ با ورود پالس ششم، بیت صفر خارج می‌شود.

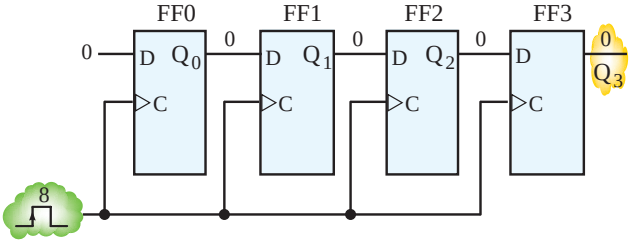
مرحلهٔ چهارم: با ورود پالس۷ اطلاعات آخرین فلیپ‌فلاپ FF_3 خارج می‌شود و اطلاعاتFF_2 بهFF_3 انتقال می‌یابد. شکل ۲۱ـ۶ اعمال پالس ۷ به شیفت رجیستر را نشان می‌دهد.



شکل ۲۱ـ۶ـ با ورود پالس هفتم، بیت «یک» خارج می‌شود.

مرحلهٔ پنجم: و بالاخره با ورود پالس ۸ اطلاعات از آخرین فلیپ‌فلاپ FF_3 خارج می‌شود و فلیپ‌فلاپ‌ها خالی می‌شوند.

شکل ۲۲ـ۶ اعمال پالس ۸ به شیفت رجیستر را نشان می‌دهد.



شکل ۲۲ـ۶ـ با ورود پالس هشتم، فلیپ‌فلاپ FF_3خالی می‌شود.

جدول ۱ـ۶ مراحل ورود و خروج عدد چهار بیتی ۱۰۱۰ را نشان می‌دهد.

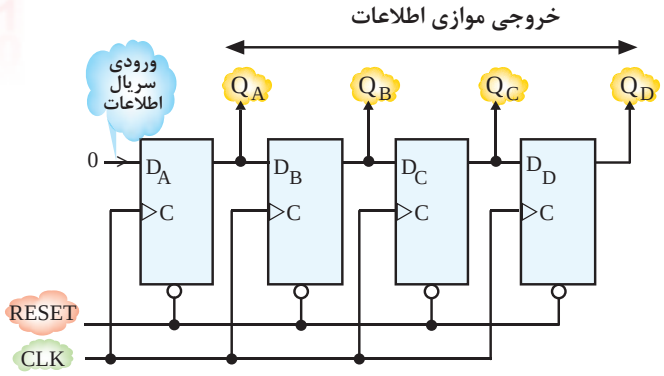
جدول ۱ـ۶ـ مراحل ورود و خروج چهار بیت ۱۰۱۰ (سری ـ سری)

پالس ساعت	Q_0	Q_1	Q_2	Q_3
0	0	0	0	0
1	0	0	0	0
2	1	0	0	0
3	0	1	0	0
4	1	0	1	0
5	0	1	0	1
6	0	0	1	0
7	0	0	0	1
8	0	0	0	0

تمرین کلاسی ۱ـ۶: مراحل خارج شدن چهار بیت ۱۰۱۰ را در یک شکل به ترتیب رسم کنید.

تمرین کلاسی ۲ـ۶: مراحل ورود و خروج عدد پنج بیتی ۱۱۰۱۰ را در ۵ فیلیپ فلاپ به صورت سری رسم کنید و جدول مربوط به این مراحل را بنویسید.

۴ـ۱ـ۶ـ شیفت رجیستر ورودی سری خروجی موازی (سری ـ موازی): در شیفت رجیستر «سری ـ سری» معمولاً خروجی هر فلیپ‌فلاپ در دسترس است و این امکان گرفتن اطلاعات را به صورت موازی نیز فراهم می‌کند. در شکل ۲۳ـ۶ یک شیفت رجیستر با ورودی سری و خروجی موازی نشان داده شده است.



شکل ۲۳ـ۶ـ شیفت رجیستر «سری ـ موازی»

با اعمال چهار پالس ساعت می‌توان اطلاعات چهار بیتی ورودی را به شیفت رجیستر انتقال داد و خروجی‌های Q_A، Q_B، Q_C و Q_D را هم‌زمان مشاهده کرد. این قابلیت برای استفادهٔ شیفت رجیستر خروجی موازی مناسب است به این ترتیب که می‌توانیم در هر لحظه خروجی هر فلیپ‌فلاپ را به عنوان خروجی مدار در نظر بگیریم.

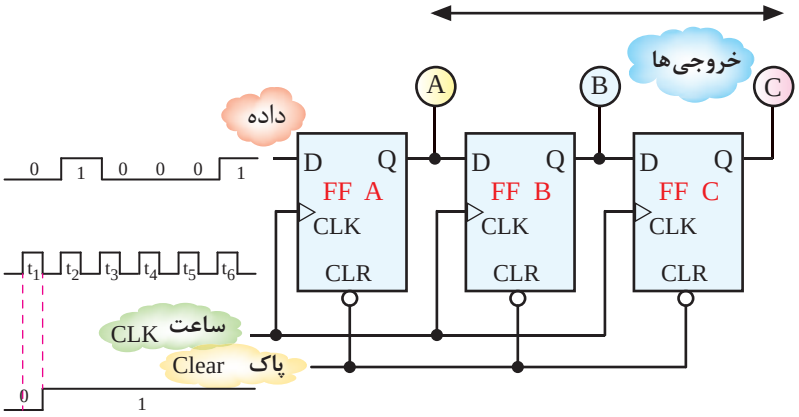
مثال ۱ـ۶ : با توجه به مدار شیفت رجیستر شکل ۲۴ـ۶ به سؤالات زیر پاسخ دهید.

الف) نوع شیفت‌رجیستر را مشخص کنید.

ب) محتوای شیفت‌رجیستر را پس از ورود شش پالس ساعت مشخص کنید. خروجی A را بیت چپ و C را بیت راست در نظر بگیرید.

پ) ورودی Clear در زمان پالس t_1 High است یا Low ؟

ت) ورودی Clear باید در چه وضعیتی باشد تا انتقال اطلاعات از طریق لبهٔ بالارونده پالس ساعت ورودی صورت گیرد؟



شکل ۲۴ـ۶ـ مدار شیفت‌رجیستر مثال ۱

حل:

الف) اطلاعات به‌صورت سری وارد شیفت رجیستر می‌شود. اگر خروجی A, B و C هم‌زمان دریافت شوند، شیفت‌رجیستر از نوع سری‌ـموازی است. اگر اطلاعات فقط از طریق خروجیC دریافت شود، شیفت رجیستر به نوع «سری‌ـسری» تبدیل می‌شود.

ب) وقتی پالس ساعت t_1 وارد می‌شود به علت صفربودن خط Clear (پاک) تمام خروجی‌های A , B و C برابر با صفر می‌شود. یعنی حالت Reset پیش‌می‌آید. با اعمال پالس ساعت t_2 به بعد تغییرات خروجی‌های A , B و C طبق جدول ۲ـ۶ است.

جدول ۲ـ ۶ جدول مربوط به مثال ۱

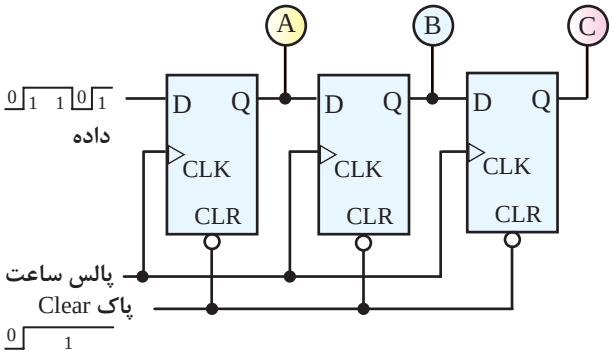
اطلاعات ورودی
0 1 0 0 0 1

		A	B	C
0	t_1	0	0	0
1	t_2	1	0	0
0	t_3	0	1	0
0	t_4	0	0	1
0	t_5	0	0	0
1	t_6	1	0	0

پ) خط CLR باید Low یا صفر باشد یا ورودی «پاک» باید روی High قرار گیرد تا اطلاعات انتقال یابد. (محل اتصال CLR به فلیپ‌فلاپ NOT شده است)

ت) انتقال اطلاعات در لبهٔ صعودی (بالارونده) پالس ساعت انجام می‌شود.

تمرین کلاسی ۳ـ۶: با توجه با مدار شکل ۲۵ـ۶ جدول خروجی‌هـــا را پس از ۵ پالس ساعـــت رسم کنید.



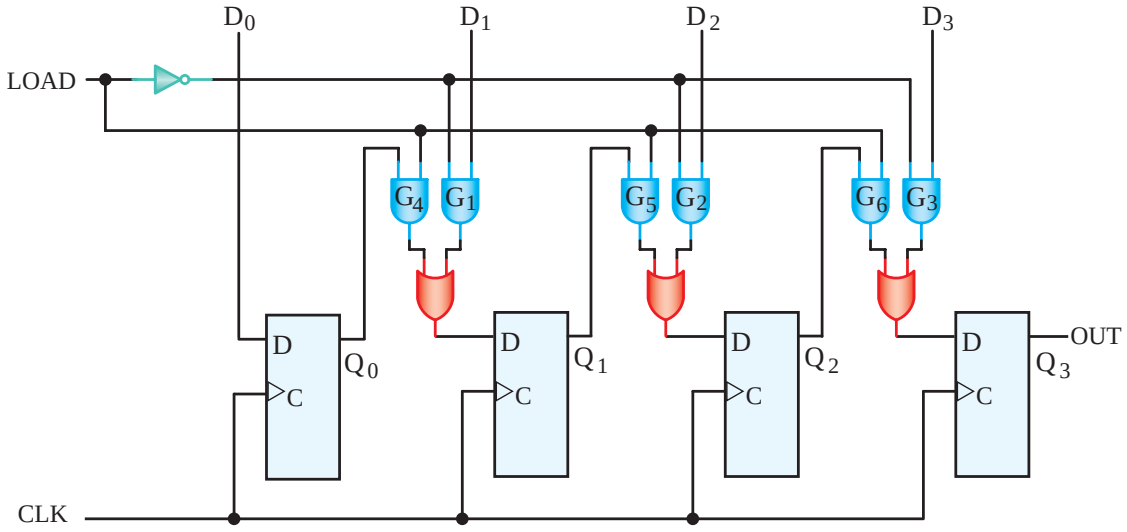
شکل ۲۵ـ۶ـ مدار مربوط به تمرین کلاسی ۳

۵ـ۱ـ۶ـ شیفت‌رجیستر ورودی موازی خروجی سری (موازی ـ سری):

در این شیفت‌رجیستر، اطلاعات ورودی توسط خط Load و به کمک پالس ساعت (CLK) به‌طور هم‌زمان (موازی) در شیفت‌رجیستر ذخیره می‌شوند. اطلاعات ذخیره‌شده را می‌توان به‌طور سری از شیفت رجیستر دریافت کرد.

در شکل ۲۶ـ۶ مدار یک شیفت رجیستر ۴ بیتی

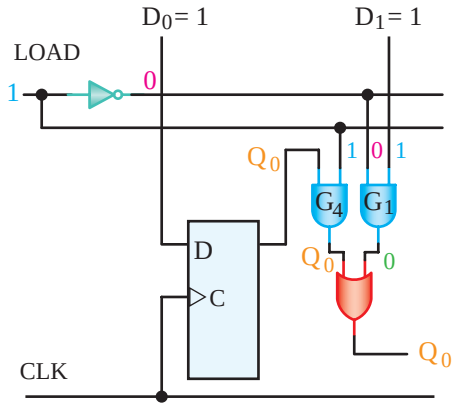
PISO (موازی سری) نشان داده شده است.



شکل ۲۶ـ۶ـ مدار یک شیفت رجیستر با ورودی موازی و خروجی سری

اگر خط Load روی صفر باشد گیت‌های G_1, G_2 و G_3 فعال می‌شوند و هنگامی که پالس ساعت وارد می‌شود، اطلاعات D_0، D_1، D_2 و D_3 هم‌زمان در چهارفلیپ‌فلاپ ذخیره می‌شوند. اگر خط Load روی «یک» منطقی قرار گیرد، گیت‌های G_4, G_5 و G_6 فعال هستند (G_1, G_2 و G_3 غیرفعال). لذا با اعمال چهار پالس ساعت، بیت‌های ذخیره‌شده از هر طبقه به طبقهٔ بعدی به سمت راست انتقال می‌یابند. به این ترتیب می‌توان بیت‌های ذخیره شده را از خروجی Q_3 (خروجی آخرین فلیپ‌فلاپ) دریافت کرد.

برای مثال اطلاعات $D_0D_1D_2D_3$=۱۱۰۱ را می‌توان مطابق شکل ۲۷ـ۶ با اعمال اولین پالس ساعت به فلیپ‌فلاپ دوم انتقال داد.



شکل ۲۷ـ۶ـ مدار شیفت‌رجیستر ۴ بیتی و بارگذاری آن

$$LOAD=0 \Rightarrow \begin{cases} G_1\ G_2\ G_3 & \text{فعال} \\ G_4\ G_5\ G_6 & \text{غیر فعال} \end{cases}$$

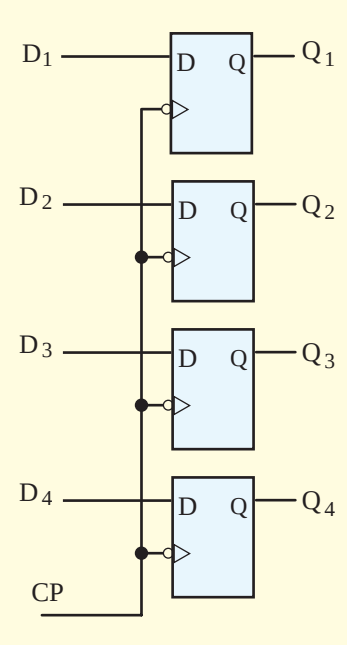
$$LOAD=1 \Rightarrow \begin{cases} G_1\ G_2\ G_3 & \text{غیر فعال} \\ G_4\ G_5\ G_6 & \text{فعال} \end{cases}$$

تمرین کلاسی ۴ـ۶: با اعمال چهار پالس ساعت در مدار شکل ۲۶ـ ۶ اطلاعات ۱۱۰۱ را انتقال دهید و خروجی هر فلیپ فلاپ را پس از هر پالس ساعت مشخص کنید (خط Load در حالت یک منطقی قرار دارد.)

۶ـ۱ـ۶ـ شیفت‌رجیستر ورودی موازی ـ خروجی موازی (موازی ـ موازی):

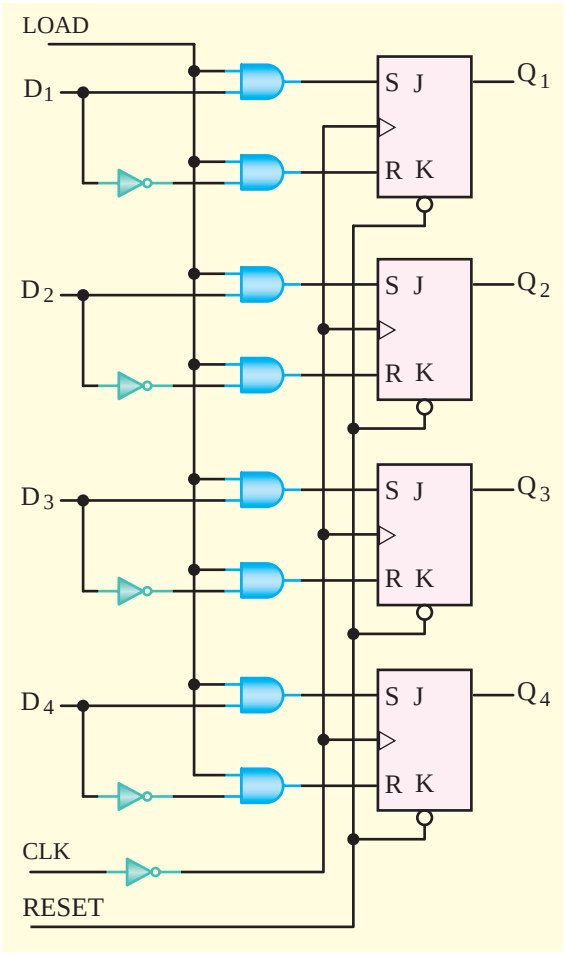
ثبت اطلاعات ورودی را نوشتن و دریافت اطلاعات خروجی از فلیپ‌فلاپ را خواندن می‌گویند. بنابراین شیفت رجیستر موازی ـ موازی را می‌توان شیفت رجیستر با توانایی نوشتن موازی ـ خواندن موازی نیز نام برد. ساده‌ترین ثبات مطابق شکل ۲۸ـ۶ است، می‌دانیم در فلیپ‌فلاپ نوع D با اعمال پالس ساعت، اطلاعات ورودی به خروجی انتقال می‌یابد. هنگامی که پالس ساعت، CP=۰ است، اطلاعات خروجی Q_1 تا Q_4 تغییر پیدا نمی‌کند. هنگامی

که CP=۱ شود اطلاعات D_1, D_2, D_3و D_4 به خروجی‌های Q_1, Q_2, Q_3و Q_4 انتقال می‌یابند.



شکل ۲۸ـ۶ـ ثبات ورودی موازی ـ خروجی موازی (PIPO)

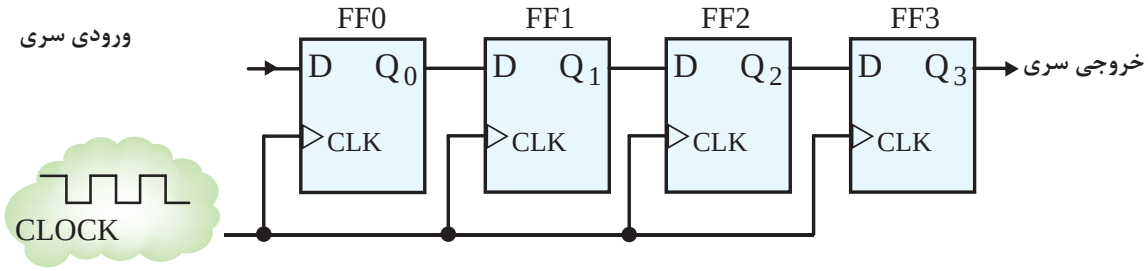
شیفت رجیستر شکل ۲۹ـ۶ نیز از نوع PIPO است. فلیپ‌فلاپ‌ها می‌توانند از نوع SR یا JK باشند. ابتدا توسط Reset همهٔ حافظه‌ها را پاک می‌کنند. این ثبات با لبهٔ بالا روندهٔ پالس ساعت، اطلاعات ورودی D_1 تا D_4 را به طور هم‌زمان وارد حافظه‌های Q_1 تا Q_4 می‌کند. برای انتقال اطلاعات باید خط LOAD برابر با ۱ باشد. اطلاعات ثبت شده در حافظه‌ها را نیز می‌توان به‌طور هم‌زمان خواند.



شکل ۲۹ـ۶ـ شیفت رجیستر موازی ـ موازی

۲ـ۶ـ شیفت‌رجیستر چپ‌رو/ راست رو

در شکل ۳۰ـ۶ یک شیفت رجیستر چهاربیتی از نوع SISO نشان داده شده است. در این شیفت‌رجیستر اطلاعات، نخست وارد فلیپ‌فلاپ FF_0 می‌شود و از آنجا به فلیپ‌فلاپ‌های دیگر منتقل می‌شود. در این مدار، جهت انتقال از چپ به راست یعنی از FF_0 به FF_3 اطلاعات انتقال می‌یابد.



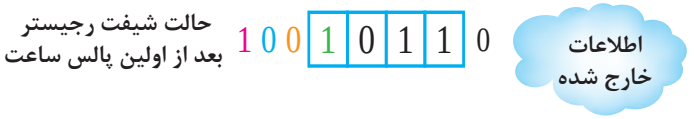
شکل ۳۰ـ۶ـ مدار شیفت رجیستر سری ـ سری راست رو

برای مثال می‌خواهیم اطلاعات ۱۰۰۱ را مرحله‌به مرحله وارد شیفت‌رجیستر سری سری کنیم. مراحل انتقال اطلاعات را در شکل ۶ـ۳۱ تا شکل ۶ـ۳۵ مشاهده می‌کنید.

مرحلهٔ اول: شیفت‌رجیستر را در شکل ۶ـ۳۱ با اطلاعات قبلی می‌بینید و قرار است اطلاعات ۱۰۰۱ وارد شیفت رجیستر شود.

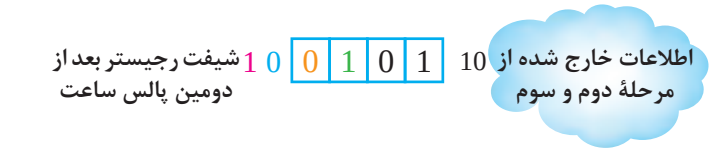
شکل ۶ـ۳۱ شیفت‌رجیستر با اطلاعات قبلی

مرحلهٔ دوم: بعد از اولین پالس ساعت اطلاعات ۱ از سمت چپ وارد اولین فلیپ‌فلاپ می‌شود، در نتیجه اطلاعات قبلی فلیپ‌فلاپ اول به فلیپ‌فلاپ دوم انتقال می‌یابد و به‌همین ترتیب تا این که اطلاعات آخرین فلیپ‌فلاپ از آن خارج شود. شکل ۶ـ۳۲ این مرحله را نشان می‌دهد.



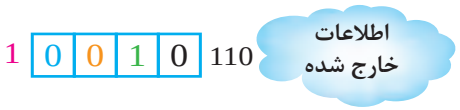
شکل ۶ـ۳۲ شیفت رجیستر بعد از اولین پالس ساعت

مرحلهٔ سوم: بعد از اعمال پالس ساعت دوم اطلاعات صفر از سمت چپ وارد اولین فلیپ‌فلاپ می‌شود، در نتیجه بقیهٔ فلیپ‌فلاپ‌ها مشابه مرحلهٔ دوم اطلاعات خود را به فلیپ فلاپ بعدی انتقال می‌دهند. شکل ۶ـ۳۳ مرحلهٔ سوم را نشان می‌دهد.



شکل ۶ـ۳۳ شیفت رجیستر بعد از دومین پالس ساعت

مرحلهٔ چهارم: بعد از اعمال پالس ساعت سوم اطلاعات صفر از سمت چپ وارد اولین فلیپ‌فلاپ می‌شود و در نتیجه بقیهٔ فلیپ‌فلاپ‌ها مشابه مراحل قبلی اطلاعات خود را انتقال می‌دهند. شکل ۶ـ۳۴ مرحلهٔ چهارم را نشان می‌دهد.



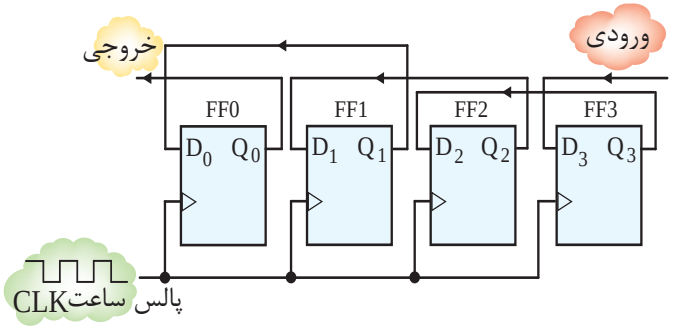
شکل ۶ـ۳۴ شیفت رجیستر بعد از سومین پالس ساعت

مرحلهٔ پنجم: شکل ۶ـ۳۵ حالت رجیستر را بعد از چهارمین پالس ساعت نشان می‌دهد.

شکل ۶ـ۳۵ شیفت رجیستر بعد از چهارمین پالس ساعت

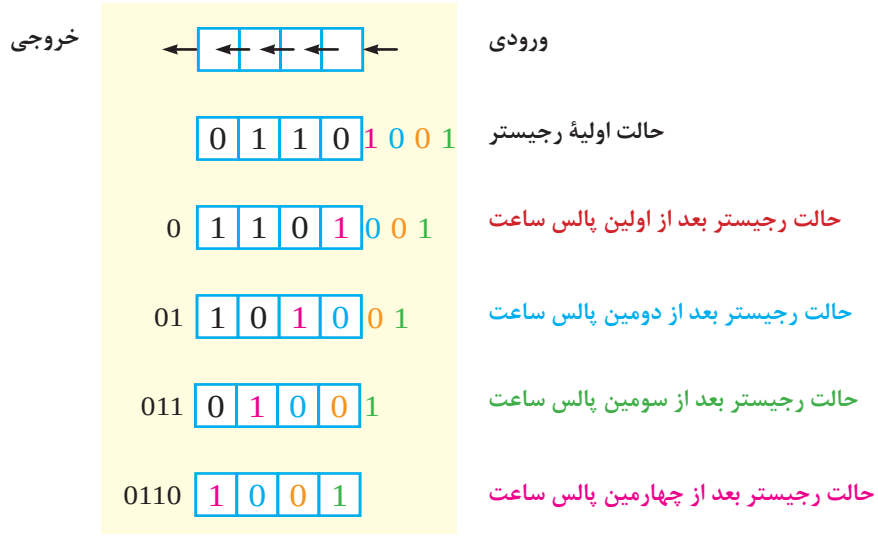
در مرحلهٔ پنجم اطلاعات قبلی از کلیهٔ فلیپ‌فلاپ‌ها خارج شده است و اطلاعات جدید وارد فلیپ‌فلاپ‌ها شده است.

حال اگر همین چهار فلیپ‌فلاپ را مطابق شکل ۶ـ۳۶ به هم متصل کنیم، اطلاعات، نخست وارد فلیپ‌فلاپ FF_0 می‌شود و با هر پالس ساعت، یک بیت به سمت چپ منتقل می‌گردد.



شکل ۶ـ۳۶ مدار شیفت‌رجیستر چپ رو

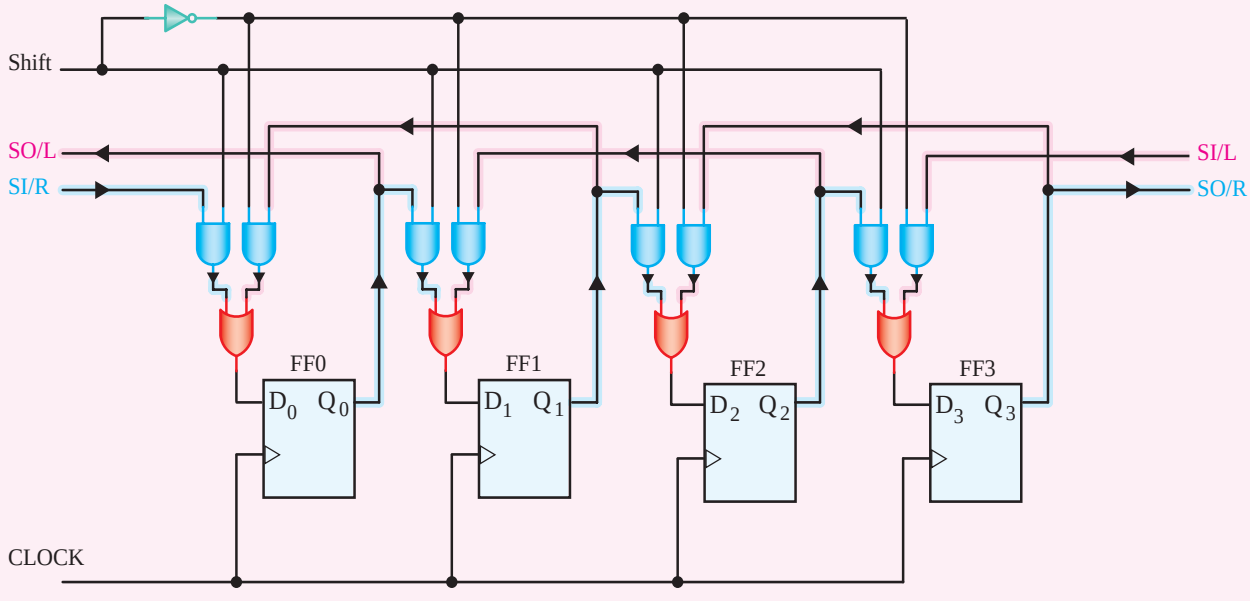
شکل ۶ـ۳۷ چگونگی انتقال اطلاعات را بعد از هر پالس ساعت نشان می‌دهد.



شکل ۳۷ـ۶ـ چگونگی انتقال اطلاعات

برای هنرجویان علاقمند

از ترکیب مدارهای شکل ۳۰ـ۶ (شیفت رجیستر راست رو) و شکل ۳۶ـ۶ (شیفت رجیستر چپ رو) مدار شکل ۳۸ـ۶ یک شیفت رجیستر چپ‌رو/ راست‌رو ساخته می‌شود. به کمک یک خط کنترل می‌توانیم جهت انتقال اطلاعات را تعیین کنیم. توجه داشته باشید که عمل ترکیب به کمک چهار مالتی پلکسر ۱ ← ۲ انجام گرفته و خط کنترل با آدرس مشترک این مالتی پلکسرها است.



شکل ۳۸ـ۶ـ شیفت رجیستر چپ رو / راست رو

خط شیفت اگر در حالت منطقی یک باشد، انتقال اطلاعات از چپ به راست صورت می‌گیرد و اگر در حالت منطقی صفر باشد، اطلاعات از سمت راست به چپ منتقل می‌شود. در یک ماشین محاسبه‌گر

دیجیتالی ممکن است اطلاعات به‌صورت سری، موازی یا ترکیبی از این دو جابه‌جا و پردازش شود. در انتقال سری به علت این که مدت زمانی طول می‌کشد تا یک کلمه در رجیسترها نوشته شود یا از آنها خوانده شود سرعت پردازش اطلاعات به میزان زیادی کاهش می‌یابد امّا به علت امکان استفادهٔ پیاپی از یک مدار، سخت‌افزار کمتری به‌کار گرفته می‌شود.

زمان بین دو پالس ساعت متوالی زمان یک حرف (Bit time) و زمان لازم برای انتقال کامل محتویات یک رجیستر، زمان یک کلمه (Word time) نامیده می‌شود.

در انتقال موازی همهٔ اطلاعات، یک کلمهٔ کامل در یک پالس ساعت نوشته یا خوانده می‌شود این نوع انتقال اطلاعات با وجود آن که دارای سیستم سخت‌افزار پیچیده‌تری است، به علّت سرعت زیاد در پردازش اطلاعات نسبت به انتقال سری مزایای زیادی دارد.

۳ـ۶ـ الگوی پرسش

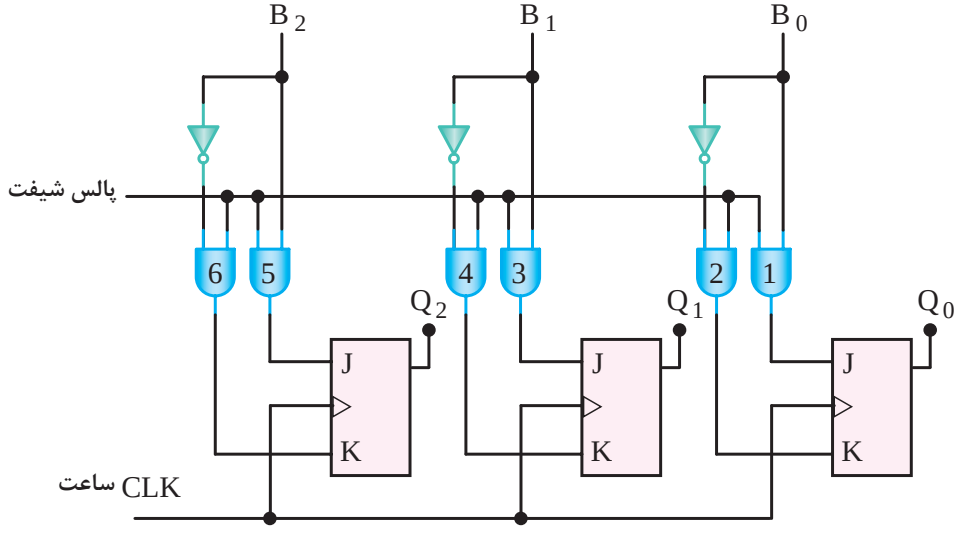
۱ـ فرق بین انتقال سری و موازی چیست؟

۲ـ در شکل ۹ـ۶ چگونه می‌توان اطلاعات خروجی را به‌صورت سری و یا موازی دریافت نمود؟ شرح دهید.

۳ـ محتوای اوّلیه یک ثبات ۴ بیتی سری ـ سری به صورت ۱۱۰۱ است. ورودی ۱۰۱۱۰۱ طی شش پالس ساعت وارد این شیفت‌رجیستر می‌شود، محتوای ثبات را پس از هر جابه‌جایی بنویسید.

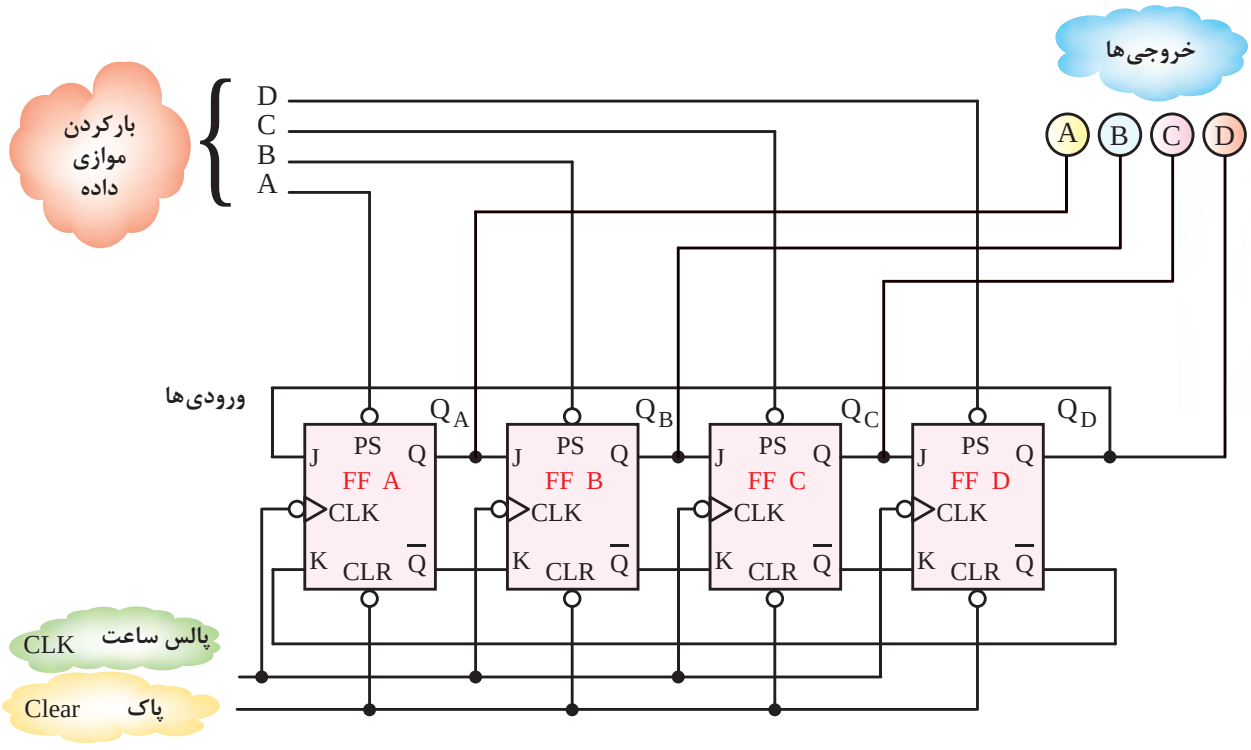
۴ـ مدار یک شیفت رجیستر SIPO را برای ثبت سه بیت اطلاعات رسم کنید و با حداقل تغییرات آن را به SISO تبدیل کنید.

۵ـ چگونگی انتقال اطلاعات $B_2B_1B_0=101$ را در شکل ۳۹ـ۶ شرح دهید.

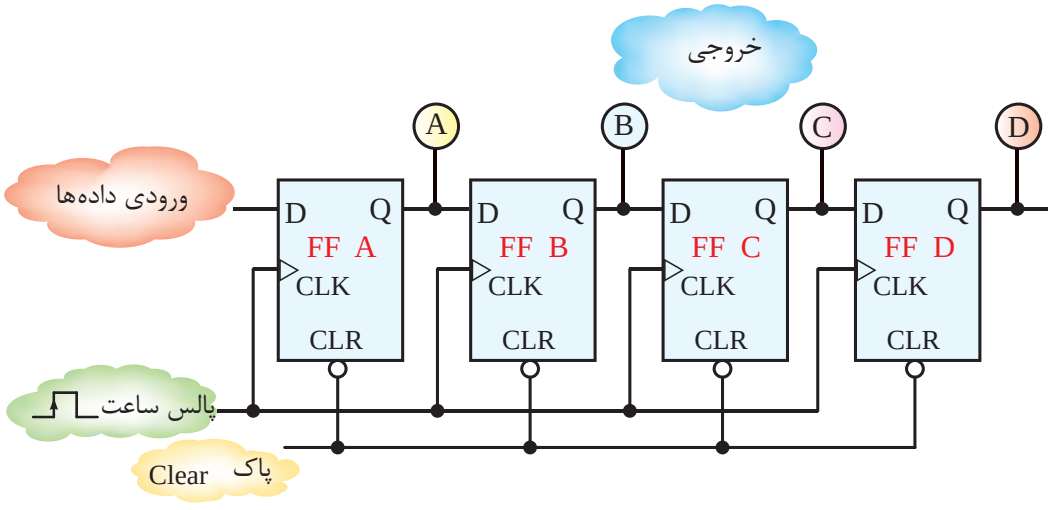


شکل ۳۹ـ۶ـ مدار سؤال ۵ الگوی پرسش

۶ـ چگونگی انتقال اطلاعات در شکل ۶ـ۴۰ و ۶ـ۴۱ را شرح دهید.

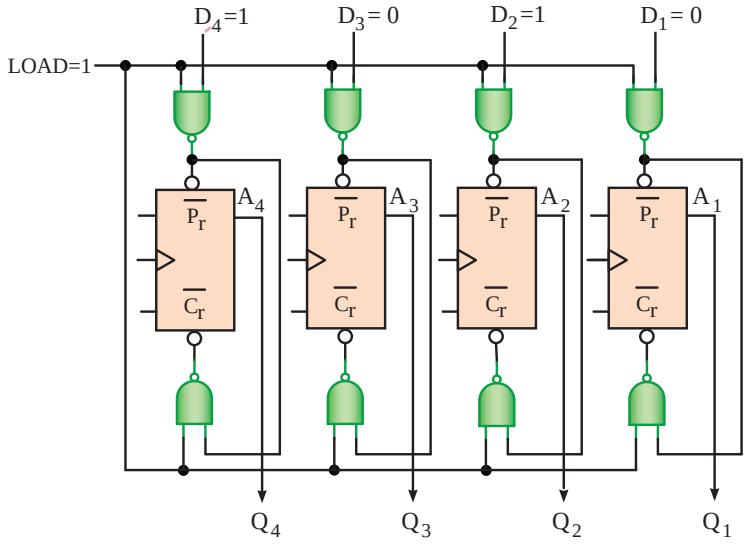


شکل ۶ـ۴۰ـ انتقال اطلاعات در شیفت رجیستر به‌صورت موازی مربوط به سؤال ۶ الگوی پرسش



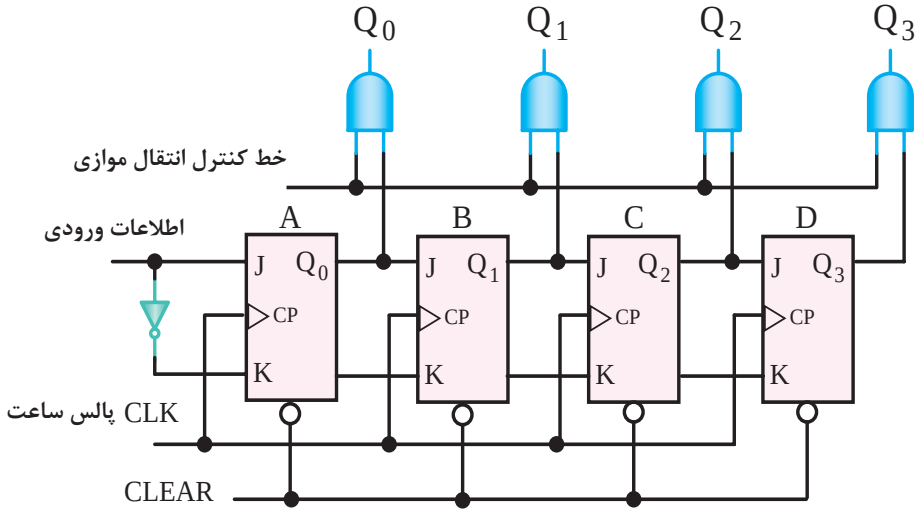
شکل ۶ـ۴۱ـ انتقال اطلاعات در شیفت‌رجیستر به‌صورت سری مربوط به سؤال ۶ الگوی پرسش

۷ـ با توجه به داده‌های ورودی، $\overline{Pr}$ و $\overline{Cr}$ و Q حافظه‌ها را مشخص کنید.



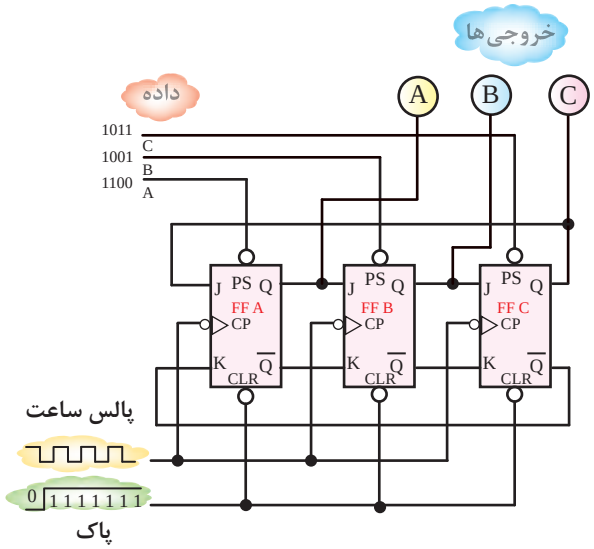
شکل ۴۲ـ۶ـ مدار سؤال ۷ الگوی پرسش

۸ـ در شکل ۴۳ـ۶ می‌خواهیم عدد ۱۰۱۱ را در داخل شیفت رجیستر ذخیره کنیم. جدول تغییرات خروجی‌ها را با توجه به خط کنترل و پالس ساعت ورودی رسم کنید.



شکل ۴۳ـ۶ـ مدار سؤال ۸ الگوی پرسش

۹ـ مدار شکل۴۴ـ ۶ چه نوع شیفت رجیستری است؟ شیفت دهید؟
تغییرات خروجی‌های A, B و C را به ازای ۴ پالس ورودی

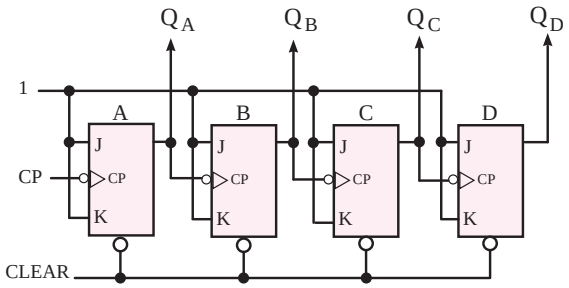


شکل ۴۴ـ ۶ـ مدار و داده‌های ورودی سؤال ۹ الگوی پرسش

۴ـ۶ـ شمارنده‌ها (Counters)

شمارنده‌ها مدارهایی هستند که از تعدادی فلیپ‌فلاپ که به صورت سری به هم متصل شده‌اند، تشکیل می‌شود و عملاً پالس‌های ورودی به مدار را شمارش می‌کنند. شمارنده‌ها به عنوان تقسیم‌کنندهٔ فرکانس نیز به کار می‌روند. شمارش ممکن است بر مبنای ۱۰ یا هر مبنای دیگری انجام شود. عنصر اصلی هر شمارنده فلیپ‌فلاپ است. یک شمارنده با n طبقه فلیپ‌فلاپ حداکثر می‌تواند 2^n حالت تعریف شده داشته باشد.

شکل ۴۵ـ۶ یک شمارندهٔ ۴ بیتی را نشان می‌دهد.



شکل ۴۵ـ۶ـ مدار شمارندهٔ ۴ بیتی

تعداد وضعیت‌هایی را که یک شمارنده قبل از رسیدن به حالت اولیه طی می‌کند، مدول (modules) یا پیمانهٔ شمارنده می‌نامند. مثلاً یک شمارندهٔ باینری ۳ بیتی از مدول ۸ یعنی ۸ وضعیتی و یک شمارندهٔ باینری ۴ بیتی از مدول ۱۶ یعنی ۱۶ وضعیتی است.

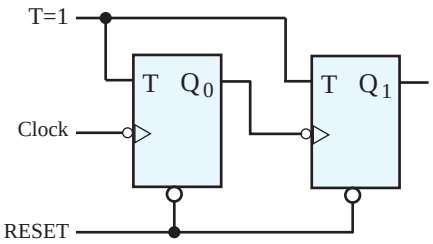
۱ـ۴ـ۶ـ انواع شمارنده‌ها: شمارنده‌ها براساس نحوهٔ کار به شمارندهٔ آسنکرون (Asynchronous) غیرهم زمان و شمارنده‌های سنکرون (synchronous) هم زمان تقسیم‌بندی می‌شوند.

۲ـ۴ـ۶ـ شمارندهٔ آسنکرون: در شمارندهٔ آسنکرون پالس ساعت فلیپ‌فلاپ‌ها به طور هم‌زمان به آن‌ها اعمال نمی‌شود و هر طبقه پالس ساعت خود را از خروجی طبقهٔ ماقبل خود دریافت می‌کند.

شمارندهٔ آسنکرون به شمارندهٔ ضربانی (Ripple Counter) نیز معروف است. فلیپ‌فلاپ‌های به کار رفته در این نوع شمارنده از نوع T است و باید همواره T=۱ باشد.

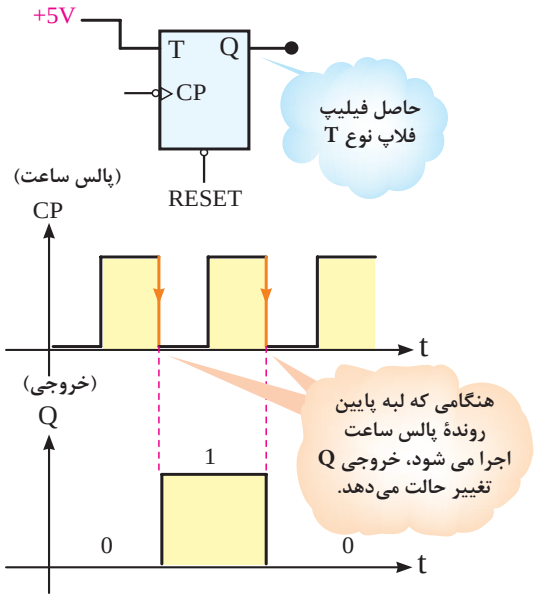
در شمارندهٔ آسنکرون تغییر وضعیت هر فلیپ‌فلاپ به تغییر وضعیت فلیپ‌فلاپ طبقهٔ ماقبل بستگی دارد. به همین دلیل، سرعت عمل شمارنده‌های آسنکرون نسبت به شمارنده‌های سنکرون مشابه کم‌تر است. در شمارندهٔ آسنکرون از فلیپ‌فلاپ نوع T استفاده می‌شود. در صورتی که از فلیپ‌فلاپ‌های نوع JK استفاده کنیم، باید ورودی‌های J و K را در کلیهٔ طبقات همواره در حالت یک نگه‌داریم. به عبارت دیگر از این فلیپ‌فلاپ‌ها فقط به‌صورت (Toggle) استفاده می‌شود. شمارنده‌های آسنکرون می‌توانند اعداد را به‌طور منظم شمارش کنند. این نوع شمارنده‌ها نمی‌توانند هر ترتیب شمارش دل‌خواهی را اجرا کنند. در شکل ۴۶ـ۶ یک شمارندهٔ آسنکرون با دو فلیپ‌فلاپ نوع T نشان داده شده است. این شمارنده دارای چهار وضعیت مختلف (مدول ۴) یا دوبیتی است.

فلیپ‌فلاپ‌ها با لبهٔ پایین روندهٔ پالس ساعت عمل می‌کنند.



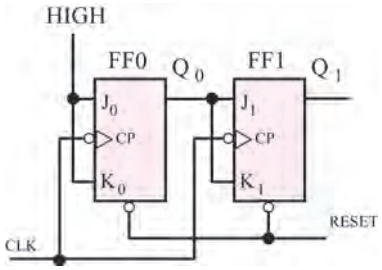
شکل ۴۶ـ۶ـ شمارندهٔ دوبیتی

در فلیپ‌فلاپ نوع T در حالت T=۱ هنگامی که هر پالس ساعت لبهٔ پایین رونده (نزولی) را طی می‌کند، خروجی آن برعکس حالت قبل می‌شود. در شکل ۴۷ـ۶ فلیپ‌فلاپ T و سیگنال‌های پالس ساعت (CP) و خروجی Q با حفظ رابطهٔ زمانی نشان داده شده است.



شکل ۴۷ـ۶ـ فلیپ‌فلاپ نوع Tو سیگنال‌های پالس ساعت و خروجی

۳ـ۴ـ۶ـ شمارندهٔ سنکرون (هم‌زمان): در شمارندهٔ آسنکرون تغییر وضعیت هر فلیپ‌فلاپ به تغییر وضعیت فلیپ‌فلاپ ماقبل آن بستگی دارد. به همین جهت سرعت عمل در این نوع شمارنده کم است. هم‌چنین اگر فرکانس پالس ساعت زیاد شود، در شمارش خطا به‌وجود می‌آید. در شمارندهٔ سنکرون، پالس ساعت کلیهٔ فلیپ‌فلاپ‌ها از یک منبع تأمین می‌شود. بدین ترتیب اشکال مربوط به شمارندهٔ آسنکرون را برطرف می‌کند. در شمارندهٔ سنکرون از گیت‌های بیشتری نسبت به شمارندهٔ آسنکرون استفاده می‌شود. در شکل ۴۸ـ۶ یک شمارندهٔ سنکرون دوبیتی نشان داده‌شده است، که در آن از دو فلیپ‌فلاپ نوع T استفاده شده است.

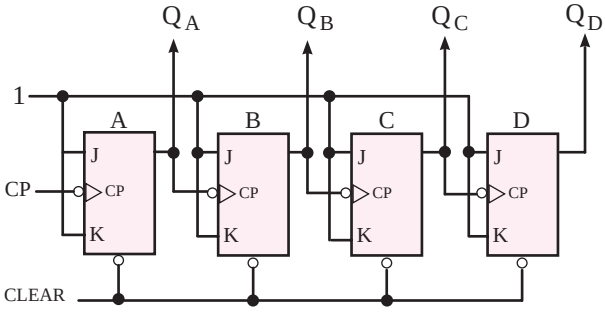


شکل ۴۸ـ۶ـ شمارندهٔ دوبیتی هم‌زمان

در فلیپ‌فلاپ FF_0 ورودی‌های J_0 و k_0 هردو در وضعیت یک منطقی (High) قرار دارند. این نوع فلیپ‌فلاپ در لبهٔ پایین روندهٔ (نزولی) پالس ساعت تغییروضعیت می‌دهد. چون Q_0 به J_1 متصل است لذا FF_1 زمانی تغییر وضعیت می‌دهد که Q_0 در حالت یک قرار می‌گیرد.

۴ـ۴ـ۶ـ شمارندهٔ آسنکرون صعودی

(Up Counter): این شمارنده قادر به شمارش منظم اعداد از کم به زیاد است. به همین علت به شمارندهٔ صعودی معروف است. در شکل ۴۹ـ۶ یک شمارندهٔ آسنکرون ۴ بیتی نشان داده شده است که در آن از چهار فلیپ‌فلاپ نوع T استفاده شده است.



شکل ۴۹ـ۶ـ شمارندهٔ آسنکرون ۴ بیتی

جدول ۳ـ۶ صحت این شمارنده تغییر وضعیت خروجی‌های Q_A، Q_B، Q_C و Q_D را نشان می‌دهد. این شمارنده اعداد از صفر تا ۱۵ را شمارش می‌کند و در انتهای پالس شانزدهم تمام خروجی‌ها مساوی صفر می‌شوند و شمارنده به حالت اولیه بر می‌گردد.

جدول ۳ـ۶ جدول صحت شمارندهٔ آسنکرون صعودی

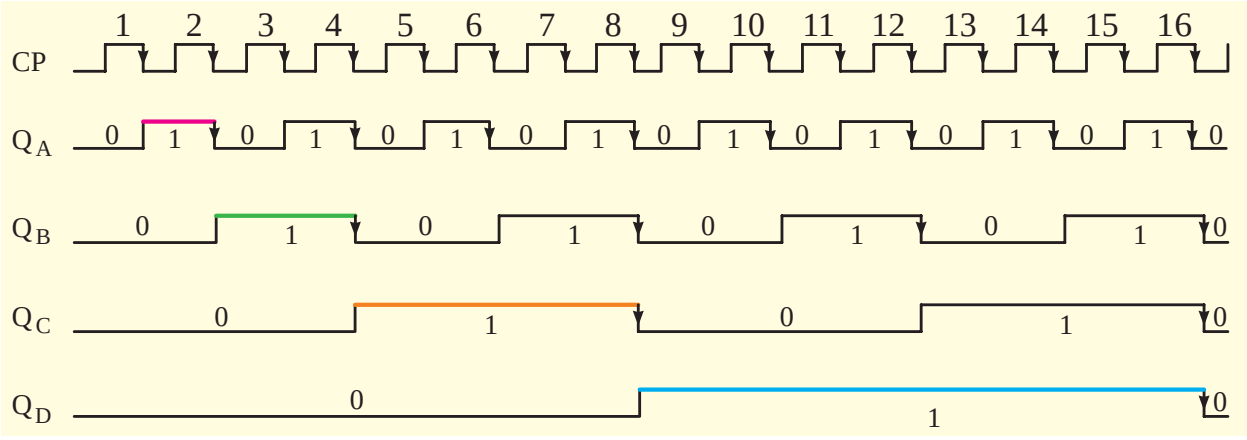
پالس ساعت	Q_D	Q_C	Q_B	Q_A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

همان‌طور که قبلاً بیان شد این شمارنده از نوع ضربانی است، که در آن هر فلیپ‌فلاپ، ورودی خود را از خروجی فلیپ‌فلاپ ماقبل خود دریافت می‌کند.

با توجه به شکل ۴۹ـ۶ و جدول صحت ۳ـ۶ برای شمارش اعداد ابتدا با استفاده از خط Reset یا Clear تمام فلیپ‌فلاپ‌ها را در حالت صفر قرار می‌دهیم. وقتی که اولین پالس به ورودی فلیپ‌فلاپ A اعمال می‌شود، در صورتی که پالس از یک به صفر برود، Q_A تغییر حالت می‌دهد و به یک تبدیل می‌شود. این پالس به عنوان پالس ورودی برای فلیپ‌فلاپ B به حساب می‌آید. به عبارت دیگر در فلیپ‌فلاپ B، هنگامی که پالس ورودی از یک به صفر می‌رود تغییر وضعیت می‌دهد. از طرفی چون تغییر وضعیت‌ها فقط با لبهٔ پایین روندهٔ پالس ساعت صورت می‌گیرد، برای تغییر حالت فلیپ‌فلاپ B به ۴ پالس ورودی نسبت به فلیپ‌فلاپ

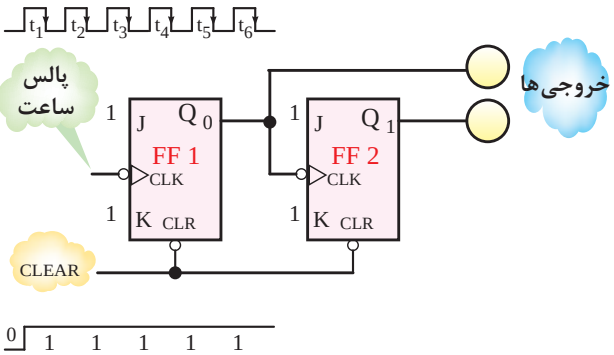
A نیاز داریم. به همین ترتیب خروجی Q_C به ازاء ۸ پالس ورودی و خروجی Q_D به ازای ۱۶ پالس ورودی نسبت به فلیپ‌فلاپ A تغییر حالت می‌دهد. دیاگرام زمانی شمارندهٔ آسنکرون ۴ بیتی در شکل ۵۰ـ۶ رسم شده است. اگر فرکانس پالس ساعت را f فرض کنیم، فرکانس خروجی Q_A برابر $\frac{f}{2}$، فرکانس خروجی Q_B برابر $\frac{f}{4}$، فرکانس خروجی Q_C برابر $\frac{f}{8}$ و فرکانس خروجی Q_D برابر $\frac{f}{16}$ است. (می‌دانید چرا؟)

اگر تعداد فلیپ‌فلاپ‌ها را تا ۸ افزایش دهیم فرکانس به $\frac{1}{2^8}$ یعنی به میزان ۲۵۶ برابر کاهش می‌یابد.



شکل ۵۰ـ۶ـ دیاگرام زمانی شمارندهٔ آسنکرون ۴ بیتی

مثال ۲ـ۶: در شمارندهٔ دوبیتی شکل ۵۱ـ۶ خروجی Q_0 و Q_1 را برای ۶ پالس ورودی تعیین کنید و مدول آن را مشخص نمایید.



شکل ۵۱ـ۶ـ مدار مثال ۲

حل: شمارنده از نوع آسنکرون دوبیتی یا مدول ۴ است که به ترتیب اعداد از صفر تا ۳ را می‌شمارد. قبل از شروع پالس ساعت هردو خروجی برابر صفر هستند. در فاصلهٔ زمانی T_1 پالس‌ساعت چون خط Clear فعال نیست لذا خروجی‌ها تغییر نمی‌کنند. جدول ۴ـ۶ تغییرات خروجی‌ها را در برابر عبور ۶ پالس ورودی نشان می‌دهد.

طبق جدول در پایان پالس ششم عدد یک در خروجی ظاهر می‌شود.

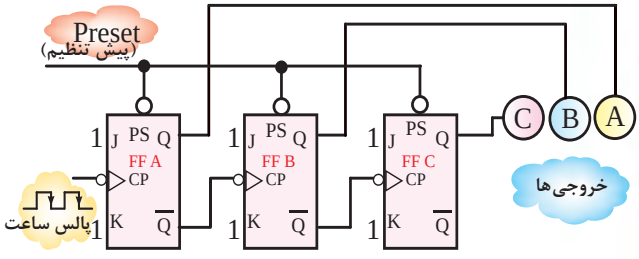
جدول ۴ـ۶ـ جدول صحت مدار مثال ۲

پالس ساعت	خروجی باینری Q_1	Q_0	خروجی ده‌دهی
t_1	0	0	0
t_2	0	1	1
t_3	1	0	2
t_4	1	1	3
t_5	0	0	0
t_6	0	1	1

۵ـ۴ـ۶ـ شمارندهٔ آسنکرون نزولی

(Down Counter): شمارندهٔ آسنکرون ضربانی می‌تواند معکوس شمار یا نزولی هم باشد. یعنی از یک عدد شروع به شمارش معکوس کند و به صفر برسد. در شکل ۵۲ـ۶ یک شمارندهٔ آسنکرون نزولی ۳ بیتی نشان داده

شده است. که در آن $\overline{Q}$ در هر فلیپ‌فلاپ به‌عنوان ورودی فلیپ‌فلاپ بعدی عمل می‌کند.



شکل ۵۲ـ۶ ـ مدار شمارندهٔ آسنکرون ۳ بیتی نزولی

در شروع کار فرض می‌کنیم از طریق ورودی‌های Preset تمام خروجی‌ها برابر با یک شده‌اند. جدول ۵ـ۶ جدول صحت و تغییرات خروجی‌های A, B و C را در برابر ۸ پالس ورودی نشان می‌دهد.

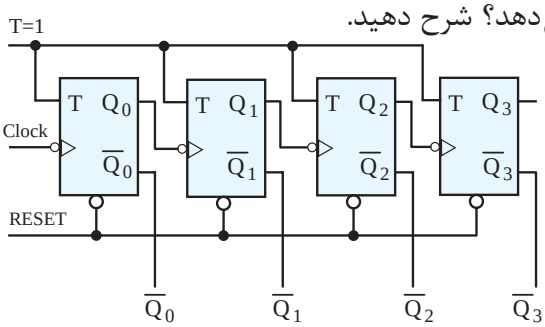
جدول ۵ـ۶ـ جدول تغییرات خروجی‌ها به ازای پالس ساعت

شمارش ده‌دهی خروجی	خروجی‌ها			تعداد پالس‌های ساعت ورودی
	A	B	C	
7	1	1	1	0
6	0	1	1	1
5	1	0	1	2
4	0	0	1	3
3	1	1	0	4
2	0	1	0	5
1	1	0	0	6
0	0	0	0	7
7	1	1	1	8

شمارنده از عدد ۷ شروع به شمارش می‌کند تا به صفر برسد. در پایان پالس ساعت هشتم خروجی‌ها به حالت اولیه برمی‌گردند.

تمرین کلاسی ۵ـ۶: دیاگرام زمانی مربوط به مدار ۶ـ۵۲ را رسم کنید و نشان دهید که مدار، شمارش را به‌صورت نزولی انجام می‌دهد.

مثال ۳ـ۶: مدار شکل ۶ـ۵۳ چه عملی انجام می‌دهد؟ شرح دهید.



شکل ۵۳ـ۶ـ مدار مثال ۳

حل: مدار شکل۶ـ۵۳ شمارندهٔ آسنکرون نزولی ۴بیتی است، زیرا خروجی‌ها از $\overline{Q}$ فلیپ‌فلاپ‌ها دریافت شده‌اند، این شمارنده از عدد ۱۵ یعنی $(1111)_2$ شروع به شمارش می‌کند و بعد از هر پالس ساعت، یک عدد کاهش می‌یابد و در نهایت به صفر ختم می‌شود قبل از اعمال پالس تمام خروجی‌ها در وضعیت یک قرار دارند در پایان پالس ساعت شانزدهم نیز دوباره تمام خروجی‌ها در وضعیت یک قرار می‌گیرند. شمارنده‌ضربانی و شمارش‌از ۱۵ است. در جدول ۶ـ۶ تغییرات خروجی‌ها نشان داده شده است.

جدول ۶ـ۶ـ جدول تغییرات خروجی‌های مثال ۳

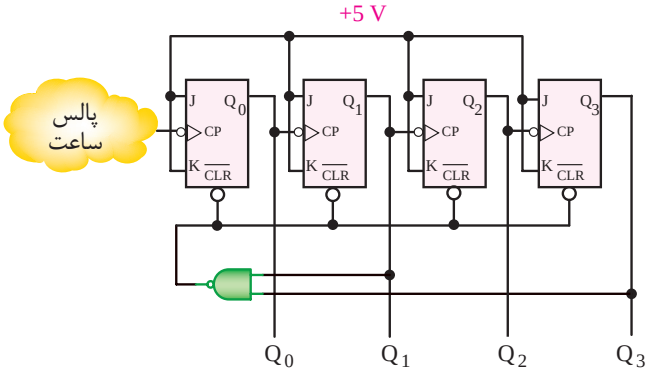
تعداد پالس ساعت	شمارش ده‌دهی	$\overline{Q_0}$	$\overline{Q_1}$	$\overline{Q_2}$	$\overline{Q_3}$
0	15	1	1	1	1
1	14	1	1	1	0
2	13	1	1	0	1
3	12	1	1	0	0
4	11	1	0	1	1
5	10	1	0	1	0
6	9	1	0	0	1
7	8	1	0	0	0
8	7	0	1	1	1
9	6	0	1	1	0
10	5	0	1	0	1
11	4	0	1	0	0
12	3	0	0	1	1
13	2	0	0	1	0
14	1	0	0	0	1
15	0	0	0	0	0
16	15	1	1	1	1

۶ـ۴ـ۶ـ شمارندهٔ آسنکرون دهدهی

BCD(Binary Coded Decimal):شمارندهٔ آسنکرون صعودی که قبلاً بررسی شده، ۱۶ حالت مختلف دارد و می‌تواند از صفر تا عدد ۱۵ را بشمارد.

در عمل نیاز به شمارنده‌هایی است که بتواند اعداد کمتر از ۱۶ حالت مثلاً از صفر تا ۱۰ را بشمارد. به این شمارنده‌ها دهدهی (اعشاری) یا BCD می‌گویند. برای طراحی یک شمارندهٔ BCD ابتدا باید تعداد فلیپ‌فلاپ‌ها را تعیین کنید. اگر تعداد فلیپ‌فلاپ را n در نظر بگیریم باید n کوچکترین عدد طبیعی باشد که در رابطهٔ $10<2^n$ صدق کند. زیرا اگر n را سه بگیریم می‌تواند تا $2^3=8$ رقم را بشمارد، بنابراین برای شمارندهٔ BCD تعداد n را برابر ۴ می‌گیریم که می‌تواند ۱۶ رقم را بشمارد. بنابراین شمارندهٔ BCD همان‌شمارندهٔ آسنکرون صعودی است، با این تفاوت که باید بتواند اعداد صفر تا $(1010)_2$,۱۰را بشماردو به محض رسیدن به عدد ۱۰، خروجی را پاک (Reset)کند، این عمل توسط یک گیت کنترل صورت می‌گیرد.

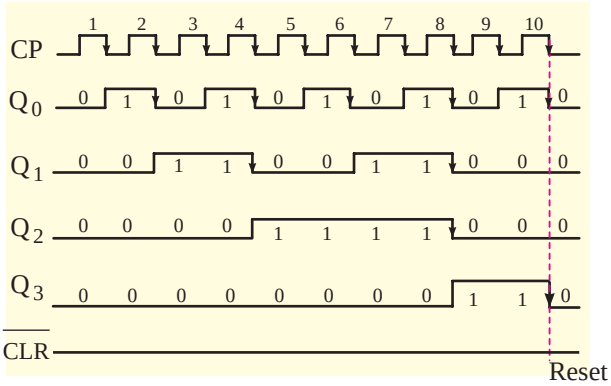
در شکل ۶ـ۵۴ مدار شمارندهٔ آسنکرون دهدهی با استفاده از چهار فلیپ‌فلاپ T نشان داده شده است.



شکل ۶ـ۵۴ـ مدار شمارندهٔ آسنکرون دهدهی (مدول ۱۰)

در این مدار، پس از آن که شمارنده از عدد ۹ یعنی $(1001)_2$ به عدد۱۰ یعنی $(1010)_2$تغییر حالت می‌دهد، هردو ورودی گیت NAND برابر با یک می‌شود و خروجی آن را برای مدتی کوتاه به صفر می‌رساند. به‌این ترتیب کلیهٔ فلیپ‌فلاپ‌هاReset می‌شوند و شمارش را از صفر شروع می‌کنند.

در شکل ۶ـ۵۵ دیاگرام زمانی شمارندهٔ دهدهی نشان داده شده است و جدول ۶ـ۷ جدول تغییرات خروجی مدار شکل ۶ـ۵۵ را بر اساس دیاگرام زمانی نشان می‌دهد.



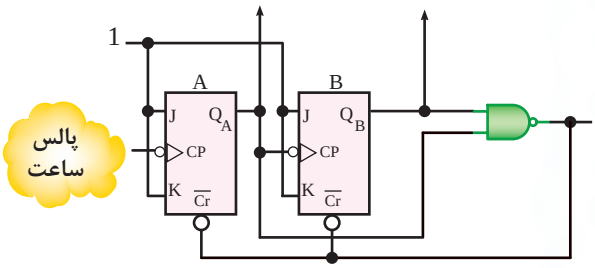
شکل ۶ـ۵۵ـ دیاگرام زمانی شمارندهٔ دهدهی

جدول ۶ـ۷ـ جدول تغییرات خروجی شمارندهٔ دهدهی

Q_3	Q_2	Q_1	Q_0	Decimal
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9

طبق دیاگرام زمانی مشاهده می‌کنیم که تمام خروجی‌های شمارنده در پایان پالس دهم مساوی صفر شده‌اند.

مثال ۶ـ۴: در شکل ۶ـ۵۶ مدار یک شمارندهٔ آسنکرون مدول ۳ را ملاحظه می‌کنید. طرز کار این شمارنده را شرح دهید.

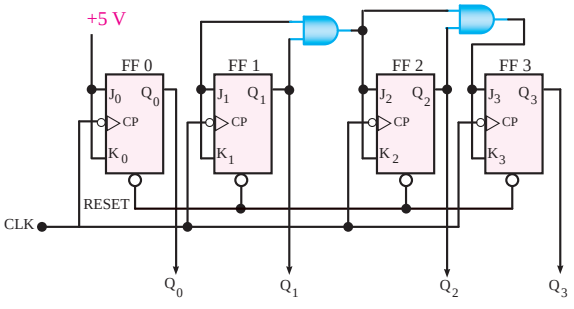


شکل ۵۶ـ۶ـ مدار شمارندهٔ آسنکرون مدول ۳ مربوط به مثال ۴

حل: چون شمارندهٔ آسنکرون مدول ۳ است، لذا کوچکترین عدد طبیعی n که در رابطهٔ $2^n>3$ صدق کند برابر ۲ است، پس برای شمارش اعداد به دو فلیپ‌فلاپ نیاز داریم که در شکل ۵۶ـ۶ رسم شده است. این شمارنده می‌تواند فقط اعداد ۰، ۱، ۲ را بشمارد و هنگامی که به عدد ۳ می‌رسد QA=QB=۱ می‌شود و خروجی گیتNAND را صفر می‌کند. به‌این ترتیب خروجی هردو فلیپ‌فلاپ A و B پاک (Clear) یا Reset می‌شود.

تمرین کلاسی ۶ـ۶: جدول صحت مدار مثال ۴ـ۶ را رسم کنید.

۷ـ۴ـ۶ـ شمارندهٔ سنکرون صعودی: شمارندهٔ سنکرون نیز مانند شمارندهٔ آسنکرون می‌تواند صعودی یا نزولی باشد. در شکل ۵۷ـ۶ مدار یک شمارندهٔ چهاربیتی سنکرون صعودی نشان داده شده است.



شکل ۵۷ـ۶ـ مدار شمارندهٔ چهار بیتی سنکرون صعودی

در این شمارنده پالس ساعت همهٔ فلیپ‌فلاپ‌ها از یک منبع تأمین شده است. عملکرد مدار به شرح زیر است:

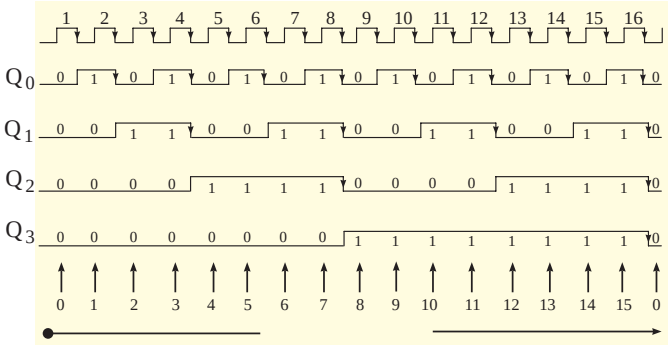
مرحلهٔ اول: چون $J_0=K_0=1$ است خروجی Q_0 زمانی تغییر حالت می‌دهد که پالس ساعت لبهٔ پایین‌رونده را طی کند.

مرحلهٔ دوم: فلیپ‌فلاپ شمارهٔ ۱(FF_1) زمانی تغییر حالت می‌دهد که Q_0 در وضعیت یک منطقی باشد.

مرحلهٔ سوم: چون $J_2=K_2=Q_1Q_0$ است، فلیپ‌فلاپ شمارهٔ ۲ (FF_2)زمانی تغییر وضعیت می‌دهد که $Q_2=Q_1$ و هردو در حالت یک منطقی باشند.

مرحلهٔ چهارم: چون $J_3=K_3=Q_2Q_1Q_0$ است پس فلیپ‌فلاپ شمارهٔ ۳ (FF_3) زمانی‌تغییر وضعیت می‌دهد که $Q_2=Q_1=Q_0$ و هرسه در حالت یک منطقی باشند.

در شکل ۵۸ـ۶ دیاگرام زمانی شمارندهٔ سنکرون نشان داده شده است.



شکل ۵۸ـ۶ـ دیاگرام زمانی شمارندهٔ سنکرون صعودی چهاربیتی

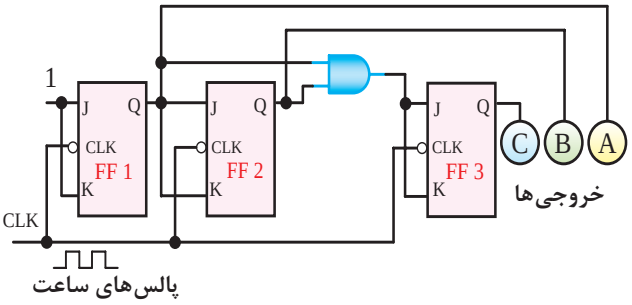
جدول ۸ـ۶ جدول صحت شمارندهٔ چهاربیتی سنکرون صعودی را نشان می‌دهد.

جدول ۸ـ۶ـ جدول صحت شمارندهٔ چهاربیتی سنکرون صعودی

Q_3	Q_2	Q_1	Q_0	معادل ده‌دهی
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15

شمارش دوباره تکرار می شود

مثال ۵ـ۶: در شکل ۵۹ـ۶ مدار یک شمارندهٔ سنکرون صعودی شامل ۳ فلیپ‌فلاپ T آمده است، طرز کار مدار را شرح دهید و جدول تغییرات خروجی‌های آن را برای ۸ پالس ورودی نمایش دهید.



شکل ۵۹ـ۶ـ مدار شمارندهٔ سنکرون صعودی مثال ۵

حل: طبق شکل ۵۹ـ۶ چون سه فلیپ‌فلاپ داریم برای انتقال اعداد از یک گیت AND استفاده شده است. با توجه به شکل ۵۹ـ۶ جدول تغییرات خروجی آن به صورت جدول ۹ـ۶ رسم شده است.

طبق جدول این شمارنده می‌تواند تا عدد ۷ را بشمارد و سپس Reset شود.

جدول۹ـ۶ـ جدول تغییرات خروجی‌های شمارندهٔ سنکرون صعودی مثال ۵

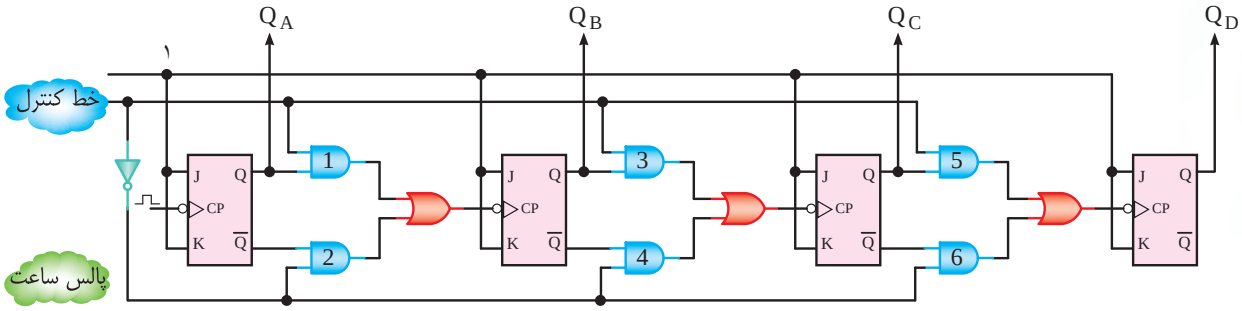
سطر	تعداد پالس‌های ساعت	C	B	A	شمارش ده‌دهی
1	0	0	0	0	0
2	1	0	0	1	1
3	2	0	1	0	2
4	3	0	1	1	3
5	4	1	0	0	4
6	5	1	0	1	5
7	6	1	1	0	6
8	7	1	1	1	7
9	8	0	0	0	0

۸ـ۴ـ۶ـ شمارندهٔ صعودی ـ نزولی

(Up/Down Counter): از ترکیب دو شمارندهٔ صعودی و نزولی طبق شکل ۶۰ـ۶، شمارنده‌ای شکل می‌گیرد که می‌تواند با استفاده از یک خط کنترل، به‌صورت صعودی یا نزولی شمارش کند.

اگر خط کنترل در حالت یک منطقی باشد گیت‌های AND شماره‌های ۱و ۳ و ۵ فعال می‌شوند و شمارنده به صورت صعودی شمارش می‌کند. در این حالت خروجی گیت‌های AND شمارهٔ ۲ و ۴ و ۶ مساوی صفر منطقی‌اند. درصورتی که خط کنترل روی صفر باشد، خروجی گیت‌هایAND شماره ۲ و ۴ و ۶ برابر با یک منطقی می‌شود و شمارنده به‌صورت نزولی شمارش می‌کند. در این حالت خروجی گیت‌های AND شمارهٔ ۱ و ۳ و ۵ صفر می‌شوند و به‌صورت غیرفعال درمی‌آیند.

جهت هنرجویان علاقه‌مند: با مراجعه به یکی از موتورها و استفاده از کلمه‌های Up Counter و down Counter تعدادی مقالهٔ فارسی و مدار دربارهٔ شمارنده‌ها جست‌وجو کنید و نتایج آن را به کلاس ارائه دهید.



شکل ۶۰ـ۶ـ شمارندهٔ صعودی ـ نزولی

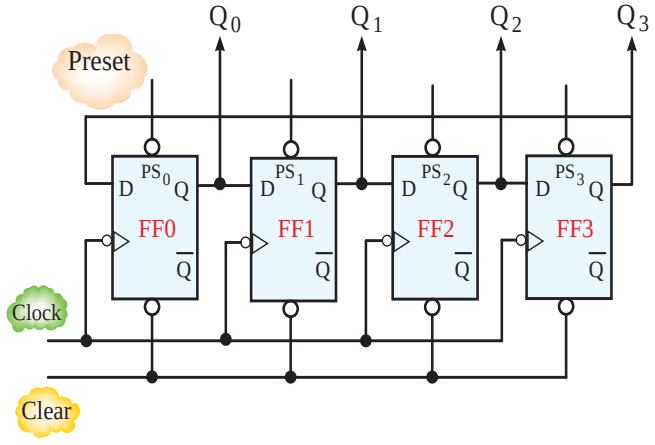
خط کنترل=۱ $\Rightarrow$ فعال: AND_1, AND_3, AND_5 ؛ غیر فعال: AND_2, AND_4, AND_6

شمارندهٔ صعودی

خط کنترل=۰ $\Rightarrow$ غیرفعال: AND_1, AND_3, AND_5 ؛ فعال: AND_2, AND_4, AND_6

شمارندهٔ نزولی

۹ـ۴ـ۶ـ شمارندهٔ حلقوی (Ring counter) یا دایره‌ای: شمارندهٔ حلقوی از ترکیب فلیپ‌فلاپ‌های نوع D به گونه‌ای شکل می‌گیرد که خروجی Q آخرین فلیپ‌فلاپ به ورودی D اولین فلیپ‌فلاپ فیدبک شده است. شکل ۶۱ـ۶ شمارندهٔ حلقوی ۴ بیتی را نشان می‌دهد.



شکل ۶۱ـ۶ـ شمارندهٔ حلقوی (دایره‌ای) چهار بیتی

این شمارنده از نوع سنکرون است؛ ابتدا تمام فلیپ‌فلاپ‌ها را به وسیلهٔ خط Clear (پاک) Reset می‌کنیم. سپس به پرکردن فلیپ‌فلاپ اول(ff_0) به کمک ورودی PS_0 می‌پردازیم. در زمان پرکردن اولیه FF_0، نیازی به پالس ساعت نیست. در این حالت $Q_3=Q_2=Q_1=0$ و $Q_0=1$ می‌شود. با شروع پالس ساعت، اطلاعات به سمت راست انتقال می‌یابد و در لبهٔ نزولی (پایین رونده) اولین پالس ساعت $Q_0=0, Q_1=1, Q_2=0$ و $Q_3=0$ می‌شود.

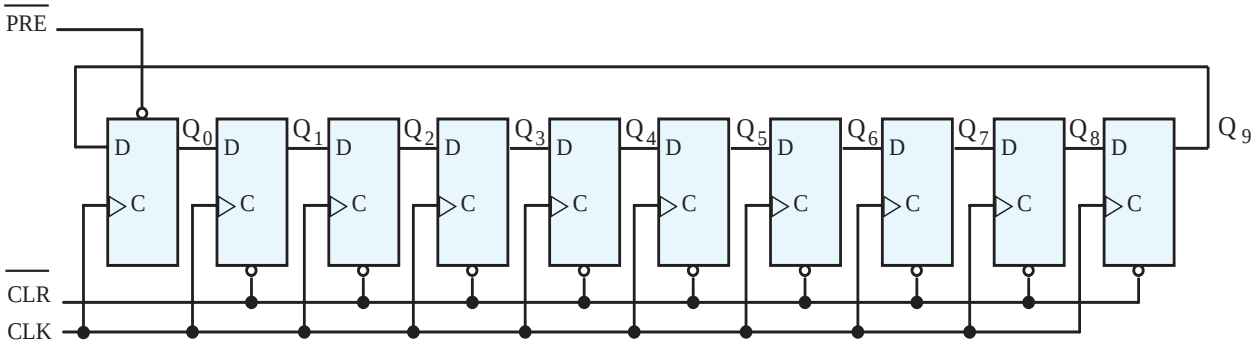
همچنین در لبهٔ صعودی پالس ساعت دوم شرایط خروجی‌ها به صورت $Q_0=0, Q_1=0, Q_2=1$ و $Q_3=0$ درمی‌آید به همین ترتیب در لبهٔ صعودی پالس ساعت سوم مقادیر $Q_0=0, Q_1=0, Q_2=0$ و $Q_3=1$ می‌شود. در لبهٔ صعودی پالس ساعت چهارم مقادیر $Q_0=1, Q_1=0, Q_2=0$ و $Q_3=0$ می‌شود و شمارنده را به حالت اولیه برمی‌گرداند. جدول ۱۰ـ۶ تغییرات خروجی شمارندهٔ حلقوی چهاربیتی مدارشکل ۶۱ـ۶ را نشان می‌دهد.

جدول ۱۰ـ۶ـ جدول تغییرات خروجی شمارندهٔ حلقوی

تعداد پالس‌های ساعت ورودی	خروجی‌ها Q_3	Q_2	Q_1	Q_0	شمارش ده‌دهی خروجی $N=(Q_3Q_2Q_1Q_0)$
0	0	0	0	1	1
1	0	0	1	0	2
2	0	1	0	0	4
3	1	0	0	0	8
4	0	0	0	1	1

مطابق جدول ۱۰ـ۶ در خروجی شمارندهٔ حلقوی اعداد ۱و ۲و ۴و ۸ شمارش می‌شوند.

مثال ۶ـ۶: در شکل ۶۲ـ۶ یک شمارندهٔ حلقوی ۱۰ بیتی با استفاده از فلیپ‌فلاپ D رسم شده است. جدول تغییرات خروجی‌های آن را نمایش دهید.



شکل ۶۲ـ۶ـ شمارندهٔ حلقوی ۱۰ بیتی

حل: مدار شمارندهٔ حلقوی ۱۰ بیتی نیاز به ۱۰ فیلیپ‌فلاپ نوع D دارد و کلیهٔ خروجی‌های Clear به هم و خروجی‌های پالس ساعت (Clock) نیز به هم وصل شده‌اند، این فلیپ‌فلاپ‌ها توسط خط $\overline{CLR}$، Reset شده‌اند و سپس به وسیلهٔ خط $\overline{PRE}$، فلیپ فلاپ اول پرمی‌شود (در آن مقدار یک قرار می‌گیرد).

این حالت را در شکل ۶۲ـ۶ ملاحظه می‌کنید.

جدول ۱۱ـ۶ جدول تغییرات خروجی مدار شکل ۶۲ـ۶ را در برابر تغییرات پالس ساعت نشان می‌دهد.

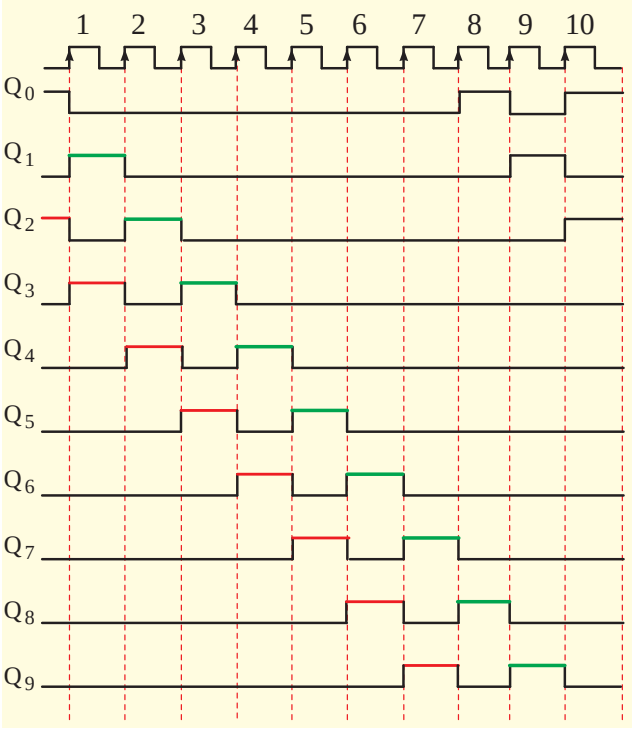
جدول ۱۱ـ۶ـ جدول تغییرات خروجی شمارندهٔ حلقوی ده‌بیتی

Clock Pulse	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	Q_8	Q_9
0	1	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0
2	0	0	1	0	0	0	0	0	0	0
3	0	0	0	1	0	0	0	0	0	0
4	0	0	0	0	1	0	0	0	0	0
5	0	0	0	0	0	1	0	0	0	0
6	0	0	0	0	0	0	1	0	0	0
7	0	0	0	0	0	0	0	1	0	0
8	0	0	0	0	0	0	0	0	1	0
9	0	0	0	0	0	0	0	0	0	1

مثال ۷ـ۶ اگر در شمارندهٔ حلقوی ۱۰ بیتی مثال قبل حالت اولیهٔ $Q_0Q_1Q_2Q_3Q_4Q_5Q_6Q_7Q_8Q_9$=۱۰۱۰۰۰۰۰۰۰ باشد، شکل موج‌های خروجی را با حفظ رابطهٔ زمانی رسم کنید.

حل: دیاگرام زمانی خروجی‌ها را در شکل ۶۳ـ۶ ملاحظه می‌کنید.

$Q_0Q_1Q_2Q_3Q_4Q_5Q_6Q_7Q_8Q_9$=۱۰۱۰۰۰۰۰۰۰



در اولین پالس محتوای Q_9 به این خروجی انتقال می یابد. در دومین پالس محتوای Q_8 و...

در اولین پالس محتوای Q_0 به این خروجی انتقال می یابد. در دومین پالس محتوای Q_9 و...

در اولین پالس محتوای Q_1 به این خروجی انتقال می یابد. در دومین پالس محتوای Q_0 و...

در اولین پالس محتوای Q_2 به این خروجی انتقال می یابد. در دومین پالس محتوای Q_1 و...

در اولین پالس محتوای Q_3 به این خروجی انتقال می یابد. در دومین پالس محتوای Q_2 و...

در اولین پالس محتوای Q_4 به این خروجی انتقال می یابد. در دومین پالس محتوای Q_3 و...

در اولین پالس محتوای Q_5 به این خروجی انتقال می یابد. در دومین پالس محتوای Q_4 و...

در اولین پالس محتوای Q_6 به این خروجی انتقال می یابد. در دومین پالس محتوای Q_5 و...

در اولین پالس محتوای Q_7 به این خروجی انتقال می یابد. در دومین پالس محتوای Q_6 و...

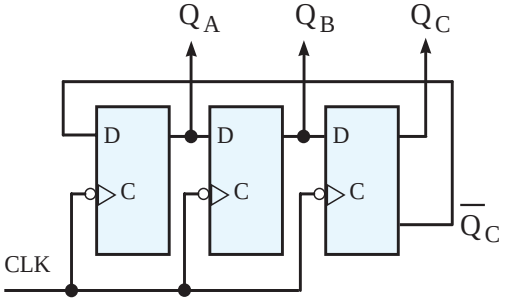
در اولین پالس محتوای Q_8 به این خروجی انتقال می یابد. در دومین پالس محتوای Q_7 و...

شکل ۶۳ـ۶ـ دیاگرام زمانی خروجی شمارندهٔ حلقوی ۱۰ بیتی مثال ۷

تمرین کلاسی ۷ـ۶: در شمارندهٔ حلقوی ۵ بیتی حالت اولیه به صورت ۱۱۰۰۱ است، شکل موج‌های خروجی را با حفظ رابطهٔ زمانی رسم کنید.

۱۰ـ۴ـ۶ـ شمارندهٔ جانسون (Johnson Counter):

این شمارنده یک شیفت رجیستر با ورودی سری و خروجی سری است، که در آن $\overline{Q}$ آخرین فلیپ‌فلاپ به ورودی (D) اولین فلیپ‌فلاپ متصل شده است. در شکل۶۴ـ۶ شمارندهٔ جانسون ۳بیتی را مشاهده می‌کنید.



شکل ۶۴ـ۶ـ شمارندهٔ جانسون سه بیتی

این شمارنده مطابق جدول ۱۲ـ۶ دارای ۶ حالت مختلف است.

جدول ۱۲ـ ۶ـ حالات شمارندهٔ جانسون سه‌بیتی

پالس ساعت	Q_A	Q_B	Q_C
0	0	0	0
1	1	0	0
2	1	1	0
3	1	1	1
4	0	1	1
5	0	0	1

فلیپ‌فلاپ از چپ به راست ابتدا با یک و سپس با صفر پر می‌شوند.

شمارندهٔ جانسون چهار بیتی دارای ۸ حالت مختلف است. شمارندهٔ جانسون ۵ بیتی دارای ۱۰ حالت مختلف است. شمارندهٔ جانسون n بیتی عموماً دارای ۲n حالت مختلف است. n تعداد طبقات شمارنده را مشخص می‌کند.

جدول ۱۳ـ۶ حالات مختلف شمارندهٔ جانسون چهاربیتی و جدول ۱۴ـ۶ حالات مختلف خروجی‌های شمارندهٔ پنج بیتی را نشان می‌دهد.

جدول ۱۳ـ۶ـ خروجی‌های شمارندهٔ جانسون چهاربیتی

پالس ساعت	Q_A	Q_B	Q_C	Q_D
0	0	0	0	0
1	1	0	0	0
2	1	1	0	0
3	1	1	1	0
4	1	1	1	1
5	0	1	1	1
6	0	0	1	1
7	0	0	0	1

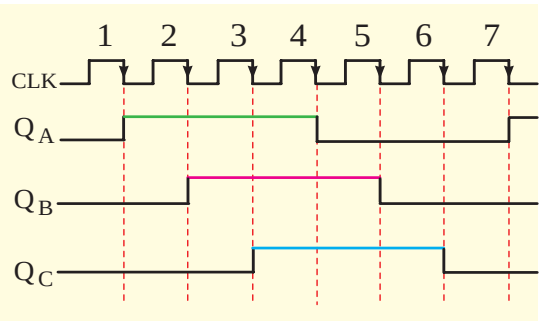
تمرین کلاسی ۸ـ۶: دیاگرام زمانی شمارندهٔ جانسون چهار بیتی جدول ۱۳ـ ۶ را رسم کنید.

جدول ۱۴ـ۶ـ جدول خروجی‌های شمارندهٔ جانسون پنج‌بیتی

پالس ساعت	Q_A	Q_B	Q_C	Q_D	Q_E
0	0	0	0	0	0
1	1	0	0	0	0
2	1	1	0	0	0
3	1	1	1	0	0
4	1	1	1	1	0
5	1	1	1	1	1
6	0	1	1	1	1
7	0	0	1	1	1
8	0	0	0	1	1
9	0	0	0	0	1

مثال ۸ـ۶: دیاگرام زمانی شمارندهٔ جانسون سه‌بیتی شکل ۶۴ـ۶ را رسم کنید.

حل: با توجه به جدول ۱۲ـ۶ دیاگرام زمانی پالس ساعت، Q_A، Q_B و Q_C با حفظ رابطهٔ زمانی طبق شکل ۶۵ـ۶ به‌دست می‌آید.



شکل ۶۵ـ۶ـ دیاگرام زمانی شمارندهٔ سه بیتی جانسون

مطابق شکل ۶۵ـ۶ قبل از اعمال پالس ساعت تمام خروجی‌ها برابر با صفر هستند. در پایان پالس ششم نیز تمام خروجی‌ها مساوی با صفر می‌شوند.

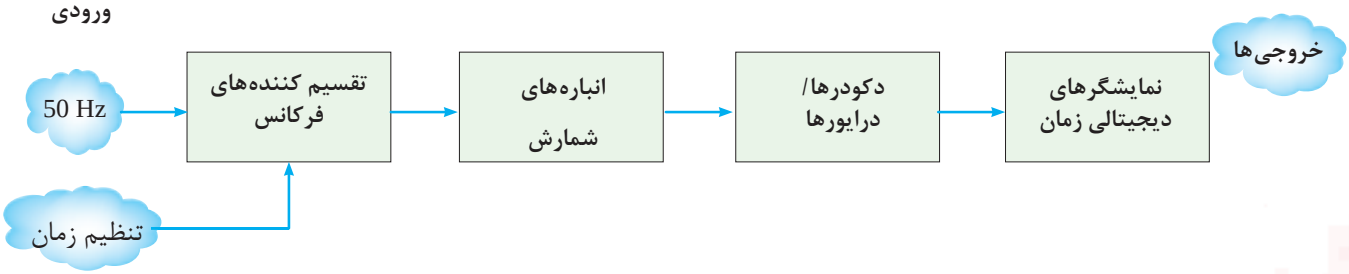
تمرین کلاسی ۹ـ۶: دیاگرام زمانی شمارندهٔ جانسون پنج بیتی جدول ۱۴ـ ۶ را رسم کنید.

۱۱ـ۴ـ۶ـ بلوک دیاگرام یک ساعت دیجیتالی:

یکی از کاربردهای عملی شمارنده‌ها، سیستم‌های نگهداری زمان است. در شکل ۶۶ـ۶ بلوک دیاگرام یک ساعت دیجیتال نشان داده شده است.

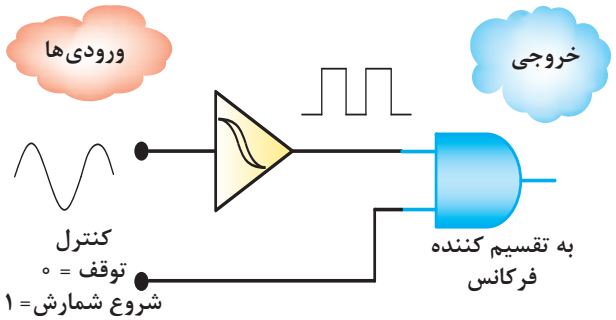
در مدار ساعت دیجیتالی، تعدادی شمارنده وجود دارد که قلب ساعت دیجیتالی را تشکیل می‌دهد. بسیاری از ساعت‌های دیجیتالی از فرکانس ۶۰Hz یا ۵۰Hz برق شهر به عنوان ورودی یا فرکانس استاندارد استفاده می‌کنند. این فرکانس به وسیلهٔ بخش تقسیم کنندهٔ فرکانس به شکل پالس‌های ثانیه، دقیقه و ساعت در می‌آید.

حافظه یا ذخیرهٔ اطلاعات (انبارهٔ شمارش)، پالس‌های مربوط به ثانیه، دقیقه و ساعت را می‌شمارد و آن‌ها را ذخیره می‌کنند. دکودرهای درایور (مبدل‌های BCD به 7.Seg)، محتویات ذخیره شده در انبارهٔ شمارش را به نمایشگرهای هفت قسمتی می‌رساند. به این ترتیب زمان صحیح در نمایشگرهای خروجی نشان داده می‌شود.



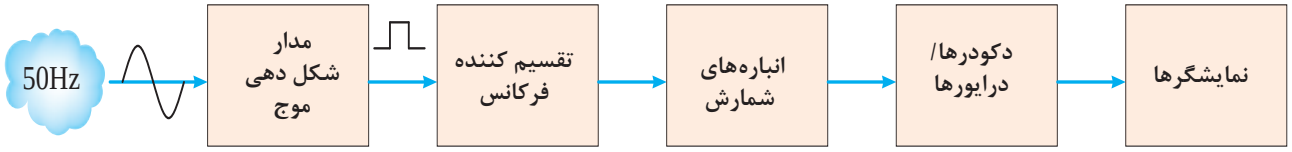
شکل ۶۶ـ۶ـ نمودار بلوکی ساعت دیجیتال

در بلوک دیاگرام ساعت دیجیتال، مدار تقسیم‌کنندهٔ فرکانس نمی‌تواند با ورودی سینوسی درست کار کند. به‌همین دلیل موج سینوسی ورودی را به وسیلهٔ مدارهای «تغییر دهندهٔ شکل موج» به سیگنال مربعی تبدیل می‌کنند، عمل تغییر شکل موج توسط مدار اشمیت‌تریگر (Schmitt Trigger) یا مولتی ویبراتور انجام می‌شود. در شکل ۶ـ۶۷ یک نمونه مدار تغییر شکل دهندهٔ شکل موج توسط اشمیت‌تریگر نشان داده‌شده است.



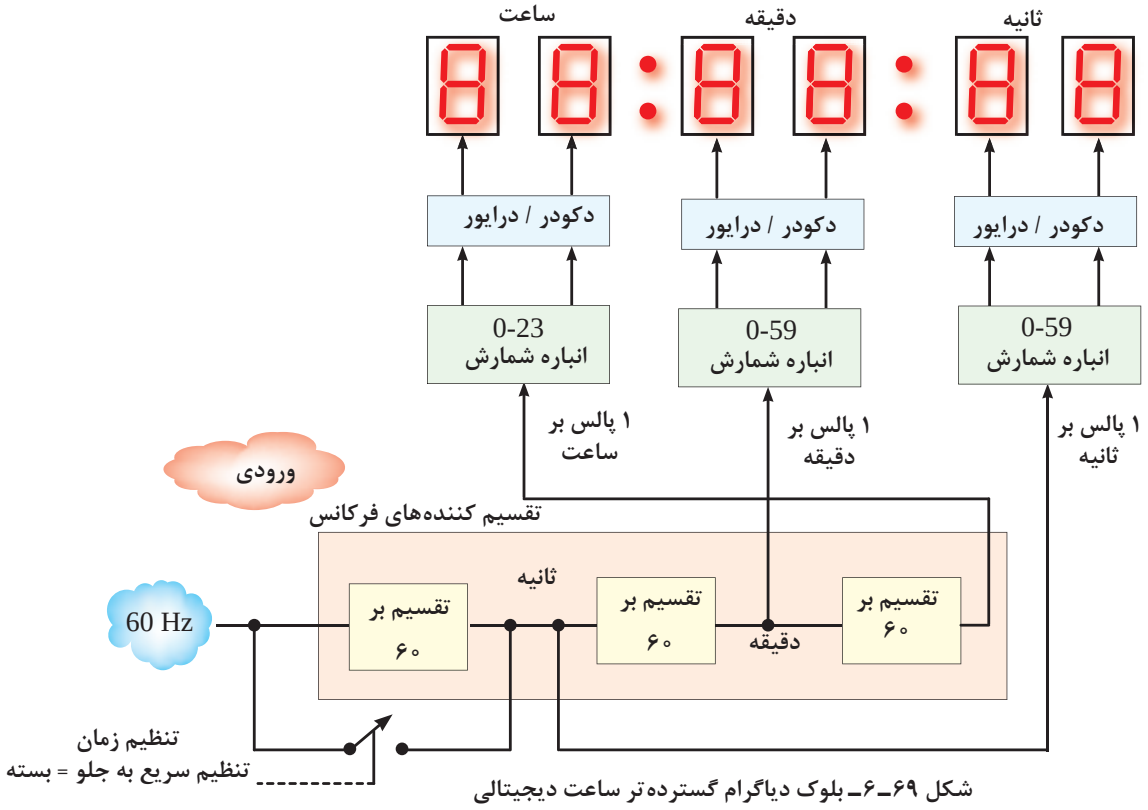
شکل ۶ـ۶۷ـ بلوک دیاگرام مدار تغییر دهندهٔ شکل موج

این مدار می‌تواند زمان شروع و توقف شمارش را نیز کنترل کند. عمل شمارش زمانی شروع می‌شود که (گیت ANDفعال) باشد. در حالتی که خط کنترل روی صفر منطقی باشد، موج مربعی از گیت AND عبور نمی‌کند و شمارنده متوقف می‌شود.



شکل ۶ـ۶۸ـ بلوک دیاگرام ساعت دیجیتالی با مدار تغییر دهندهٔ شکل موج!!

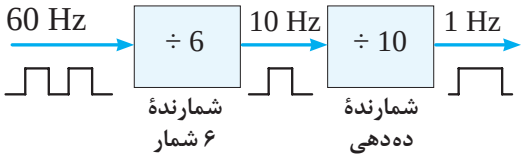
بلوک دیاگرام گسترده‌تر ساعت دیجیتال در شکل ۶ـ۶۹ نشان داده شده است.



شکل ۶ـ۶۹ـ بلوک دیاگرام گسترده‌تر ساعت دیجیتالی

نکتهٔ مهم: در بلوک دیاگرام ساعت دیجیتالی هدف کاربرد دکودر، شیفت رجیستر تقسیم کنندهٔ فرکانس و... در یک مدار عملی است. از این بلوک دیاگرام در طراحی سؤال استفاده نشود.

بلوک تقسیم بر ۶۰ در ورودی دارای دو شمارندهٔ تقسیم بر ۶ و تقسیم بر ۱۰ است. این بلوک سیگنال مربعی ۶۰ هرتز ورودی را به سیگنال مربعی ۱ هرتز تبدیل می‌کند. در سیستم برق ایران از بلوک تقسیم بر ۵۰ استفاده می‌شود. در این بلوک دو تقسیم کنندهٔ فرکانس تقسیم بر ۵ و تقسیم بر ۱۰ وجود دارد. در شکل ۷۰ـ۶ بلوک دیاگرام مدار تقسیم کنندهٔ فرکانس تقسیم بر ۶۰ را مشاهده می‌کنید.



شکل ۷۰ـ۶ـ بلوک دیاگرام مدار تقسیم بر ۶۰

توجه داشته باشید که فرکانس ۵۰ یا ۶۰ هرتز، پس از اولین تقسیم (بر ۶۰) پالس‌های ثانیه را به‌وجود می‌آورند که مبنایی برای به‌دست آوردن پالس‌های دقیقه و ساعت است. در شکل ۶۹ـ۶ مدار تنظیم‌کنندهٔ زمان که با بلوک تقسیم بر ۶۰ موازی است، برای تنظیم سریع به جلو استفاده می‌شود. با بستن کلید، به بلوک تقسیم بر ۶۰ بای پس می‌شود و سرعت شمارش را ۶۰ برابر می‌کند. به بلوک تقسیم بر ۶۰ میانی توجه کنید، ورودی به این مدار پالس‌های ثانیه است که پس از تقسیم شدن بر ۶۰ پالس‌های دقیقه را به‌وجود می‌آورد.

خروجی این بلوک به مدار دقیقه شمار صفر تا ۵۹ اعمال می‌شود و از آنها توسط دکودر و درایور (راه‌انداز) به دو عدد 7.Seg می‌رود تا رقم‌های یکان و دهگان دقیقه را نمایش دهد. انشعابی دیگر از ورودی بلوک تقسیم بر ۶۰ میانی به مدار ثانیه شمار صفر تا ۵۹ (سمت راست) اعمال می‌شود، و از آن‌جا توسط مدارهای دکودر و درایور به دو 7.Seg ثانیه شمار می‌رود.

مدار تقسیم بر ۶۰ سمت راست مربوط به پالس‌های ساعت است. ورودی این تقسیم‌کنندهٔ فرکانس، پالس‌های مربوط به دقیقه است و خروجی آن (پالس ساعت) را به وجود می‌آورد. خروجی پالس‌های ساعت به شمارندهٔ ساعت در سمت چپ انتقال می‌یابد. این شمارنده تعداد ساعات را از صفر تا ۲۳ می‌شمارد. خروجی این شمارنده از طریق دکودر «BCD به 7.Seg»به دو عدد 7.Seg (هفت‌قطعه‌ای) برای نمایش ارقام یکان و دهگان ساعت می‌رود.

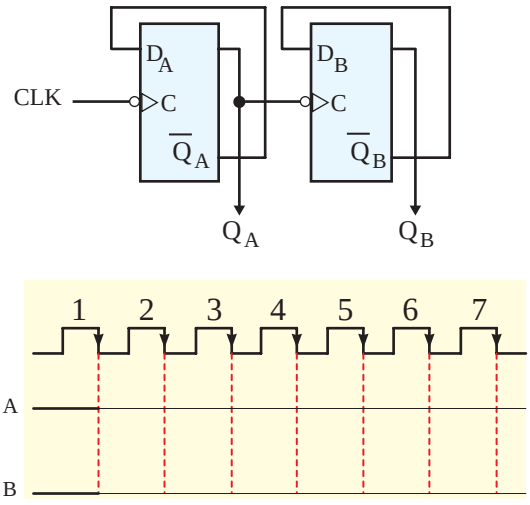
جهت هنرجویان علاقه‌مند: با استفاده از منابع مختلف مرتبط، بلوک دیاگرام فرکانس متر دیجیتالی را پیدا کنید و نحوهٔ عملکرد آن را مورد بررسی قرار دهید و نتایج را به کلاس ارائه نمایید.

جهت هنرجویان علاقه‌مند: با استفاده از چهار عدد فلیپ‌فلاپ نوع T مدار یک شمارندهٔ ۱۶ وضعیتی را به صورت صعودی ببندید و جدول صحت آن را مورد بررسی قرار دهید. نتیجه را به کلاس گزارش نمایید.

۵ـ۶ـ الگوی پرسش

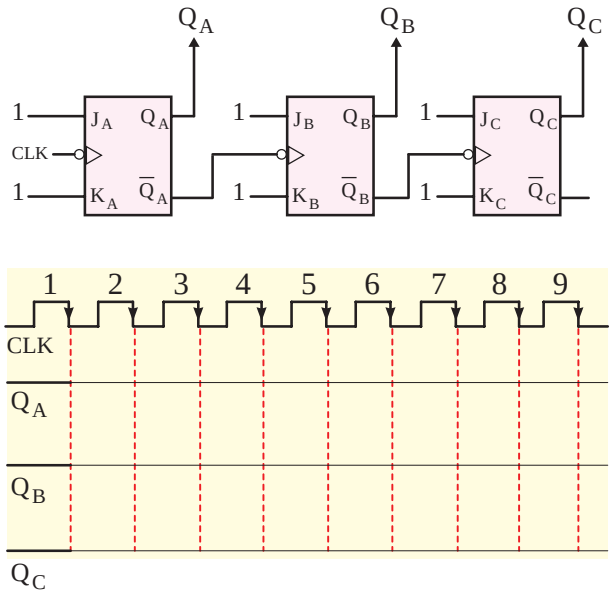
۱ـ فرض کنید فلیپ‌فلاپ‌های شکل ۷۱ـ۶ در آغاز در حالت Reset قرار دارد. پالس دیاگرام زمانی Q_A و Q_B

را رسم کنید و چگونگی کار مدار را توضیح دهید.



شکل ۷۱ـ۶ـ مدار سؤال۱ الگوی پرسش و نمودار زمانی مربوط به رسم خروجی‌های مدار

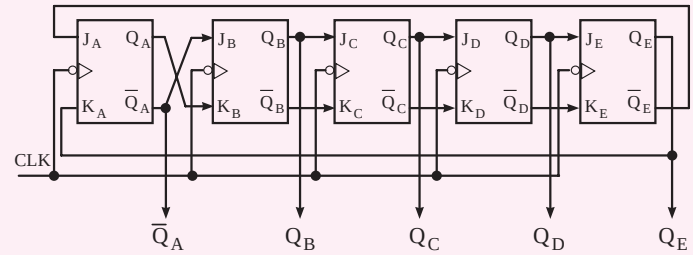
۲ـ با فرض این که فلیپ‌فلاپ‌های شکل ۷۲ـ۶ در آغاز در حالت Reset باشند، تغییرات بعدی وضعیت خروجی‌های Q_A، Q_B و Q_C را رسم کنید و در مورد آن توضیح دهید.

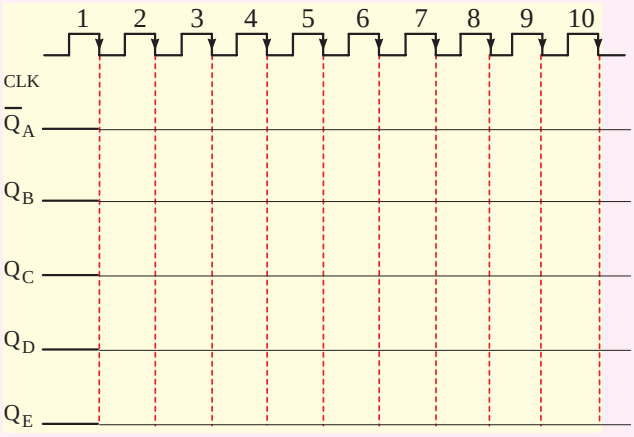


شکل ۷۲ـ۶ـ مدار سؤال ۲ الگوی پرسش و نمودار زمانی مربوط به رسم خروجی‌های مدار

جهت هنرجویان علاقه‌مند

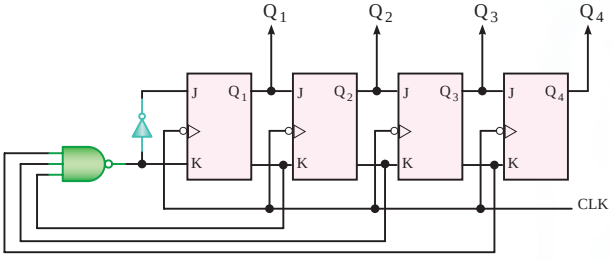
۳ـ دیاگرام زمانی خروجی‌های مدار شکل ۷۳ـ۶ را رسم کنید. فرض کنید در آغاز کلیهٔ فلیپ‌فلاپ‌ها در حالت Reset قرار دارند. در مورد عملکرد مدار توضیح دهید.





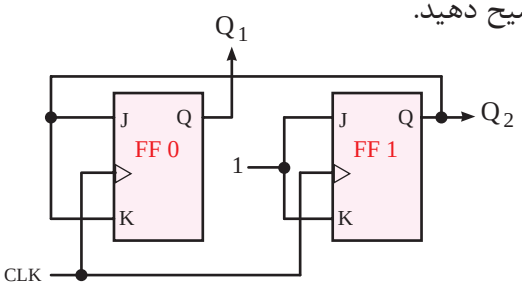
شکل ۷۳ـ۶ـ مدار سؤال ۳ الگوی پرسش

۴ـ مدار شکل ۶ـ۷۴ معادل کدام شمارنده (حلقوی یا جانسون) عمل می‌کند؟ دیاگرام زمانی Q_1، Q_2، Q_3 و Q_4 را با حفظ رابطهٔ زمانی نسبت به پالس ساعت CLK رسم کنید.



شکل ۶ـ۷۴ـ مدار سؤال ۴ الگوی پرسش

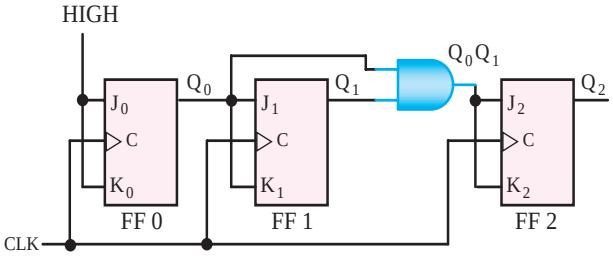
۵ـ شمارندهٔ شکل ۶ـ۷۵ چه اعدادی را می‌شمارد؟ توضیح دهید.



شکل ۶ـ۷۵ـ مدار سؤال ۵ الگوی پرسش

۶ـ می‌خواهیم با استفاده از یک شمارندهٔ اسنکرون از صفر تا ۱۴۴ را شمارش کنیم، برای این کار به چند فلیپ‌فلاپ نیاز داریم، شرح دهید.

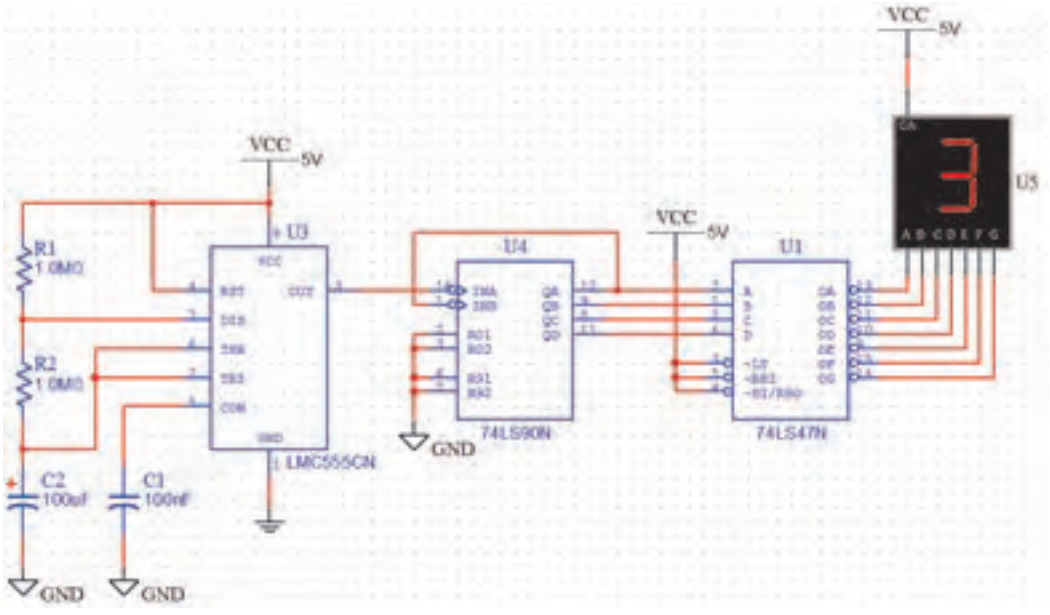
۷ـ شمارندهٔ شکل ۶ـ۷۶ چه اعدادی را می‌شمارد؟ توضیح دهید.



شکل ۶ـ۷۶ـ مدار سؤال ۷ الگوی پرسش

۶ـ۶ـ کار با نرم‌افزار

۱ـ با استفاده از نرم‌افزار مولتی سیم مدار شمارندهٔ صعودی شکل ۶ـ۷۷ را شبیه‌سازی کنید و شمارش اعداد را مشاهده نمایید. مقدار مقاومت‌های R_1 و R_2 را کاهش دهید سرعت شمارش اعداد چه تغییری می‌کند؟ توضیح دهید.



شکل ۶ـ۷۷ـ شمارندهٔ صعودی

۲ـ با استفاده از مدار شمارندهٔ شکل ۶ـ۷۷ شمارندهٔ صعودی دورقمی را به کمک دو عدد آی‌سی ۷۴۹۰، دو عدد 7.Seg و دو دکودر (آی‌سی ۷۴۴۷) ببندید و نتیجه را به کلاس ارائه نمایید.

فصل هفتم

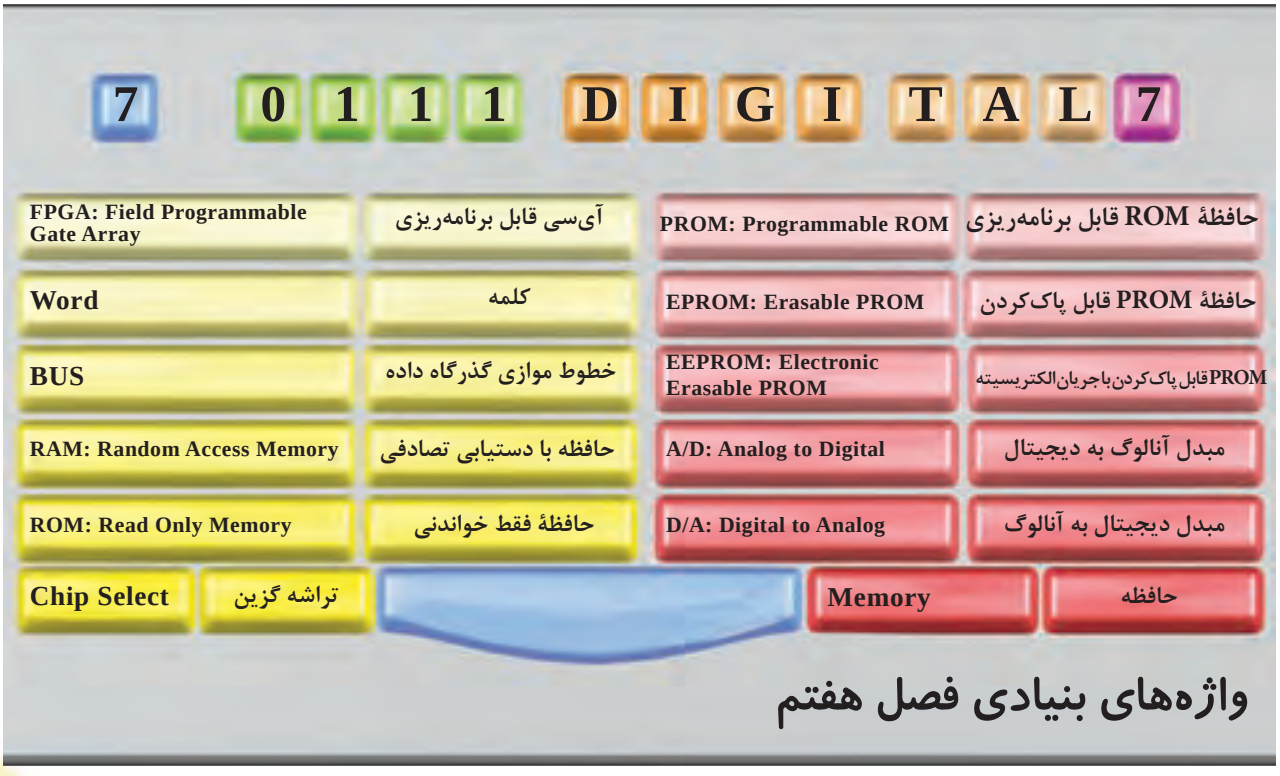
مدارهای منطقی پیشرفته

هدف کلی: آشنایی با کاربرد تراشه‌ها و مدارهای منطقی پیشرفته در سامانه‌های دیجیتالی

کل زمان اختصاص‌داده شده به فصل: ۱۲ ساعت آموزشی

هدف‌های رفتاری: در پایان این فصل از فراگیرنده انتظار می‌رود که:

۱ـ گیت‌های منطقی قابل برنامه‌نویسی (FPGA) را شرح دهد.
۲ـ شمارندهٔ قابل برنامه‌ریزی (آی‌سی ۷۴۱۹۳) را توضیح دهد.
۳ـ واحد محاسبه‌گر (جمع‌گر، تفریق‌گر) در سیستم‌های دیجیتالی را به صورت بلوک دیاگرام تشریح کند.
۴ـ بلوک دیاگرام مبدل سادهٔ دیجیتال به آنالوگ (DAC) را شرح دهد.
۵ـ مدار سادهٔ دیجیتال به آنالوگ را توضیح دهد.
۶ـ بلوک دیاگرام ساده مبدل آنالوگ به دیجیتال (ADC) را شرح دهد.
۷ـ تراشهٔ مبدل آنالوگ به دیجیتال ۸ بیتی را توضیح دهد.
۸ـ حافظه را تعریف کند.
۹ـ ذخیره‌سازی بیت، بایت و کلمه را در حافظه‌ها شرح دهد.
۱۰ـ انواع حافظه را توضیح دهد.
۱۱ـ میکروپروسسور را تعریف کند.
۱۲ـ میکرو کنترلر را شرح دهد.
۱۳ـ میکروپروسسور را با میکروکنترلر مقایسه کند.
۱۴ـ مینیمم سیستم را تعریف کند.
۱۵ـ کلیهٔ هدف‌های رفتاری در حیطهٔ عاطفی را که در فصل اوّل آمده است را باید در این فصل نیز مورد توجه قرار دهد.
۱۶ـ به سؤال‌های الگوی پرسش، پاسخ دهد.



پیش‌گفتار

تراشهٔ FPGA یک تراشهٔ قابل برنامه‌ریزی الکترونیکی است. در این تراشه می‌توانیم مدارهای دیجیتالی پیچیده و وسیع را در حجم کم و سرعت بالا برنامه‌ریزی و پردازش کنیم. از ویژگی‌های FPGA قابلیت اصلاح مدارها، پاک کردن و دوباره برنامه‌ریزی کردن آن است. این تراشه به‌وسیلهٔ نرم‌افزارهای رایج برنامه‌ریزی می‌شود و برای پیاده‌سازی مدارهای دیجیتال به کار می‌رود. با تراشهٔ FPGA می‌توان مدارهای ترکیبی دیجیتالی مانند مالتی‌پلکسر، جمع‌کننده، تفریق‌کننده، ضرب‌کننده، شمارنده‌های قابل برنامه‌ریزی و مدارهای کنترل‌کنندهٔ دیجیتالی را طراحی کرد.

هم‌چنین انتقال داده‌ها یعنی انتقال علائم صفر و یک منطقی در سیستم‌های مخابراتی از طریق تراشه‌های FPGA امکان‌پذیر است.

۱ـ۷ـ تراشهٔ FPGA (Field Programmable Gate Array)

(آرایه‌های گیت‌های منطقی قابل برنامه ریزی):

ساختار داخلی FPGA شامل بلوک‌های منطقی (LogicBlock) و بلوک‌های ورودی و خروجی (Bolck Output/Input) است.

در بلوک‌های منطقی FPGA تعداد زیادی گیت‌های منطقی وجود دارد که با برنامه‌ریزی از طریق نرم‌افزار مورد استفاده قرار می‌گیرد.

مثلاً در تراشهٔ سری DS۰۹۹، DS۳۱۲ یا DS۱۶۲ حدود ۷۰۰۰۰ تا ۸۰۰۰۰ گیت منطقی قرار دارد که به وسیلهٔ آن‌ها می‌توانید توابع منطقی بسیار پیچیده را پیاده سازی و اجرا کنید و در نهایت به طراحی مدارهای کنترل دیجیتالی برسید. عملیات ریاضی جمع و ضرب در حجم زیاد نیز به وسیلهٔ FPGA امکان‌پذیر است.

FPGA به‌صورت یک حافظهٔ ROM (Read Only Memory) و حافظهٔ فقط خواندنی یا حافظهٔ RAM (Random Access Memory) یعنی حافظه دست‌یابی به‌طور تصادفی قابل استفاده است که سرعت مناسبی هم دارد.

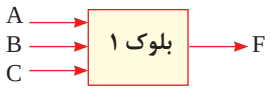
اطلاعات ذخیره‌شده در FPGA به صورت یک برنامهٔ کامل در داخل حافظهٔ PROM یعنی حافظهٔ قابل برنامه‌ریزی (Programmable ROM) قرار می‌گیرد. لذا در هنگام قطع برق این اطلاعات محفوظ می‌ماند و در هنگام پیاده‌سازی، مدارهای دیجیتالی دوباره در دسترس قرار دارد.

حافظه‌های ROM , RAM و PROM را در بخش‌های بعدی تشریح خواهیم کرد.

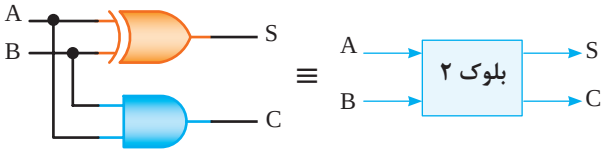
همان‌طور که اشاره شد یکی از کاربردهای تراشهٔ FPGA طراحی مدارهای دیجیتالی است.

به‌عنوان مثال می‌توانید یک تابع مانند F یا مدار یک جمع‌گر ناقص را با استفاده از بلوک آمادهٔ موجود در FPGA طراحی کنید. در شکل ۱ـ۷ الف و ب، یک نمونه از این نوع بلوک‌ها نشان داده شده است.

$F=AC+AB+BC$



الف) اجرای تابع F با بلوک آماده در FPGA

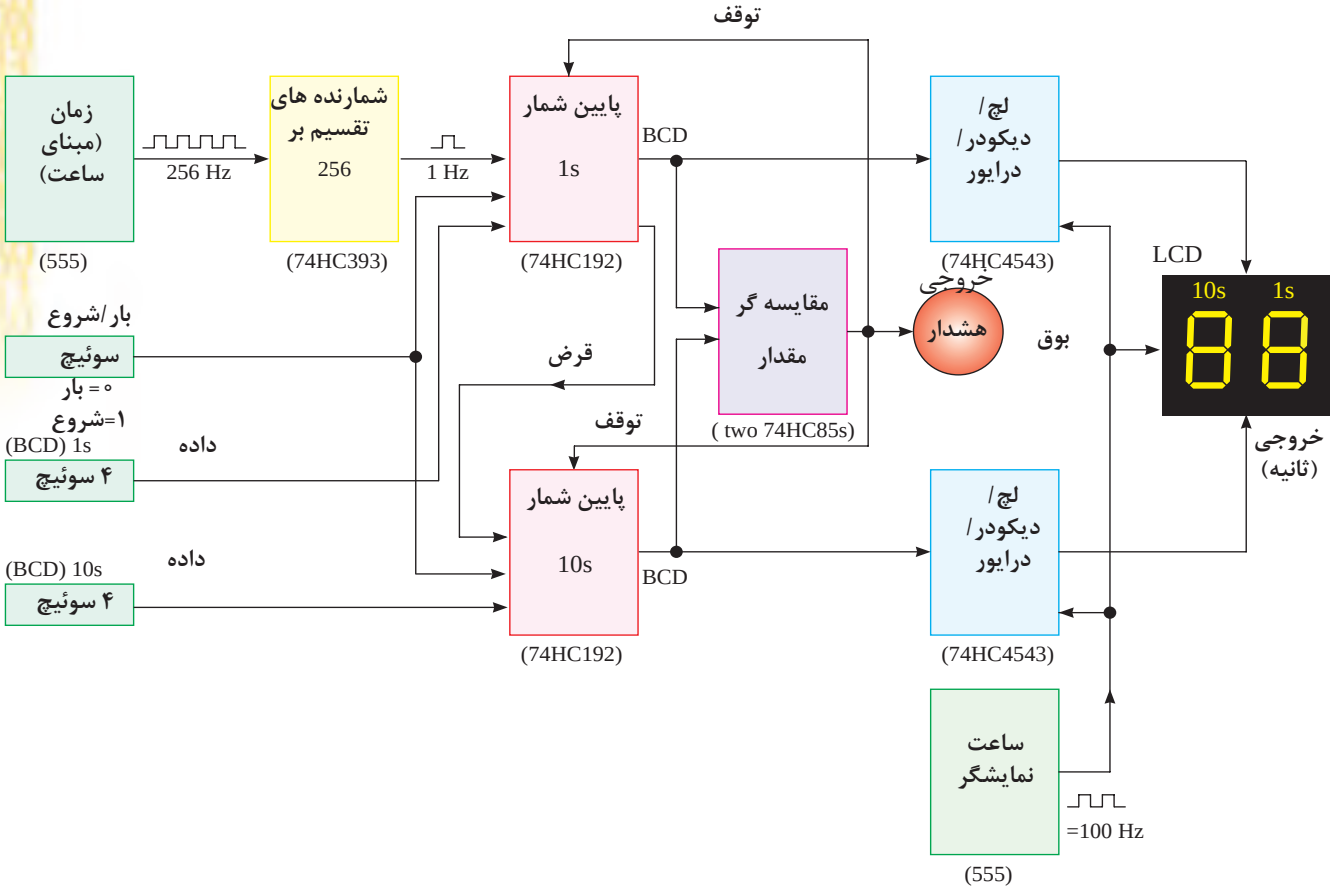


ب) اجرای مدار جمع‌گر ناقص با بلوک آماده در FPGA

شکل ۱ـ۷ـ کاربرد بلوک‌های موجود در FPGA

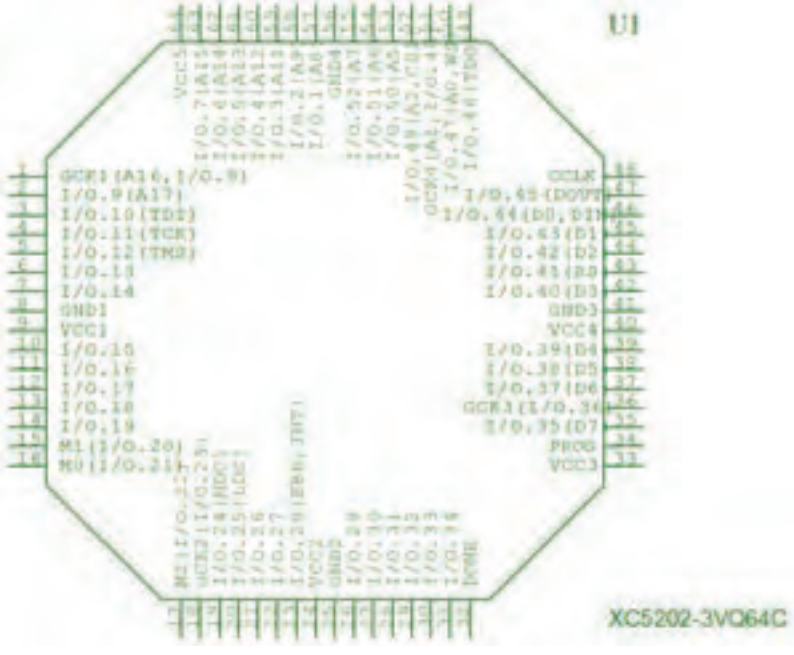
مدار شکل ۲ـ۷ که یک مدار تایمر LCD است را می‌توانید با استفاده از تراشهٔ FPGA طراحی کنید.

نکتهٔ مهم: در بلوک دیاگرام تایمر هدف کاربرد مدارها در یک مدار عملی است. از این بلوک دیاگرام در طراحی سؤال استفاده نشود.



شکل ۲ـ۷ـ نمودار بلوکی مشروح یک تایمر LCD عملی

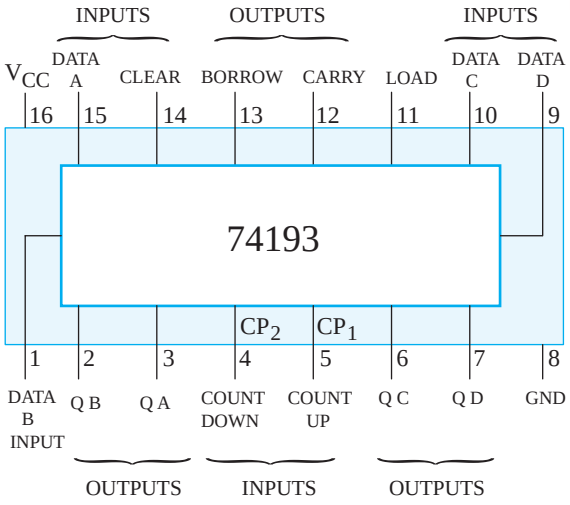
در شکل ۳ـ۷ یک نمونه تراشهٔ FPGA را به شمارهٔ فنی XC۵۲۰۲ـ۳VQ۶۴C نشان داده‌شده است.



شکل ۳ـ۷ـ یک نمونه تراشهٔ FPGA

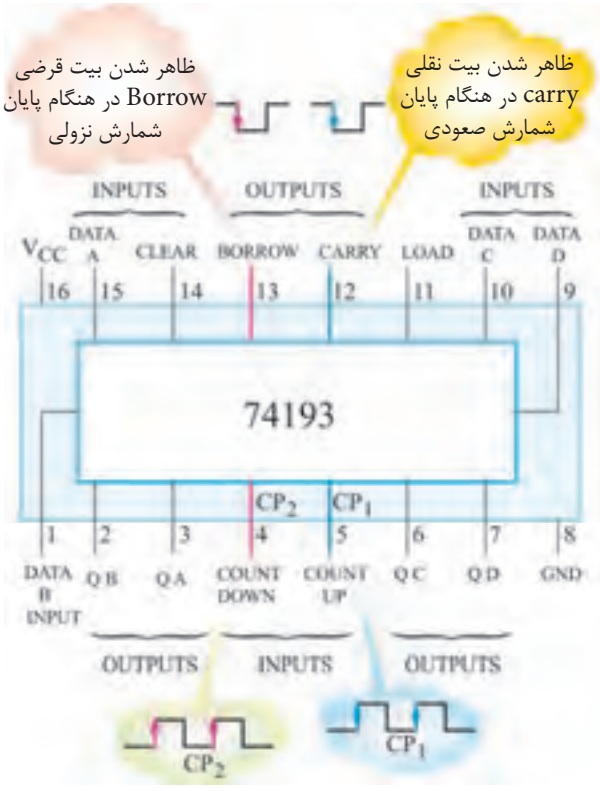
۲ـ۷ـ شمارندهٔ قابل برنامه‌ریزی

مدار شمارنده‌هایی را که تاکنون مورد مطالعه قرار دادیم، می‌تواند فقط شمارش صعودی، نزولی یا به طور مجزا را اجرا کند. اما تراشه‌هایی هم وجود دارند که می‌توانند عمل شمارش را در یک مدار تواماً به صورت صعودی و به صورت نزولی انجام دهند. یکی از رایج‌ترین این آی‌سی‌ها، آی‌سی TTL۷۴۱۹۳ است. در شکل ۴ـ۷ نمودار بلوکی و پایه‌های آن را مشاهده می‌کنید.



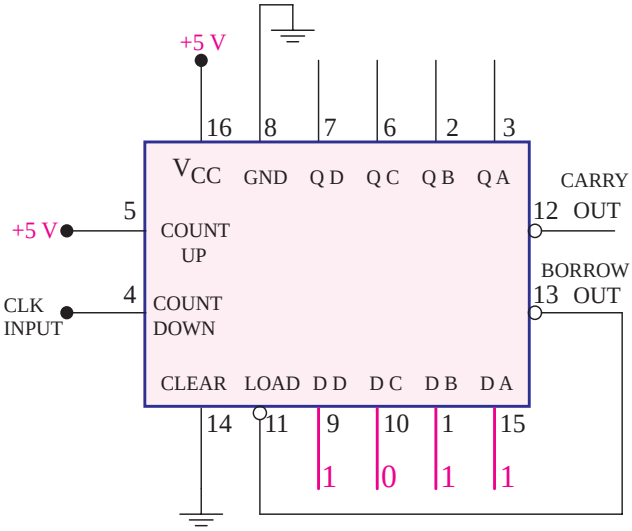
شکل ۴ـ۷ـ تراشهٔ ۷۴۱۹۳ شمارندهٔ قابل برنامه‌ریزی

یکی از مزیت‌های مهم این شمارنده این است که اگر پالس ساعت به پایهٔ ورودی تعیین‌کنندهٔ شمارش صعودی (up count ـ cp_1) وارد شود، آی‌سی عمل شمارش را از پایین به بالا انجام می‌دهد. هم‌چنین، اگر پالس ساعت به‌ورودی پایین شمارش(down count ـ cp_2) داده شود، عمل شمارش معکوس می‌شود و از بالا به پایین می‌شمارد.عمل شمارش به صورت افزایشی یا کاهشی در لبهٔ بالا روندهٔ پالس ساعت صورت می‌گیرد. در زمان شمارش صعودی هرگاه به عدد پایانی ۱۵ برسد، پالس با لبهٔ پایین رونده در پایهٔ خروجی carry ایجاد می‌کند. هم‌چنین در شمارش نزولی، در هنگامی که به عدد پایانی صفر می‌رسد، یک پالس پایین رونده‌در پایهٔ خروجی Borrow به‌وجود می‌آورد. در شکل ۵ـ۷ سیگنال پالس ساعت به ورودی‌های CP_1 و CP_2 را نشان می‌دهد.



شکل ۵ـ۷ـ با اعمال پالس ساعت به پایهٔ ۴ یا ۵ عمل شمارش نزولی یا صعودی صورت می‌گیرد.

این آی‌سی قابلیت برنامه‌ریزی عمل شمارش را از یک عدد خاص نیز دارد. این عمل با فعال کردن پایهٔ Load انجام می‌شود. به این ترتیب که هرگاه یک عدد باینری چهاربیتی روی پایه‌های (Data ـ A تا D) داده، قرار گیرد و به‌طور هم‌زمان پایهٔ Load (پایهٔ ۱۱) فعال شود، عمل شمارش از آن عدد به بالا یا پایین شروع می‌شود. در شکل ۶ـ۷ عدد ورودی ۱۰۱۱ به شمارنده را نشان می‌دهد که به صورت کاهشی از عدد ۱۰۱۱ (یازده دسی‌مال)تا ۰۰۰۰ (صفر دسی‌مال) را می‌شمارد. در این حالت پایهٔ Load با سطح منطقی صفر فعال می‌شود. از این خاصیت آی‌سی برای مدارهای کنترل دیجیتالی مانند نمایشگر امتیازات در مسابقات ورزشی، مشخص کردن شمارهٔ کانال‌های رادیویی در دستگاه‌های صوتی و تصویری و تعیین تعداد ورود و خروج افراد از درهای ورودی و خروجی اماکن استفاده می‌شود.



شکل ۶ـ۷ـ اعمال عدد باینری ۱۰۱۱ (۱۱ دسی‌مال)
جهت شمارش معکوس به شمارنده

جدول ۱ـ۷ جدول صحت این شمارش را نشان می‌دهد.

جدول ۱ـ۷ـ جدول شمارش مربوط به شکل ۶ـ۷

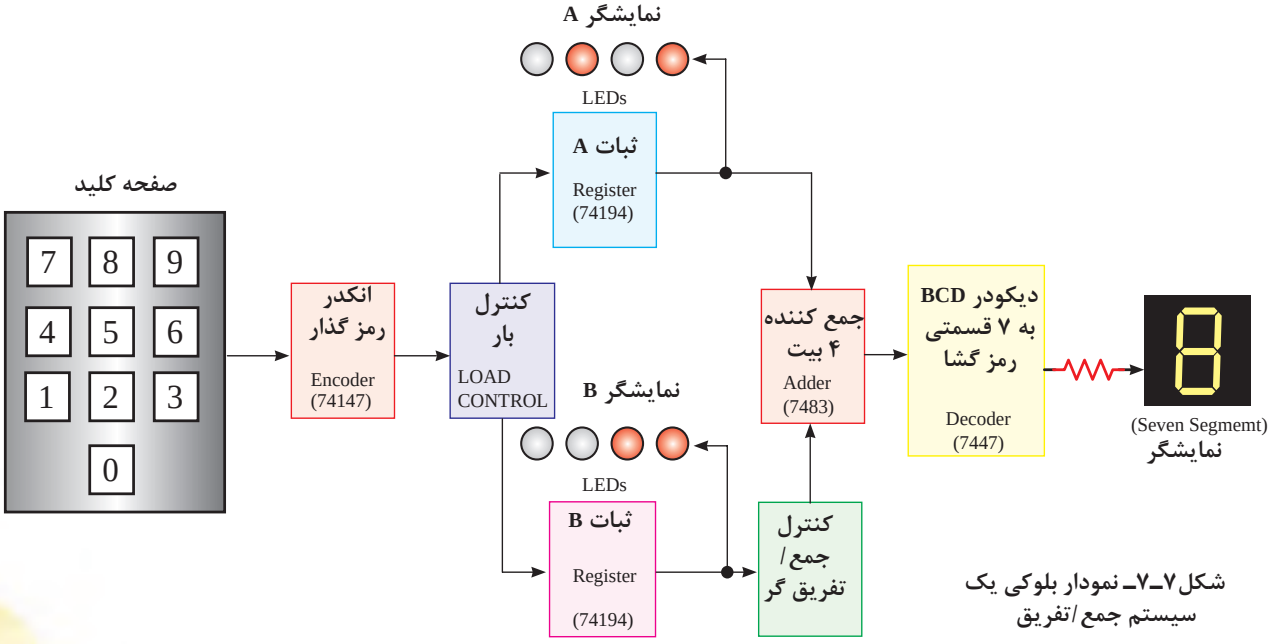
8	4	2	1	
Q_3	Q_2	Q_1	Q_0	Decimal
1	0	1	1	11
1	0	1	0	10
1	0	0	1	9
1	0	0	0	8
0	1	1	1	7
0	1	1	0	6
0	1	0	1	5
0	1	0	0	4
0	0	1	1	3
0	0	1	0	2
0	0	0	1	1
0	0	0	0	0

جهت شمارش

۳ـ۷ـ واحد محاسبه‌گر

هدف از ارائهٔ این مطلب آشنایی با مدارهای منطقی شامل عناصر منطقی ترکیبی و عناصر ترتیبی است که برای ساخت واحد محاسبه در سیستم‌های دیجیتالی (مانند ماشین حساب) به‌کار می‌رود.

در شکل ۷ـ۷ بلوک دیاگرام سادهٔ سیستم جمع و تفریق چهار بیتی نشان داده شده است. در این سیستم می‌خواهیم ابتدا عدد دهدهی x و y را با هم جمع (x+y) یا از هم کم(تفریق) (x ـy)کنیم. ابتدا عدد دهدهی x را به وسیلهٔ صفحه کلید وارد می‌کنیم. این اعداد توسط بلوک رمزگذار ۷۴۱۴۷ به عدد دودویی تبدیل می‌شود. بلوک کنترل بار (Load) اجازهٔ ثبت عدد x را در ثبات A (آی‌سی۷۴۱۹۴) و عدد Y را در ثبات B (آی‌سی ۷۴۱۹۴) می‌دهد. برای اجرای عملیات جمع یا تفریق، بلوک کنترل جمع‌گر یا تفریق‌گر تنظیم می‌شود. نتیجهٔ عملیات ریاضی، حاصل جمع یا حاصل تفریق دو عدد x و y است که توسط بلوک رمزگشای BCD به دهدهی تبدیل می‌شود و در نمایشگر خروجی نتیجهٔ عملیات ریاضی قابل رویت است.



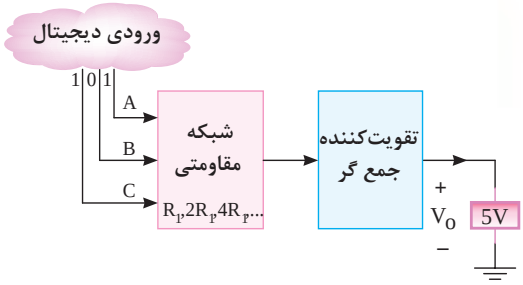
شکل ۷ـ۷ـ نمودار بلوکی یک
سیستم جمع/تفریق

۴ـ۷ـ مبدل دیجیتال به آنالوگ D/A

(Digital to Analog Convertor):

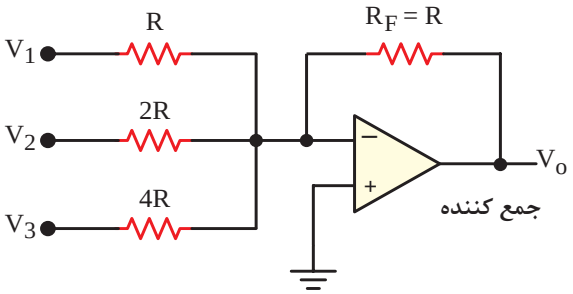
اطلاعات و علائم دیجیتال ذخیره شده در واحدهای حافظه، لازم است توسط یک مدار مبدل «دیجیتال به آنالوگ» بازیابی و به سیگنال آنالوگ تبدیل شوند.

در شکل ۸ـ۷ بلوک دیاگرام مبدل D/A را مشاهده می‌کنید.



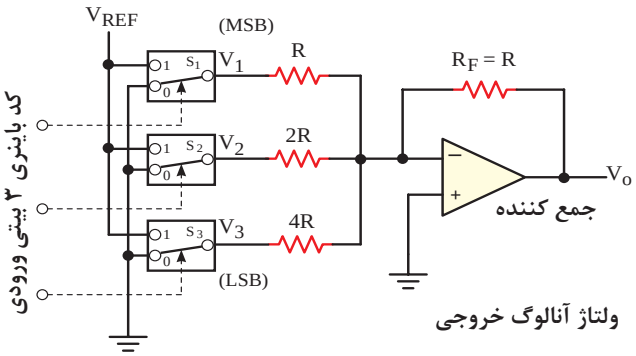
شکل ۸ـ۷ـ بلوک دیاگرام مبدل D/A

مدار D/A یک جمع‌کنندهٔ ولتاژ است که شبکهٔ مقاومتی ورودی آن به صورت مقاومت‌هایی با ضریب ۲ انتخاب می‌شوند. شکل ۹ـ۷ شبکهٔ مقاومتی را نشان می‌دهد.



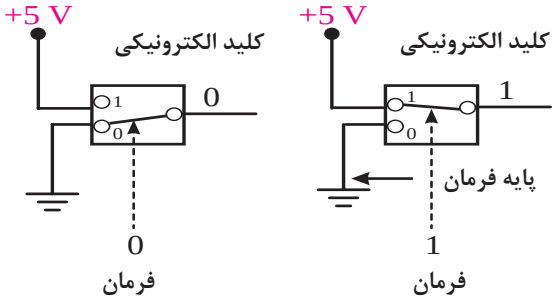
شکل ۹ـ۷ـ جمع‌کنندهٔ ولتاژ با مقاومت‌های ورودی متغیر با ضریب ۲

ولتاژهای ورودی جمع‌کننده، V_1 تا V_3 توسط کلیدهای الکترونیکی S_1 تا S_3 که مطابق شکل ۱۰ـ۷ در ورودی جمع‌کننده قرار دارند تأمین می‌شوند.



شکل ۱۰ـ۷ مدار مبدل دیجیتال به آنالوگ D/A

این کلیدهای الکترونیکی دو وضعیتی هستند و با کد دودویی تغییر حالت می‌دهند، در شکل ۱۱ـ۷ نحوهٔ تغییر حالت کلیدها نمایش داده شده است.



شکل ۱۱ـ۷ نحوهٔ تغییر وضعیت کلیدهای الکترونیکی با بیت‌های صفر و یک ورودی که به عنوان سیگنال فرمان اعمال می‌شوند.

نحوهٔ کار مدار بدین ترتیب است که با قرار گرفتن یک کد ۳ بیتی در ورودی مدار، کلیدهای S_1 تا S_3 طبق شکل ۱۲ـ۷ تغییر وضعیت می‌دهند.

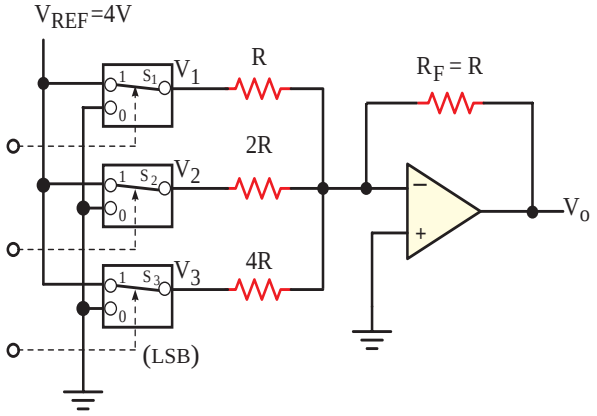
به عنوان مثال اگر عدد باینری «۱۱۱» به ورودی داده‌شده هر سه کلید S_1 تا S_3 در حالت ۱ قرار می‌گیرند و بنا به رابطهٔ مربوط به مدار جمع‌کننده، ولتاژ خروجی به ۷ ولت می‌رسد.

ولتاژ خروجی V_O از رابطهٔ زیر محاسبه می‌شود.

$$V_O = -\left(\frac{R_F}{R}.V_{REF} + \frac{R_F}{۲R}.V_{REF} + \frac{R_F}{۴R}.V_{REF}\right)$$

$$V_O = -\frac{R_F}{R}.V_{REF}\left(۱ + \frac{۱}{۲} + \frac{۱}{۴}\right)$$

$$V_{REF} = +۴ \Rightarrow V_O = -۷V$$



شکل ۱۲ـ۷ مدار مبدل دیجیتال به آنالوگ در حالتی که هفت باینری به ورودی داده می‌شود.

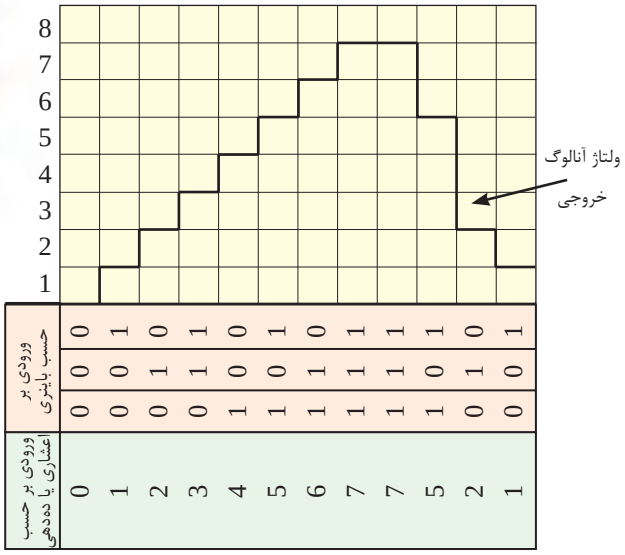
به عبارت دیگر برای هر عدد سه بیتی باینری ولتاژ معینی در خروجی ظاهر خواهد شد به عنوان مثال:

اگر عدد«۰۰۱» به ورودی داده شده، فقط کلید S_3 برابر با «۱» می‌شود و در خروجی مقدار ولتاژ یک ولت را به‌وجود می‌آورد. هم‌چنین اگر عدد «۱۱۰» به ورودی برسد کلیدهای S_1 و S_2 در حالت یک قرار می‌گیرند. به این ترتیب در خروجی ولتاژی برابر با ۶ ولت ایجاد می‌شود. به این ترتیب می‌توان نتیجه گرفت که به ازای هر عدد باینری ورودی ولتاژ معینی در خروجی ظاهر می‌شود که می‌تواند به عنوان سیگنال آنالوگ مورد استفاده قرار گیرد.

تمرین کلاسی ۱ـ۷: اعداد باینری «۱۰۱» و «۰۱۱» در ورودی مدار شکل ۱۰ـ۷ قرار می‌گیرند، وضعیت کلیدهای S_1 تا S_3 را مشخص کنید.

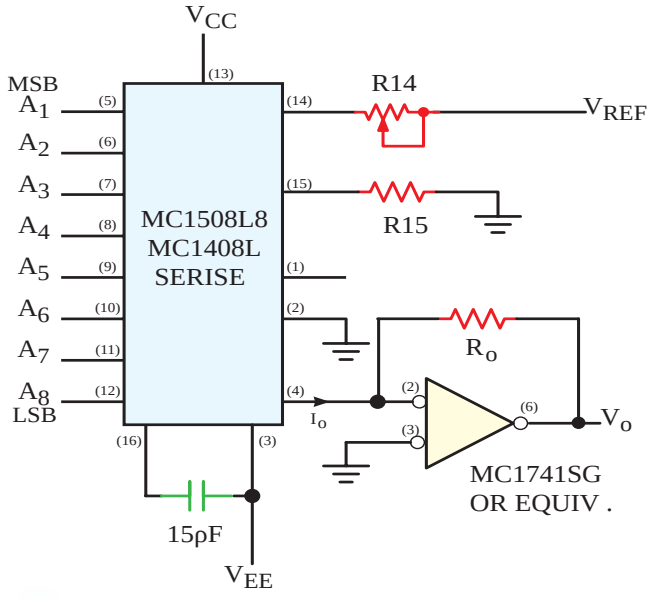
تمرین کلاسی ۲ـ۷: اگر در ورودی مدار شکل ۱۰ـ۷ عدد «۱۰۰» قرار گیرد، ولتاژ خروجی V_o چند ولت است؟

در شکل ۱۳ـ۷ نحوهٔ تبدیل سیگنال باینری به آنالوگ را مشاهده می‌کنید. همان‌طور که می‌بینید هریک از کدهای باینری که به ورودی مدار می‌رسد، دامنهٔ ولتاژ خروجی را به مقدار معینی می‌رساند. با قرار گرفتن این ولتاژها در کنار هم در خروجی ولتاژ آنالوگ خروجی ایجاد می‌شود.



شکل ۱۳ـ۷ شکل موج خروجی مبدل دیجیتال به آنالوگ

یکی از انواع مبدل‌های دیجیتال به آنالوگ (D/A) تراشهٔ MC۱۴۰۸ است. در شکل ۱۴ـ۷ بلوک دیاگرام این مبدل را ملاحظه می‌کنید.



شکل ۱۴ـ۷ بلوک دیاگرام آی‌سی MC۱۴۰۸ مبدل دیجیتال به آنالوگ D/A

جهت هنرجویان علاقه‌مند:

heoretical V$_{\circ}$

$$I_{\circ}=\frac{V_{REF}}{R14}(R_{\circ})\left\{\frac{A1}{2}+\frac{A2}{4}+\frac{A3}{8}+\frac{A4}{16}+\frac{A5}{32}+\frac{A6}{64}+\frac{A7}{128}+\frac{A8}{256}\right\}$$

ADJUST VREF,R14 OR R_0 SO THAT V_0 WITH ALL DIGITAL INPUTS HIGH LEVEL IS EQUAL TO 9.961

$$V_{\circ}=\frac{2V}{1K\Omega}(5K\Omega)\left\{\frac{1}{2}+\frac{1}{4}+\frac{1}{8}+\frac{1}{16}+\frac{1}{32}+\frac{1}{64}+\frac{1}{128}+\frac{1}{256}\right\}$$

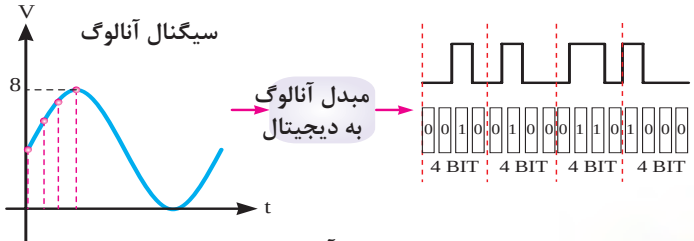
$$=10V\left\{\frac{255}{256}\right\}=9.961$$

این آی سی ۱۶ پایه دارد و ولتاژهای تغذیهٔ آن V_{CC}=+5V و V_{EE}= ـ5V است. جریان خروجی این تراشه از پایه ۴ دریافت می شود. این جریان را می‌توان توسط یک مبدل، به ولتاژ تبدیل کرد. حداکثر ولتاژ خروجی این آی‌سی کد هشت بیتی ورودی ۱۱۱۱۱۱۱۱ برابر با ۹/۹۶۱ ولت است.

نکته: به خاطر سپردن پایه‌ها و نقش آنها در آی‌سی مبدل D/A MC۱۴۰۸ الزامی نیست و در صورت نیاز باید بتوانید آنها را از Data Sheet استخراج کنید.

۵ـ۷ـ مبدل آنالوگ به دیجیتال A/D
(Analog to Digital Convertor)

به مداری که سیگنال آنالوگ را به دیجیتال تبدیل می‌کند، مبدل آنالوگ به دیجیتال می‌گویند و آن را به‌صورت A/D نشان می‌دهند. در شکل ۱۵ـ۷ بلوک دیاگرام ساده مبدل A/D را مشاهده می‌کنید.



شکل ۱۵ـ۷ـ بلوک سادهٔ مبدل آنالوگ به دیجیتال، سیگنال ورودی آنالوگ و سیگنال خروجی کدهای باینری است.

۱ـ۵ـ۷ـ گام ولتاژ: کم‌ترین افزایش ولتاژ آنالوگ ورودی که در اثر آن به اعداد دودویی خروجی مبدل A/D یک رقم اضافه می‌شود را قدرت تفکیک یا میزان دقت مبدل آنالوگ به دیجیتال می‌گویند. این ولتاژ را گام ولتاژ نیز می‌گویند. به عنوان مثال یک مبدل A/D هشت بیتی که دامنهٔ ولتاژ ورودی ۰ـ۱۰V_{DC} و تعداد اعداد دودویی آن ۲۵۶ است، باید بتواند اعداد صفر تا ۲۵۵ را از هم تفکیک کند. لذا این مبدل ۸ بیتی باید دارای ۲۵۵ سطح ولتاژی برابر با ۰/۰۳۹ ولت یا ۲۵۵ گام ولتاژ باشد. مقدار گام ولتاژ از رابطهٔ زیر به‌دست می‌آید.

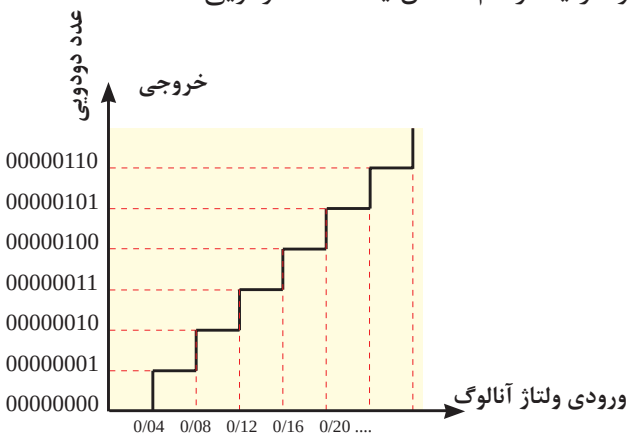
$$\text{سطح ولتاژ هر گام} = \frac{V_{inDC}}{2^n-1}$$

n = تعداد بیت های خروجی A/D

Vin = سطح ولتاژ DC ورودی A/D

$$\text{سطح ولتاژ هرگام} = \frac{10}{2^8-1}=\frac{10}{255}=0.039\simeq 0.047\ V$$

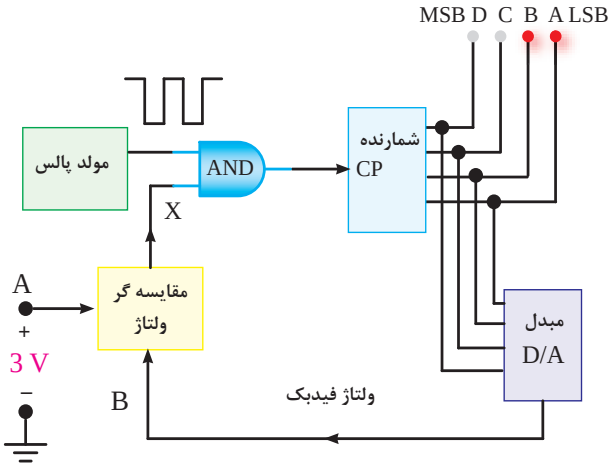
شکل ۱۶ـ۷ سطوح گام ولتاژ را نشان می‌دهدکه سطح ولتاژ یا هرگام معادل یک عدد دودویی است.



شکل ۱۶ـ۷ـ نمایش سطوح یا گام ولتاژ در مبدل آنالوگ به دیجیتال

۲ـ۵ـ۷ـ مدار الکترونیکی مبدل A/D:

مدار الکترونیکی مبدل A/D نسبت به مدار مبدل D/A پیچیده‌تر است. بلوک دیاگرام یک مبدل آنالوگ به دیجیتال در شکل ۱۷ـ۷ آمده است.



شکل ۱۷ـ۷ـ بلوک دیاگرام مبدل آنالوگ به دیجیتال

همان‌طور که در شکل ۱۷ـ۷ مشاهده می‌کنید، مبدل A/D شامل یک مقایسه‌گر ولتاژ، یک گیت AND، یک شمارندهٔ دودویی و یک مبدل D/A و مولد پالس ساعت است. چنانچه قدرت تفکیک یا گام ولتاژ یا میزان دقت A/D را ۰/۲ V ولت فرض کنیم، به ازای هر ۰/۲ افزایش سیگنال آنالوگ ورودی، عدد دودویی خروجی، یک واحد اضافه می‌شود.

چنانچه ولتاژ ورودی از صفر تا ۳ ولت تغییر کند، می‌توان هرگام یا سطح ولتاژ آنالوگ ورودی را مطابق جدول ۲ـ۷ با یک کد چهار بیتی دودویی نشان داد.

جدول ۲ـ۷ـ جدول صحت مبدل A/D

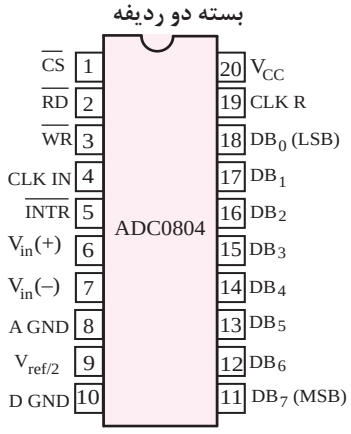
پله یا گام	ورودی آنالوگ	خروجی دودویی			
	Volts	8s	4s	2s	1s
		D	C	B	A
1	0	0	0	0	0
2	0.2	0	0	0	1
3	0.4	0	0	1	0
4	0.6	0	0	1	1
5	0.8	0	1	0	0
6	1.0	0	1	0	1
7	1.2	0	1	1	0
8	1.4	0	1	1	1
9	1.6	1	0	0	0
10	1.8	1	0	0	1
11	2.0	1	0	1	0
12	2.2	1	0	1	1
13	2.4	1	1	0	0
14	2.6	1	1	0	1
15	2.8	1	1	1	0
16	3.0	1	1	1	1

در شکل ۱۷ـ۷ ولتاژ آنالوگ به ورودی A مدار مقایسه‌گر ولتاژ اعمال می‌شود و ولتاژ ورودی از مبدل D/A را کنترل می‌کند. اگر ولتاژ ورودی آنالوگ در نقطهٔ A بزرگتر از ولتاژ ورودی در نقطهٔ B باشد. در خروجی مقایسه‌گر یعنی نقطهٔ x عدد یک منطقی حاصل می‌شود در این لحظه پالس ساعت از گیت AND عبور می‌کند و اجازهٔ شمارش را به شمارنده می‌دهد. عمل شمارش آن قدر افزایش می‌یابد تا ولتاژ فیدبک نقطهٔ B که از مبدل D/A دریافت می‌شود بزرگ‌تر از ولتاژ آنالوگ ورودی A شود. در این حالت خروجی مدار مقایسه‌گر (نقطهٔ x) که به گیت AND می‌رسد برابر با صفر منطقی می‌شود و اجازهٔ ورود پالس به شمارنده را نمی‌دهد و شمارش را متوقف می‌سازد.

پس از پایان یافتن شمارش، عدد دودویی معادل ولتاژ آنالوگ ورودی در خروجی ظاهر می‌شود.

مبدل دیجیتال به آنالوگ به‌صورت تراشه‌های n بیتی (۸، ۱۲، ۱۶...) به بازار عرضه می‌شوند.

در شکل ۱۸ـ۷ آی‌سی مبدل A/D تجارتی هشت بیتی ADC۰۸۰۴ را ملاحظه می‌کنید. این آی‌سی یک آی‌سی مبدل A/D است که درسیستم‌های دیجیتالی که با میکروپروسسور کنترل می‌شوند کاربرد وسیع دارند. آی‌سی ADC۰۸۰۴ دارای خروجی باینری است و ورودی‌ها و خروجی‌های آن با خانواده‌های تراشه TTL و CMOS سازگاری دارد.



شکل ۱۸ـ۷ تراشهٔ ADC۰۸۰۴ مبدل آنالوگ به دیجیتال

از مزایای دیگر تراشه وجود یک مولد پالس ساعت داخلی است که توسط دو قطعه مقاومت و خازن که به پایه‌های ۴و ۱۹ اتصال داده می‌شود، فعال می‌شوند. ولتاژ کار آی‌سی ADC۰۸۰۴ برابر با ۵V است و می‌تواند ورودی آنالوگ صفر تا پنج ولت را به اعداد دیجیتالی دودویی تبدیل کند. در جدول ۳ـ۷ مشخصات این آی‌سی آمده است.

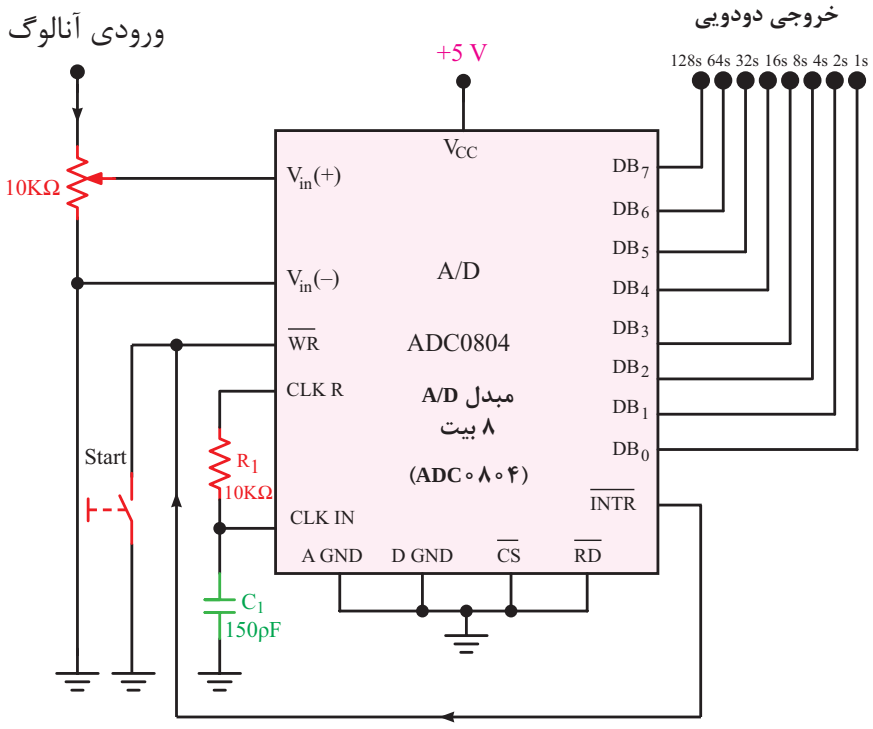
جهت هنرجویان علاقه‌مند: به‌خاطر سپردن پایه‌ها و نقش آنها در آی‌سی مبدل A/D و جدول ۳ـ۷ الزامی نیست و برای اطلاع از آنها می‌توانید به برگه اطلاعات IC مراجعه کنید.

جدول ۳ـ۷ـ پایه‌ها و نقش آنها در آی‌سی ADC۰۸۰۴

شماره پایه	نماد	ورودی/خروجی یا تغذیه	توصیف
1	$\overline{CS}$	ورودی	خط انتخاب تراشه از کنترل µP
2	$\overline{RD}$	ورودی	خط خواندن از کنترل µP
3	$\overline{WR}$	ورودی	خط نوشتن از کنترل µP
4	CLK IN	ورودی	ساعت
5	$\overline{INTR}$	تغذیه	خط وقفه به ورودی وقفه µP می‌رود
6	$V_{in}(+)$	ورودی	ولتاژ آنالوگ (ورودی مثبت)
7	$V_{in}(-)$	ورودی	ولتاژ آنالوگ (ورودی منفی)
8	A GND	خروجی	زمین آنالوگ
9	$V_{ref/2}$	ورودی	مرجع ولتاژ ثانویه
10	D GND	تغذیه	زمین دیجیتال
11	DB_7	خروجی	خروجی داده MSB
12	DB_6	خروجی	خروجی داده
13	DB_5	خروجی	خروجی داده
14	DB_4	خروجی	خروجی داده
15	DB_3	خروجی	خروجی داده
16	DB_2	خروجی	خروجی داده
17	DB_1	خروجی	خروجی داده
18	DB_0	خروجی	خروجی داده LSB
19	CLK R	ورودی	اتصال مقاومت ورودی برای ساعت
20	V_{CC} or(ref)	تغذیه	تغذیه ۵ـV مثبت و ولتاژ اصلی مرجع

با استفاده از مدار شکل ۱۹ـ۷ می‌توانید آی‌سی ADC۰۸۰۴ را آزمایش کنید و صحت عملکرد آن را به تأیید برسانید.

پالس ساعت داخلی با استفاده از مقاومت R_1 و خازن C_1 که به پایهٔ ۱۹ (CLKR) و پایهٔ ۴ (CLKIN) متصل شده‌اند تولید می‌شود. داده‌های خروجی را می‌توان از پایه‌های DB_0 تا DB_7 دریافت کرد و از طریق روشن شدن هشت LED صحت عملکرد مدار را مشاهده نمود. کلید Start جهت راه‌اندازی مدار و پتانسیومتر به عنوان تغییر دهندهٔ ولتاژ ورودی عمل می‌کنند.



شکل ۱۹ـ۷ـ نمودار سیم‌بندی برای تست آی‌سی مبدل ADC۰۸۰۴

جهت هنرجویان علاقه‌مند: با استفاده از سایت‌های مرتبط، کاتالوگ و مشخصات چندین تراشهٔ D/A و A/D را جستجو کنید و برای معرفی به سایر هنرجویان به کلاس ارائه کنید.

۶ـ۷ـ بررسی انواع آی‌سی‌های حافظه

۱ـ۶ـ۷ـ تعریف حافظه و بیت (Bit):

حافظه مجموعه‌ای از سلول‌ها است که برای ذخیرهٔ اطلاعات (داده) به کار می‌رود. معمولاً در حافظه‌ها مدارهایی برای انتقال اطلاعات نیز وجود دارد. واحد حافظه، اطلاعات را به صورت ارقام باینری ۰ و ۱ در خود ذخیره می‌کند.

شکل ۲۰ـ۷ حافظه را مانند خانه‌هایی نشان می‌دهد که صفر و یک را در خود ذخیره می‌کند. به هر «۰» یا «۱» یک بیت گفته می‌شود.

1	0	1	1	0	0	1	1

شکل ۲۰ـ۷ـ حافظه مانند خانه‌هایی است که ارقام باینری ۰ و ۱ را در خود ذخیره می‌کند.

۲ـ۶ـ۷ـ بایت(Byte): هر داده از هر نوعی که باشد (رقم، حرف و یا غیره) به صورت ترکیبی از صفرها و یک‌ها کدبندی می‌شود. معمولاً داده‌ها دردسته‌های ۸تایی سازماندهی می‌شوند. به هر ۸ بیت یک بایت گویند.

هر بایت 2^8 یا ۲۵۶ ترکیب مختلف از صفرها و یک‌ها را ایجاد می‌کند. درشکل ۲۱ـ۷ دو نوع ترکیب بایت نشان داده‌شده است.

یک ترکیب ۸ بیتی

0	1	1	1	0	1	1	0

یک ترکیب دیگر ۸ بیتی

1	1	0	1	0	0	0	1

شکل ۲۱ـ۷ـ دو ترکیب متفاوت که شامل ۸ بیت (یک بایت) است.

۳ـ۶ـ۷ـ کلمه (Word): گاهی در حافظه‌ها کلمه به جای بایت سازمان دهی می‌شود. هر کلمه نسبت به بایت از تعداد بیشتری بیت درست شده است. کلمه معمولاً ضریبی از بایت است. مثلاً کلمه ۲ بایتی از ۱۶ بیت و کلمهٔ ۴ بایتی از ۳۲ بیت تشکیل شده است. پس کلمه نشان‌دهنده گروه کوچکی از داده‌ها است.

شکل ۲۲ـ۷ یک کلمه دوبایتی را نشان می‌دهد.

1	1	0	1	0	0	0	1	0	1	1	1	0	1	1	0

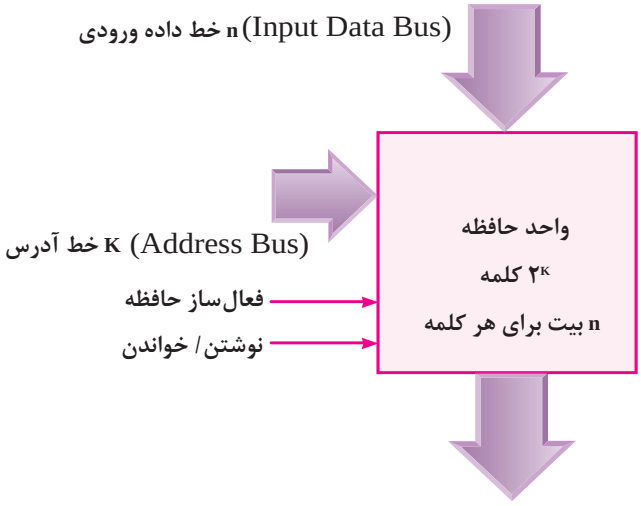
شکل ۲۲ـ۷ـ یک کلمه دوبایتی

۴ـ۶ـ۷ـ ظرفیت حافظه: ظرفیت هر حافظه معمولاً به مجموع تعداد بایت‌های آن حافظه گفته می‌شود. حجم حافظه‌ها معمولاً ضریبی از ۱۰۲۴ = 2^{10} بایت است و در جدول ۴ـ۷ انواع واحدهای متداول برای حافظه‌ها را مشاهده می‌کنید.

جدول ۴ـ۷ـ انواع واحدهای متداول برای ظرفیت حافظه‌ها

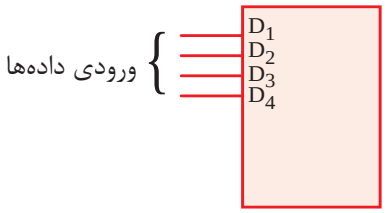
کیلو بایت	1024B=1KB	بایت 2^{10}
مگا بایت	1024KB=1MB	بایت 2^{20}
گیگا بایت	1024MB=1GB	بایت 2^{30}
ترابایت	1024GB=1TB	بایت 2^{40}

۵ـ۶ـ۷ـ ارتباط بین حافظه‌ها و مدارهای خارجی: ارتباط بین حافظه با دستگاه‌ها و مدارهای خارجی از طریق خطوط داده ورودی، خطوط داده خروجی، خطوط آدرس و خطوط کنترل انجام می‌شود. در شکل ۲۳ـ۷ بلوک دیاگرام یک واحد حافظه نشان داده شده است. در این شکل برای جلوگیری از رسم تعداد زیاد خط، به‌جای n خط موازی فقط یک خط ضخیم به نام گذرگاه Bus رسم شده است.



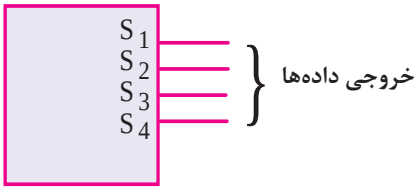
شکل ۲۳ـ۷ـ بلوک دیاگرام یک واحد حافظه

۶ـ۶ـ۷ـ ورودی: n خط ورودی، اطلاعاتی (داده‌هایی) را که باید در حافظه ذخیره شود در ورودی حافظه قرار می‌دهد (شکل ۲۴ـ۷).



شکل ۲۴ـ۷ـ چهار خط ورودی داده‌ها

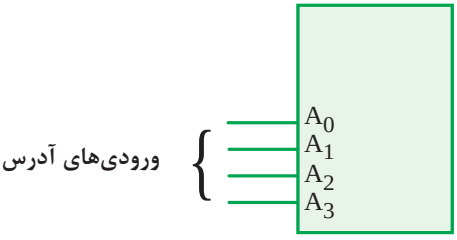
۷ـ۶ـ۷ـ خروجی: n خط خروجی اطلاعات(داده‌ها) را به خارج از حافظه انتقال می‌دهد. شکل ۲۵ـ۷ خط‌های خروجی را نشان می‌دهد.



۲۵ـ۷ـ خط‌های خروجی داده‌ها

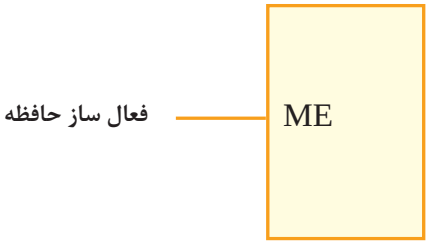
۸ـ۶ـ۷ـ آدرس: تعداد k خط آدرس، کلمه مشخصی را از بین کلمات متعدد موجود در حافظه انتخاب می‌کند.

بنابراین باید برای انتخاب هر کلمه در داخل حافظه، یک آدرس k بیتی در خطوط آدرس وجود داشته باشد. یک رمزگشا در داخل حافظه، این آدرس را به‌عنوان ورودی دریافت می‌کند و مسیرهای لازم را برای کلمه موردنظر باز می‌کند. شکل ۲۶ـ۷ چهار خط آدرس را نشان می‌دهد.

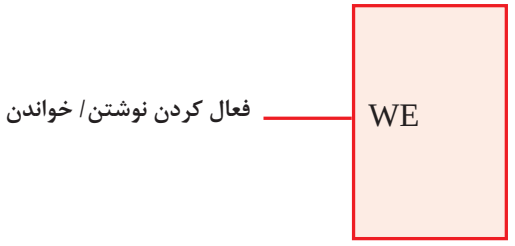


شکل ۲۶ـ۷ـ چهار بیت آدرس یکی از $۱۶=۲^۴$ کلمه حافظه را انتخاب می‌کنند.

۹ـ۶ـ۷ـ خطوط کنترلی: خطوط کنترلی جهت انتقال اطلاعات به کار می‌روند. خطوط کنترل مربوط به نوشتن اطلاعات برای انتقال اطلاعات به حافظه به‌کار می‌روند. خطوط کنترل مربوط به خواندن، اطلاعات را از حافظه می‌خوانند و خارج می‌کنند. شکل ۲۷ـ۷ و ۲۸ـ۷ نمونه‌ای از خطوط کنترل حافظه را نشان می‌دهد.



شکل ۲۷ـ۷ ـ فعال ساز حافظه یک خط کنترل است.



شکل ۲۸ـ۷ـ فعال‌ساز خواندن یا نوشتن حافظه

ME (Memory Enable) خط کنترل فعال‌ساز حافظه است و WE (Write and Read Enable) جهت نوشتن یا خواندن حافظه به کار می‌رود. مثلاً اگر WE=۰ باشد داده‌ها در حافظه نوشته می‌شوند. در صورتی که WE=۱ باشد عمل خواندن از حافظه انجام می‌شود. برای مثال حافظه‌ای با ظرفیت یک کیلوبایت کلمه ۱۶ بیتی را در نظر می‌گیریم. این حافظه به صورت ۱K×۱۶ یا ۱۰۲۴×۱۶ بیت نشان داده می‌شود. این حافظه را همراه با آدرس هر کلمه می‌توان مطابق شکل ۲۹ـ۷ نشان داد. در شکل فقط سه کلمه اول و سه کلمه آخر نوشته شده است.

آدرس حافظه (دهدهی دودویی)		محتوای حافظه ۱۶ بیتی
00000000	0	1011010101011011
00000001	1	1000010101011011
00000010	2	1100010111111011
....	....	....
....	....	....
....	....	....
11111101	1021	1000010101111111
11111110	1022	1011010101011011
11111111	1023	1011100100011000

شکل ۲۹ـ۷ـ محتوای حافظه ۱۰۲۴×۱۶ بیتی

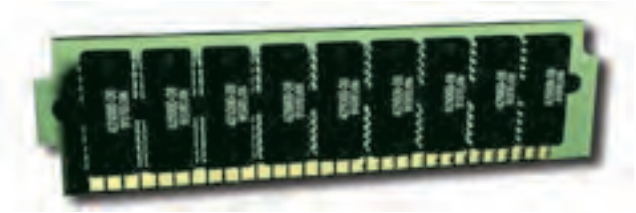
۷ـ۷ـ انواع حافظه

حافظه‌ها بر اساس نحوهٔ ذخیره‌سازی اطلاعات و چگونگی دسترسی به آنها به انواع مختلف تقسیم بندی می‌شوند.

۱ـ۷ـ۷ـ حافظه با دست‌یابی تصادفی یا RAM (Random Access Memory)

این حافظه یک نوع حافظه موقتی برای نگه‌داری اطلاعات و داده‌ها است. چون دست‌یابی به داده موجود در این حافظه به محل قرارگرفتن آن بستگی ندارد و اصولاً می توان به هر سلول حافظه، در هر محل تصادفی در حافظه دسترسی داشت، به این نوع حافظه، حافظه با دستیابی تصادفی (RAM) می‌گویند. شکل ۳۰ـ۷ چند نمونه RAM را نشان می‌دهد. اطلاعات ذخیره‌شده در RAM پاک شدنی است و پس از پاک کردن RAM می‌توان داده‌های جدیدی را در آن

جایگزین کرد. به‌عبارت دیگر RAM تابلویی است که می‌توان بارها روی آن نوشت و پاک کرد. با قطع برق تمام محتوای این حافظه از بین می‌رود. به‌همین جهت این نوع حافظه را حافظه موقتی می‌نامند.

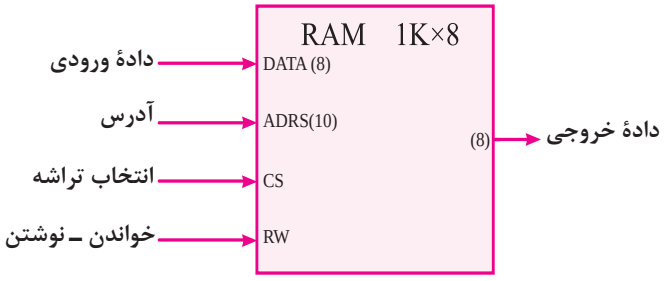


شکل ۳۰ـ۷ـ آی‌سی‌های RAM در یک کامپیوتر

شکل ۳۱ـ۷ نماد بلوکی یک تراشهٔ RAM را نشان می‌دهد.

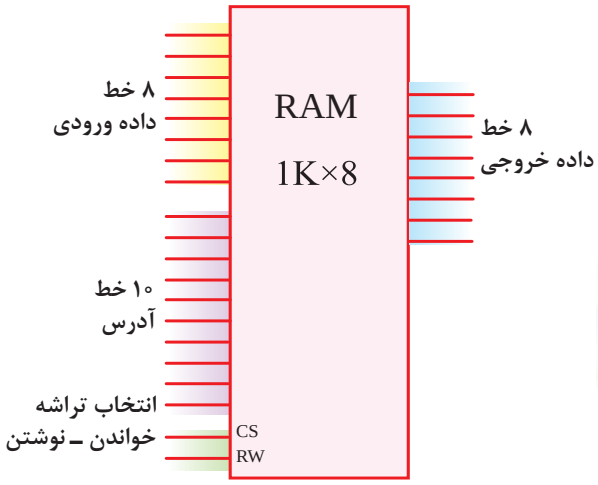
ظرفیت این حافظه ۱۰۲۴ کلمه و هر کلمه دارای ۸ بیت است.

برای ۱۰۲۴ کلمه به ۱۰ خط آدرس نیاز است. داده‌های ورودی ۸ خط و داده‌های خروجی نیز ۸ خط دارد. خطوط ورودی، آدرس و خروجی در دیاگرام شکل ۳۱ـ۷ برای اختصار با یک خط نشان داده شده است.



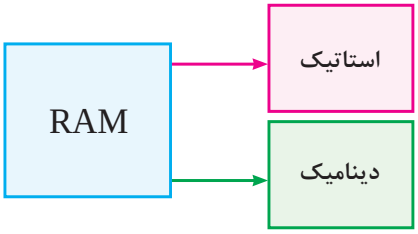
شکل ۳۱ـ۷ـ نماد بلوکی تراشهٔ یک حافظهٔ RAM

در شکل ۳۲ـ۷ تعداد دقیق خطوط ورودی و خروجی این RAM را مشاهده می‌کنید. خط CS (Chip Select) یا خط انتخاب کنندهٔ تراشه، حافظهٔ خاصی را در داخل RAM انتخاب می‌کند. خط R/W (Read/Write) ورودی خواندن و نوشتن است. خط R/W خواندن یا نوشتن اطلاعات را مشخص می‌کند.



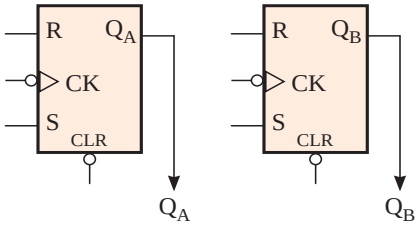
شکل ۳۲ـ۷ـ خطوط ورودی و خروجی و کنترل در یک RAM

حافظهٔ RAM به دو شکل استاتیک و دینامیک موجود است. در نمای بلوکی شکل ۳۳ـ۷ انواع RAM نشان داده شده است.

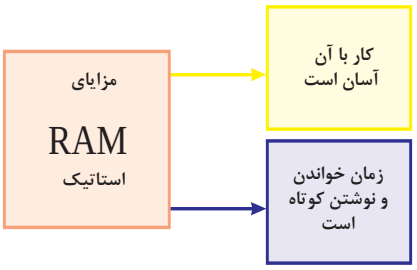


شکل ۳۳ـ۷ـ انواع RAM

۲ـ۷ـ۷ـ RAM استاتیک: در RAM استاتیک مانند شکل ۳۴ـ۷ از فلیپ‌فلاپ برای ذخیره اطلاعات دو دویی استفاده می‌شود. این نوع RAM تا زمانی که ولتاژ تغذیه به آن وصل است اطلاعات را نگه می‌دارد ولی با قطع ولتاژ تغذیه اطلاعات آن پاک می‌شود و از بین می‌رود. کار با حافظه RAM استاتیک آسان و زمان خواندن و نوشتن در آن کوتاه است. مزایای RAM استاتیک در بلوک دیاگرام شکل ۳۵ـ۷ نشان داده شده است.

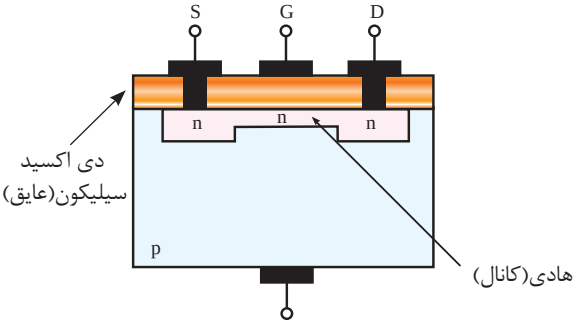


شکل ۳۴ـ۷ـ نماد بلوکی مدار فلیپ‌فلاپ



شکل ۳۵ـ۷ـ مزایای RAM استاتیک

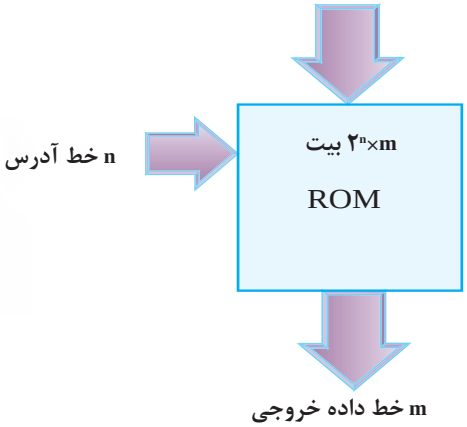
۳ـ۷ـ۷ـ RAM دینامیک: در حافظه RAM دینامیک اطلاعات دودویی به‌صورت شارژ الکتریکی در خازن ترانزیستور یا MOSFET ذخیره می شود. شکل ۳۶ـ۷ ساختمان داخلی MOSFET را نشان می‌دهد. چون انرژی ذخیره‌شده در خازن به مرور از بین می‌رود باید هر چند میلی‌ثانیه، شارژ آن را بازسازی کرد. از مزایای RAM دینامیک مصرف توان کم و تعداد زیاد سلول حافظه در یک تراشه را می‌توان نام برد. در RAM دینامیک نیز با قطع برق و ولتاژ تغذیه، اطلاعات آن پاک می‌شود و از بین می‌رود.



شکل ۳۶ـ۷ ساختمان داخلی MOSFET دو هادی و یک عایق تشکیل خازن را می‌دهند.

۴ـ۷ـ۷ـ حافظه فقط خواندنی

ROM (Read Only Memory): این حافظه برای ذخیره دائمی اطلاعات دودویی به کار می‌رود. محتوای این حافظه ثابت و غیر قابل تغییر است. خاموش کردن دستگاه یا قطع برق هیچ تأثیری بر اطلاعات موجود در این نوع حافظه ROM ندارد. اطلاعات این حافظه توسط شرکت سازنده در آن قرار می‌گیرد. بنابراین ROM را می‌توان مانند کاغذی تایپ‌شده در نظر گرفت که به طور عادی نمی‌توان اطلاعات نوشته شده روی آن را پاک کرد. در شکل ۳۷ـ۷ بلوک دیاگرام یک حافظه ROM که توسط کارخانه‌سازنده برنامه‌ریزی شده است را ملاحظه می‌کند.



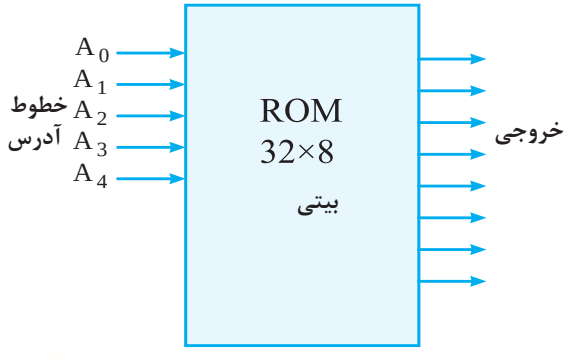
شکل ۳۷ـ۷ـ بلوک دیاگرام یک حافظهٔ ROM

نکته:

n بیت در ورودی را آدرس (Add) می‌نامند. m بیت موجود در خروجی یک کلمه (داده، دیتا) است.

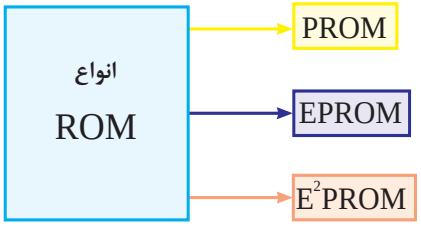
اندازهٔ حافظه ROM به وسیلهٔ 2^n کلمه که هر کلمه m بیت است مشخص می‌شود.

شکل ۳۸ـ۷ یک ROM با حافظهٔ ۸×۳۲ بیتی را نشان می‌دهد. این حافظه دارای $2^5=32$ کلمه است و هر کلمهٔ آن هشت بیت دارد که در ۸ خط خروجی قرار می‌گیرد. ۵ خط یا آدرس در ورودی ROM وجود دارد.



شکل ۳۸ـ۷ـ بلوک دیاگرام ROM با حافظهٔ ۸×۳۲ بیتی

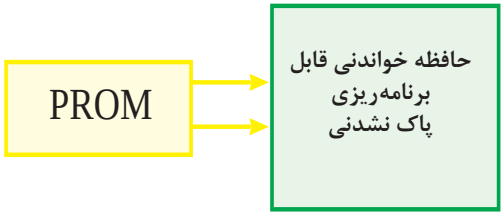
۷ـ۷ـ۵ـ انواع ROM: طبق شکل ۷ـ۳۹ انواع ROM را می‌توان به شرح زیر تقسیم‌بندی کرد.



شکل ۷ـ۳۹ـ انواع ROM

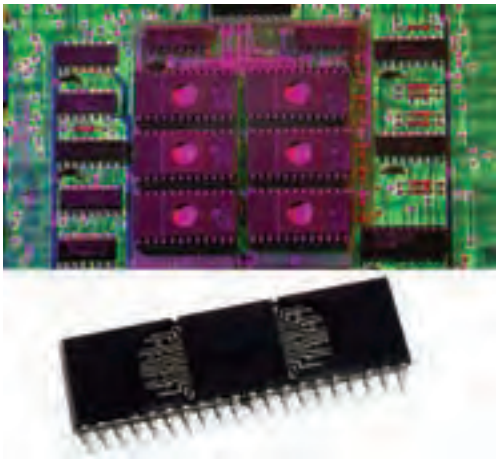
۷ـ۷ـ۶ـ PROM (Programmable ROM): در این نوع ROM فقط یک‌بار می‌توان اطلاعات را در حافظه نوشت. بعد از ثبت شدن اطلاعات در حافظه، دیگر نمی‌توان اطلاعات ذخیره‌شده را تغییر داد و از بین برد. برای نوشتن کلمات در آدرس‌های مورد نظر در حافظه ROM از دستگاه برنامه‌ریز PROM استفاده می‌شود. برنامه‌ریزی در PROM فقط یک‌بار انجام می‌گیرد. در صورتی که نیاز به تغییر اطلاعات باشد باید PROM جدیدی را دوباره برنامه‌ریزی کرد.

شکل ۷ـ۴۰ چند آی‌سی PROM را نشان می‌دهد.



شکل ۷ـ۴۰ـ چند آی‌سی PROM

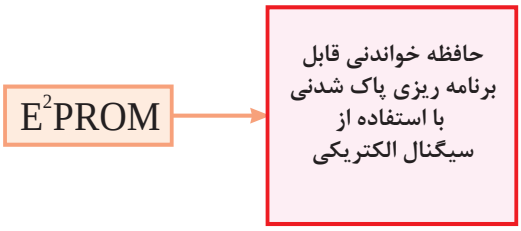
۷ـ۷ـ۷ـ EPROM (Erasable PROM): این نوع PROM قابل پاک کردن است. وقتی یک EPROM برای مدتی تحت تأثیر نور ماوراءبنفش قرار گیرد پاک می‌شود، یعنی تمام اطلاعات و بیت‌های ۰ و ۱ ذخیره‌شده در آن از بین می‌رود. می‌توان بعد از پاک شدن، این حافظه را دوباره برنامه‌ریزی کرد. برای برنامه‌ریزی و نوشتن اطلاعات مجدد در این حافظه به‌دستگاهی به نام برنامه‌ریز EPROM نیاز است. شکل ۷ـ۴۱ آی‌سی‌های EPROM را نشان می‌دهد.



شکل ۷ـ۴۱ـ آی‌سی‌های EPROM

۷ـ۷ـ۸ـ EEP ROM

(E²PROM)Electrical EPROM): این نوع حافظه مشابه حافظهٔ EPROM است با این تفاوت که برای پاک کردن آن از سیگنال الکتریکی استفاده می‌شود.



۸ـ۷ـ میکروپرسسور CPU (Central Processing unit):

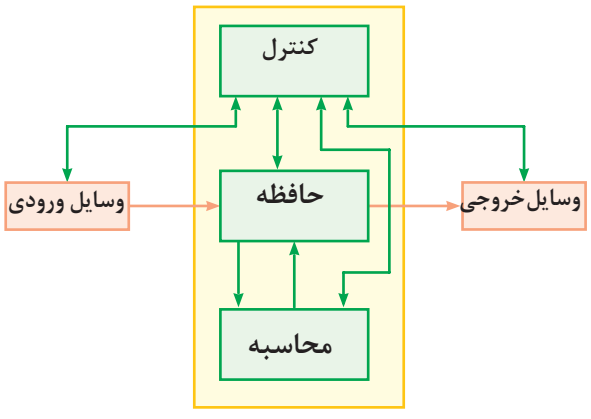
اساسی‌ترین بخش یک کامپیوتر CPU یا میکروپرسسور است که به آن پردازشگر مرکزی می‌گویند. وظیفهٔ

میکروپرسسور اجرای یک مجموعه دستورالعمل است که تحت عنوان برنامه در حافظهٔ کامپیوتر ذخیره شده است. میکروپروسسور به صورت یک تراشهٔ الکترونیکی است. در شکل ۴۲ـ۷ یک CPU که اساس یک کامپیوتر شخصی را تشکیل می‌دهد، مشاهده می‌کنید.

شکل ۴۲ـ۷ـ شکل واقعی یک CPU از کامپیوتر خانگی

در شکل ۴۳ـ۷ بلوک دیاگرام CPU آمده است، عناصر داخلی شامل یک بخش محاسبات ریاضی و منطقی تحت عنوان ALU (Arithmetic logic unit) و بخش دیگری تحت عنوان مجموعهٔ حافظه‌هاست که نوع، تعداد و طرز کار آنها بستگی به معماری کامپیوتر دارد.

بخش سوم واحد کنترل، CU (Control unit) نامیده می‌شود که نظارت بر اجرای دستورالعمل‌ها را از ابتدا تا انتها بر عهده دارد. دستورها از حافظه خوانده می‌شود، سپس رمزگشایی و تفسیر و درنهایت عمل محاسبات توسط واحد ALU صورت می‌گیرد.



شکل ۴۳ـ۷ـ بلوک دیاگرام CPU

وسایل ورودی مانند صفحه کلید، موشواره، کارت‌خوان، اسکنر و ... اطلاعات را از فرد به CPU انتقال می‌دهند. این وسایل باید زبان انسان را به زبان دودویی کامپیوتر یعنی رمزگذاری (Encode) تبدیل کنند.

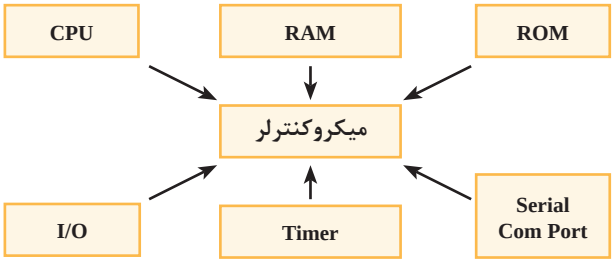
وسایل خروجی از قبیل نمایشگر، چاپگر و ... ارتباط CPU با انسان را برقرار می‌کنند. اطلاعات خروجی می‌تواند روی انواع وسایل ذخیره‌سازی با انواع حافظه‌ها ذخیره شوند.

وسایل خروجی باید زبان ماشین را به زبان انسان ترجمه یا رمزگشایی (Decode)کنند.

آموزش ساختمان، برنامه‌نویسی و راه‌اندازی میکروپروسسور نیاز به زمان بیشتری دارد، از این‌رو در این بخش صرفاً به کاربرد میکروپرسسورها در دستگاه‌های الکترونیکی و فرآیندهای ساده آن می‌پردازیم.

۹ـ۷ـ میکروکنترلر

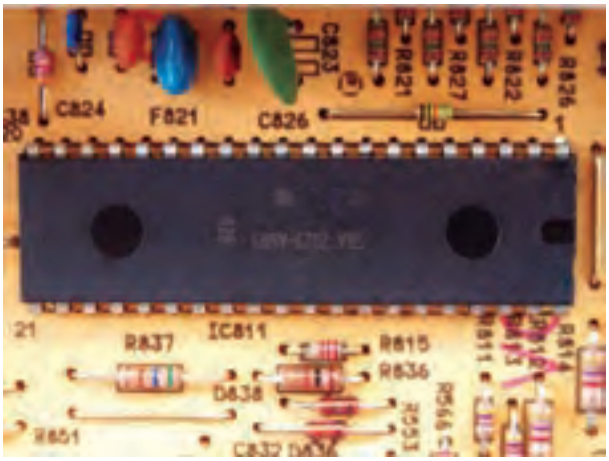
در شکل ۴۴ـ۷ قسمت‌های تشکیل دهندهٔ یک میکروکنترلر را مشاهده می‌کنید. میکروکنترلر از یک ریزپردازنده، حافظه‌های ROM و RAM و واحدهای ورودی و خروجی و تایمر تشکیل شده است.



شکل ۴۴ـ۷ـ قسمت‌های تشکیل دهندهٔ یک میکروکنترلر

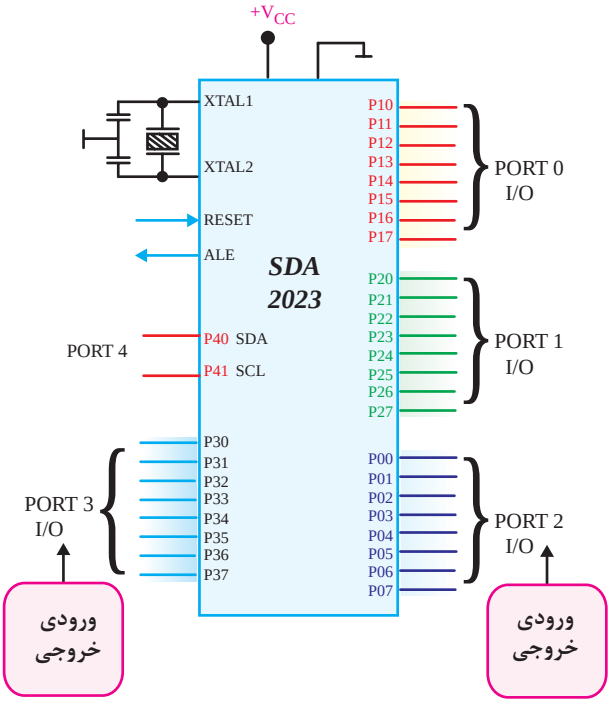
ریزپردازندهٔ موجود در میکروکنترلر قادر به پردازش و محاسبات پیچیده نیست. به‌همین دلیل کاربرد همه منظوره مانند کامپیوترها را ندارد. میکروکنترلر برای انجام عملیات محدود و مشخص طراحی شده است. برای مثال در کنترل دمای یخچال، کنترل تلویزیون، کنترل

دستگاه‌های کپی و چاپگر و ... از میکروکنترلر استفاده می‌شود. در شکل ۴۵ـ۷ آی‌سی میکروکنترلر تلویزیون با شمارهٔ فنی SDA۲۰۲۳ نشان داده شده است.



شکل ۴۵ـ۷ ـ آی‌سی میکروکنترلر تلویزیون

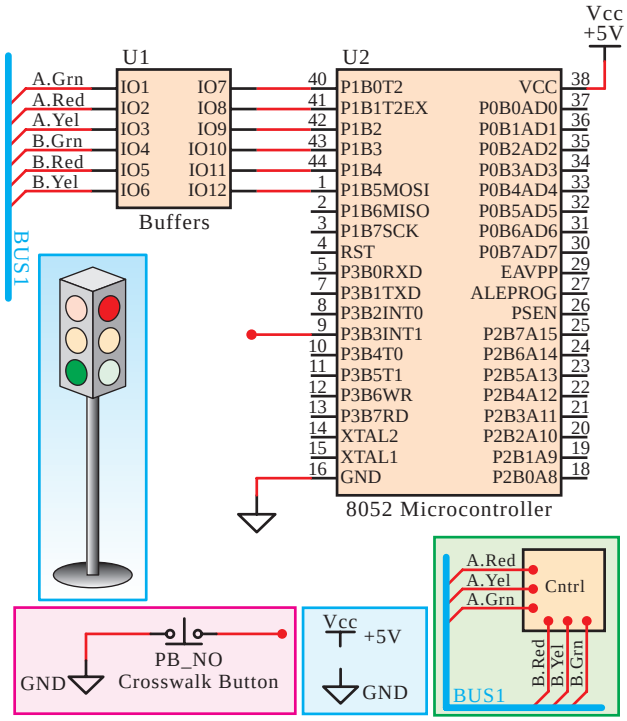
آی‌سی SDA۲۰۲۳ یک ریزپردازنده از خانواده ۸۰۵۱ است. ۸۰۵۱ در کارهای کنترلی بیشترین کاربرد را دارد. این میکروکنترلر یک ریز پردازنده ۸ بیتی است که در آن ۴ کیلو بایت حافظه ROM، ۱۲۸ بایت حافظه RAM دو عدد شمارنده مستقل ۱۶ بیتی و مدار نوسان ساز داخلی وجود دارد. علاوه بر موارد بالا به ۶۴ کیلو بایت حافظه خارجی نیز می‌تواند دسترسی داشته باشد. ۳۴ خط ورودی و خروجی آن شامل ۴ درگاه (port) ۸ بیتی است. شکل ۴۶ـ۷،۴ درگاه این آی‌سی را نشان می‌دهد.



شکل ۴۶ـ۷ـ درگاه‌های آی‌سی میکروکنترلر

میکروکنترلرها دارای یک مجموعه دستورالعمل‌های خاص و نیز تعدادی رجیسترهای داخلی هستند که منحصر به فرد می‌باشند. بنابراین برنامه‌ای که برای یک میکروکنترلر نوشته می‌شود نمی‌تواند روی میکروکنترلر دیگری اجرا شود.

در شکل ۴۷ـ۷ بلوک دیاگرام مدار چراغ‌های راهنمایی را مشاهده می‌کنید که برای کنترل ترافیک، با یک میکروکنترلر برنامه‌ریزی و کنترل می‌شوند.

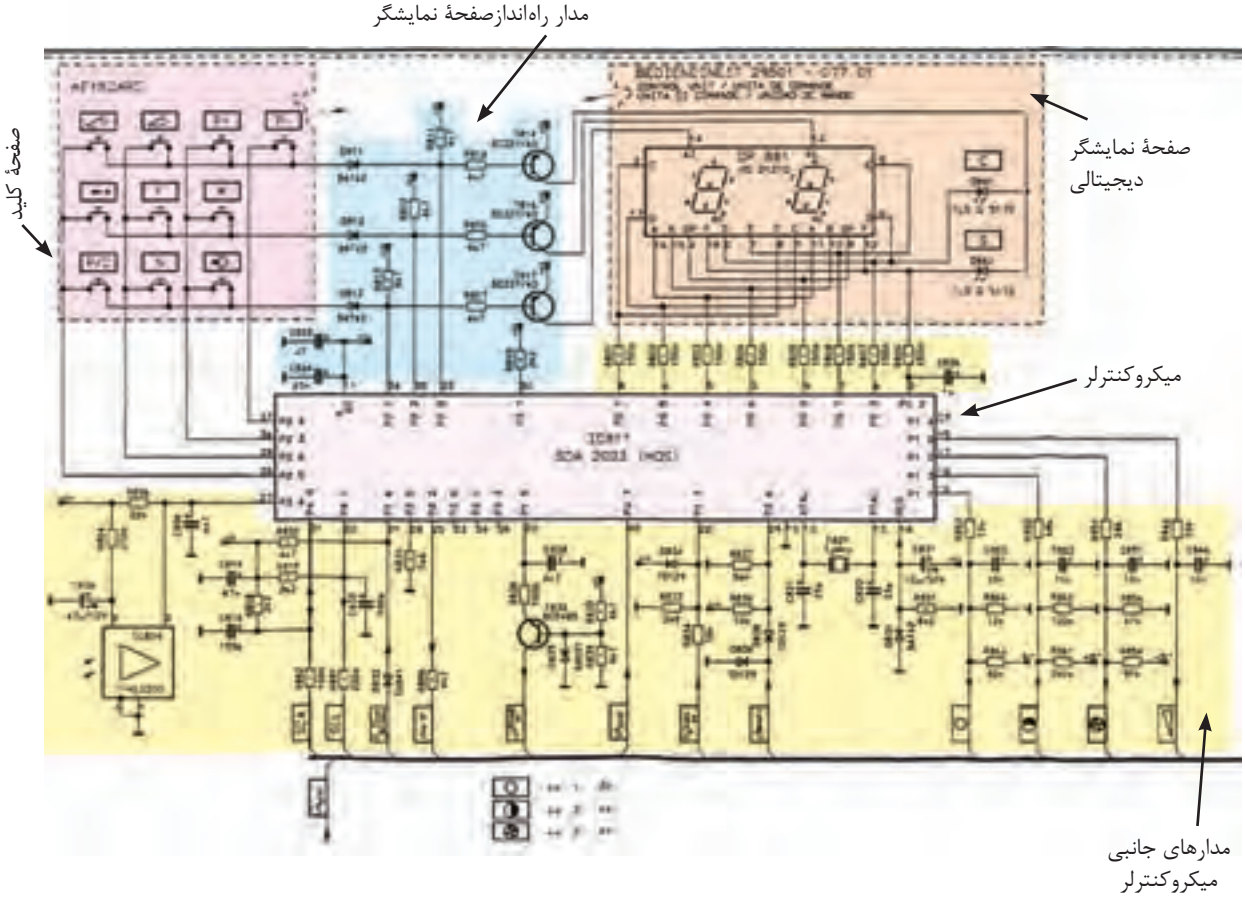


شکل ۴۷ـ۷ـ نقشهٔ شماتیک سیستم کنترل چراغ‌های راهنمایی با میکروکنترلر۸۰۵۲

۱۰ـ۷ـ مینیمم سیستم و مقایسهٔ آن با میکروکنترلر

اگر با استفاده از یک تراشه CPU و تراشه‌های حافظه و صفحه کلید محدود و یک صفحه نمایش ساده یک سیستم کنترل ساده برای هدف مشخصی طراحی شود، در این صورت به یک مینیمم سیستم نیاز داریم.

امروزه تمام این کارها با میکروکنترلر انجام می‌شود. در واقع قلب یک مینیمم سیستم یک میکروکنترلر است. قبل از عرضهٔ میکروکنترلر به بازار با استفاده از سخت‌افزاری مناسب یک مینیمم سیستم را طراحی می‌کنند و برنامهٔ آن نیز توسط سازنده و در یک EPROM صورت می‌گیرد. شکل ۷ـ۴۸ مدار واحد کنترل یک تلویزیون توسط میکروکنترلر نشان داده شده است. این مجموعه یک مینیمم سیستم است، که در بخش‌های مختلف آن توسط کادرهای رنگی مشخص شده است.



شکل ۴۸ـ۷ـ یک مجموعهٔ مینیمم سیستم برای واحد کنترل تلویزیون

نکته: مدارهای کاربردی میکروکنترلر در این فصل فقط جهت آشنایی با نقش میکروکنترلر در یک دستگاه است و از این نقشه‌ها به هیچ عنوان نباید در آزمون‌ها سؤالی طراحی شود.

۱۱ـ۷ـ الگوی پرسش

۱ـ برنامهٔ اطلاعات تراشه یا برنامهٔ ذخیره شدهٔ FPGA در کدام حافظه قرار می‌گیرد؟

۲ـ به چه دلیل آی‌سی ۷۴HC۱۹۳، شمارندهٔ قابل برنامه‌ریزی نام گذاری شده است؟

۳ـ ظرفیت حافظه را تعریف کنید.

۴ـ حافظه RAM در چند نوع ساخته می‌شود؟

۵ـ خط Chip Select چه‌کاربردی دارد؟ شرح دهید.

۶ـ کدام نوع حافظه را می‌توان با سیگنال الکتریکی برنامه‌ریزی و پاک کرد؟

۷ـ یک حافظه ROM دارای ۶ خط آدرس‌دهی است، این حافظه چند کلمهٔ خروجی ۸ بیتی دارد؟

۸ـ یک مولد D/A یک ورودی ..... را به یک خروجی ..... تبدیل می‌کند.

۹ـ با توجه به شکل ۱۷ـ۷ و جدول ۲ـ۷ اگر ورودی آنالوگ یک ولت باشد خروجی دودویی ..... است.

۱۰ـ ورودی‌ها و خروجی‌های آی‌سی ADC۰۸۰۴ با مشخصات کدام خانواده آی‌سی‌ها (TTL ـCMOS) سازگار است؟

۱۱ـ انواع کاربرد میکروپروسسور را بنویسید.

۱۲ـ یک ..... را می‌توان کامپیوتر در یک تراشه توصیف کرد. زیرا حاوی CPU، RAM، ROM، پالس ساعت و پایه‌های I/O در یک تراشه است.

۱۳ـ میکروکنترلر به دلیل اندازهٔ کوچک، ارزانی و کاربرد تک منظوره در کارهای کنترلی مورد توجه است.

☐ درست ☐ نادرست

۱۴ـ در مبدل D/A مدار جمع‌گر ولتاژ وجود دارد.

☐ درست ☐ نادرست

۱۵ـ مقایسه‌گر ولتاژ از اجزای مدار مبدل آنالوگ به دیجیتال است.

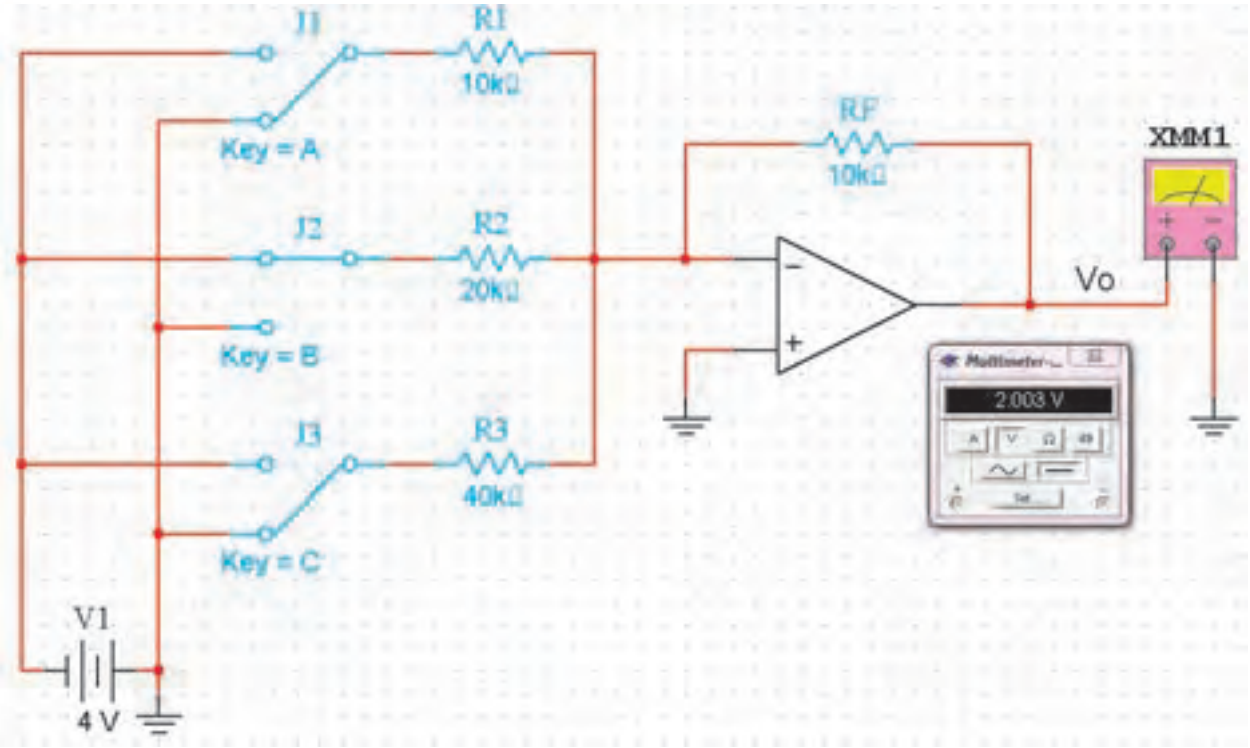
☐ درست ☐ نادرست

۱۶ـ تراشه FPGA را به صورت سخت افزاری طراحی می‌کنند.

☐ درست ☐ نادرست

۱۲ـ۷ـ کار با نرم‌افزار

مدار شکـل ۴۹ـ۷ را با نرم‌افـزار مولتـی سیـم ببندیـد. سپس مطابق جدول ۵ـ۷ با تغییر کلیدها ولتاژ خروجی را به‌دست آورید.



شکل ۴۹ـ۷ـ مدار مربوط به نرم‌افزار

جدول ۵ـ۷ـ جدول وضعیت مدار نرم‌افزار

KEYA	KEYB	KEYC	V_O
۰	۰	۰	
۰	۰	۱	
۰	۱	۰	
۰	۱	۱	
۱	۰	۰	
۱	۰	۱	
۱	۱	۰	
۱	۱	۱	

فهرست منابع کتاب

مؤلف	نام کتاب	مترجم	ناشر	سال چاپ
۱ـ Nigel P.Cook	Introductory Digital Electronics	ــ	Prentice –Hall	
۲ـ Charles H.Roth, JR	Fundamentals of Logic Design	ــ	Pws Publishing co	۱۹۹۲
۳ـ Nelson, Negle, carroll, Irwin	Digital Logic circuit Analysis and design	ــ	Prentice – Hall	۱۹۹۵
۴ـ Ronald .Tocci	Digital system ; Principles and applications	ــ	Prentice – Hall	۱۹۹۱
۵ـ Moris M.Mano	Digital Design	ــ	Prentice –Hall	۱۹۸۴
۶ـ Roger L.Tokhim	Digital Electronics	ــ	Mc Graw Hill	۱۹۹۰

مؤلف	نام کتاب	ناشر	سال چاپ
۷ـ مهرداد، فرخ	دستور کار آزمایشگاه دیجیتال	دانشکدهٔ برق دانشگاه خواجه‌نصیرالدین طوسی	۱۳۶۹
۸ـ نصری، غلامحسین	مدارهای منطقی و دیجیتالی	انتشارات دانشگاه شهید رجایی و دانشگاه خواجه‌نصیرالدین طوسی	۱۳۷۴
۹ـ نصیری سوادکوهی، شهرام	منبع تغذیه و واحد کنترل	انتشارات شرکت صنایع آموزشی	۱۳۸۹