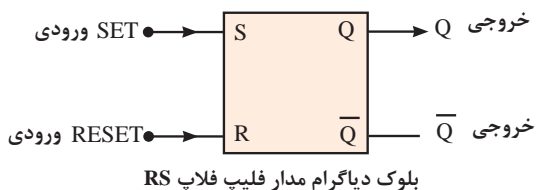


ممکن است یک مدار ترتیبی بیش از یک ورودی یا خروجی داشته باشد. در اغلب مدارهای ترتیبی زمان تغییر وضعیت یا پذیرش اطلاعات جدید را به کمک یک سیگنال کنترل خاص، که پالس ساعت (Clock pulse) نامیده می‌شود تعیین می‌کنند.

فلیپ فلاپ‌ها (Flip-Flops): مدار ترتیبی که دو وضعیت پایدار دارند را فلیپ فلاپ می‌گویند. فلیپ فلاپ‌ها را در چهار دسته RS ، JK ، D و T تقسیم بندی می‌کنند.

فلیپ فلاپ RS (Reset Set Flip-Flop): مدارهای ترتیبی هستند که دو وضعیت Set و $Reset$ پایدار دارند.

فلیپ فلاپ RS حافظه: سلول‌های حافظه ساده‌ترین مدارهای ترتیبی هستند. این سلول‌ها را فلیپ فلاپ می‌نامند. بلوک دیاگرام مدار فلیپ فلاپ RS در شکل زیر مشاهده می‌کنید.



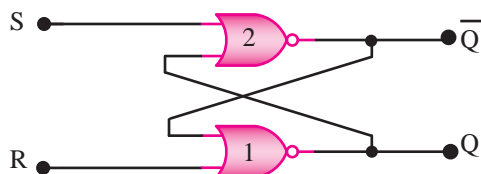
در این مدار R حرف اول $Reset$ به معنی باز گرداندن به حالت اولیه و S حرف اول Set به معنی ایجاد حالت موردنظر است.

یک سلول حافظه باید قابلیت حفظ اطلاعات ثبت شده (نگهداری) را داشته باشد. به عبارت دیگر، یک سلول حافظه باید دارای قابلیت‌های زیر باشد:

- پذیرش اطلاعات در هر زمان، حفظ اطلاعات پذیرفته شده تا هر زمان،
- جایگزینی اطلاعات جدید به جای اطلاعات قبلی در هر زمان.

پاسخ فعالیت کارگاهی فلیپ فلاپ RS :

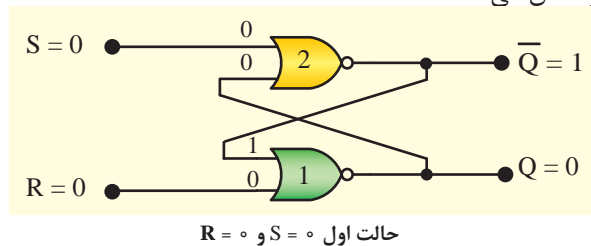
با استفاده از گیت NOR : در شکل زیر مدار معادل فلیپ فلاپ که با دروازه NOR اجرا شده است را مشاهده کنید. در این شکل خروجی گیت شماره ۱ به ورودی گیت شماره ۲ و خروجی گیت شماره ۲ به ورودی گیت شماره ۱ فیدبک شده است. تفکیک مدارهای پس خورد (فیدبک) و اصلی از یکدیگر امکان‌پذیر نیست. این گونه مدارها را مدارهای ادغام شده در یکدیگر می‌نامند.



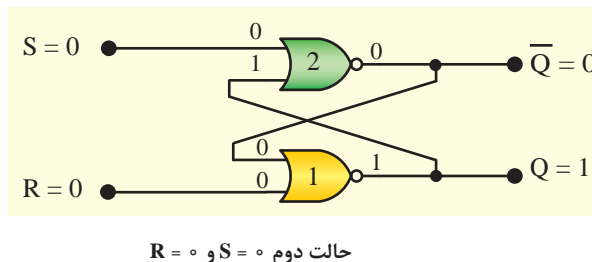
مدار SR -FF با گیت‌های NOR

مدار دارای دو ورودی اصلی S و R و دو ورودی Q و \bar{Q} از طریق مدار فیدبک است. لذا می‌تواند $2^2=8$ حالت مختلف داشته باشد. می‌دانی در دروازه NOR اگر یکی از ورودی‌ها در حالت یک منطقی باشد، خروجی آن در حالت صفر منطقی قرار می‌گیرد با در نظر گرفتن این نکته و با توجه به تأخیر در انتشار گیت‌های منطقی به تشریح مرحله به مرحله مدار می‌پردازیم.

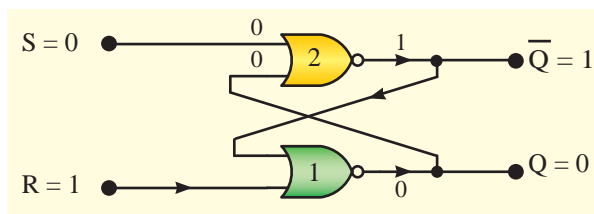
حالت اول: اگر ورودی‌های S و R هر دو در حالت صفر منطقی باشد و حالت قبلی فلیپ فلاپ به صورت $Q=0$ و $\bar{Q}=1$ باشد: هر دو ورودی دروازه ۲ در حالت صفر قرار می‌گیرند لذا خروجی آنها در حالت صفر قرار می‌گیرد لذا خروجی آن در حالت یک باقی می‌ماند (سطر اول جدول صحت NOR) از سوی دیگر یکی از ورودی‌های دروازه ۱ در حالت یک قرار دارد لذا خروجی این دروازه نیز در حالت صفر باقی می‌ماند. به عبارت دیگر، وضعیت خروجی‌ها تغییر نمی‌کند. شکل زیر این حالت را نشان می‌دهد.



حالت دوم: حال اگر $S=R=0$ و حالت قبلی فلیپ فلاپ به صورت $Q=1$ و $\bar{Q}=0$ باشد، ورودی‌های دروازه ۱ هر دو در حالت صفر منطقی قرار دارد و خروجی آن در حالت یک باقی می‌ماند، از طرفی چون یکی از ورودی‌های دروازه ۲ در حالت یک منطقی است، خروجی این دروازه نیز در حالت صفر باقی می‌ماند. به این ترتیب باز هم وضعیت خروجی‌ها تغییر نمی‌کند. شکل زیر این حالت را نشان می‌دهد.

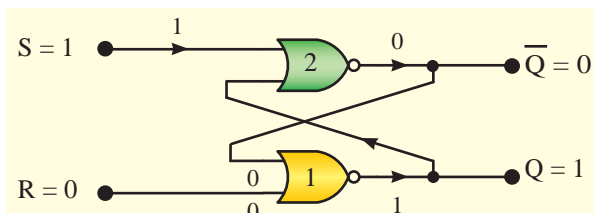


حالت سوم: اکنون حالتی را در نظر می‌گیریم که $S = 0$ و $R = 1$ باشد. در این حالت بدون توجه به وضعیت قبلی فلیپ فالپ، به دلیل اینکه یکی از ورودی‌های دروازه ۱ در حالت یک منطقی است، خروجی این دروازه صفر می‌شود. با صفر شدن خروجی دروازه ۱ هر دو ورودی دروازه ۲ در حالت صفر منطقی قرار می‌گیرد و خروجی آن به حالت یک منطقی می‌رود. به بیان دیگر اگر $S = 0$ و $R = 1$ باشد، بدون توجه به وضعیت قبلی، سیستم به حالت $Q = 0$ و $\bar{Q} = 1$ می‌رود، شکل زیر این حالت را نشان می‌دهد.



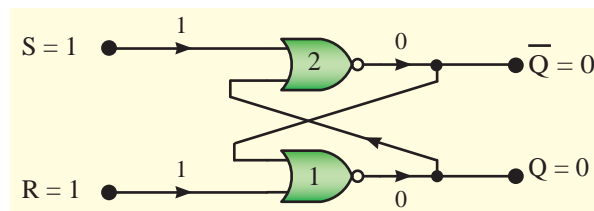
حالت سوم $S = 0$ و $R = 1$

حالت چهارم: اگر $S = 1$ و $R = 0$ باشد، چون یکی از ورودی‌های دروازه ۲ در حالت یک منطقی است و خروجی آن به حالت صفر منطقی می‌رود. در این صورت، هر دو ورودی دروازه ۱ در حالت صفر منطقی قرار می‌گیرد و خروجی این دروازه نیز یک می‌شود به بیانی دیگر اگر $R = 0$ و $R = 1$ باشد، بدون توجه به وضعیت قبلی سیستم، $Q = 1$ و $\bar{Q} = 0$ می‌شود. شکل زیر این حالت را نشان می‌دهد.



حالت چهارم $S = 1$ و $R = 0$

حالت پنجم: حالتی را در نظر می‌گیریم که $S = R = 1$ شود. در این حالت نیز چون دست کم یکی از ورودی‌های هر دو دروازه ۱ و ۲ در حالت یک منطقی است، خروجی‌های هر دو دروازه در حالت صفر منطقی قرار می‌گیرد. شکل زیر این حالت را نشان می‌دهد.



حالت پنجم $S = 1$ و $R = 1$

اگر وضعیت خروجی‌های فلیپ فلاپ را قبل از تغییر حالت با $Q(t-1)$ و $Q(t)$ نشان دهیم، تحلیل فوق را می‌توانیم به صورت جدول زیر خلاصه کنیم.

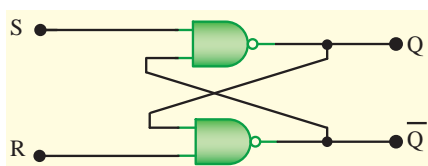
وضعیت ورودی‌ها		وضعیت قبلی خروجی FF-RS		وضعیت فعلی خروجی FF-RS		
S	R	$Q_{(t-1)}$	$\bar{Q}_{(t-1)}$	$Q_{(t)}$	$\bar{Q}_{(t)}$	
0	0	0	1	0	1	فلیپ فلاپ وضعیت قبل خود را حفظ می‌کند حالت ذخیره
0	0	1	0	1	0	
0	1	0	1	0	1	فلیپ فلاپ بدون توجه به حالت قبلی Reset می‌شود
0	1	1	0	0	1	
1	0	0	1	1	0	فلیپ فلاپ وارد حالت قبلی set می‌شود
1	0	1	0	1	0	
1	1	0	1	0	0	فلیپ فلاپ وارد حالت غیرمجاز می‌شود
1	1	1	0	0	0	

برای بهتر به‌خاطر سپردن جدول بالا آن‌را به صورت جدول زیر خلاصه می‌کنیم.

مختصر شدهٔ SR-FF با دروازه‌های NOR

S	R	$Q_{(t)}$	
0	0	$\bar{Q}_{(t-1)}$	← حفظ وضعیت قبلی
0	1	0	← Reset
1	0	1	← Set
1	1	*	← غیرمجاز

پاسخ فعالیت کارگاهی فلیپ فلاپ RS با استفاده از گیت NAND:



فلیپ فلاپ SR گیت NAND

فلیپ فلاپ SR را می‌توان با دروازه‌های NAND نیز طراحی کرد. در شکل زیر مداریک فلیپ فلاپ که با دروازه‌های NAND طراحی شده‌است را مشاهده می‌کنید، در جدول صحت آن دیده می‌شود.

جدول صحت فلیپ فلاپ SR با گیت NAND

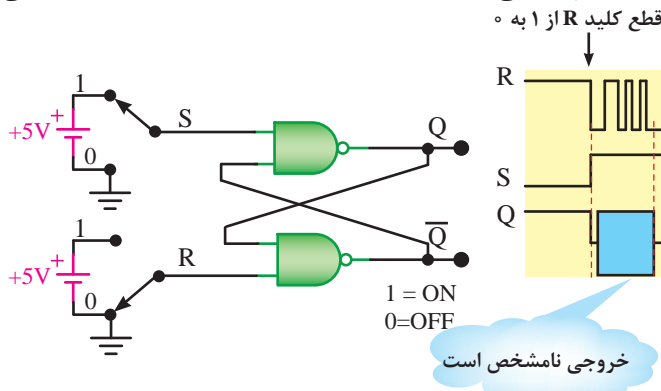
S	R	$Q_{(t)}$	
۰	۰	*	← غیرمجاز
۰	۱	۱	← Set
۱	۰	۰	← Reset
۱	۱	$\bar{Q}_{(t-1)}$	← حالت ذخیره

فلیپ فلاپ SR را به نام قفل SR (Latch-SR) نیز می‌نامند. زیرا پس از، از بین رفتن فرمان‌های Set یا Reset فلیپ فالپ طبق جدول زیر در آخرین وضعیت خود قفل می‌شود.

جدول فلیپ فلاپ قفل SR

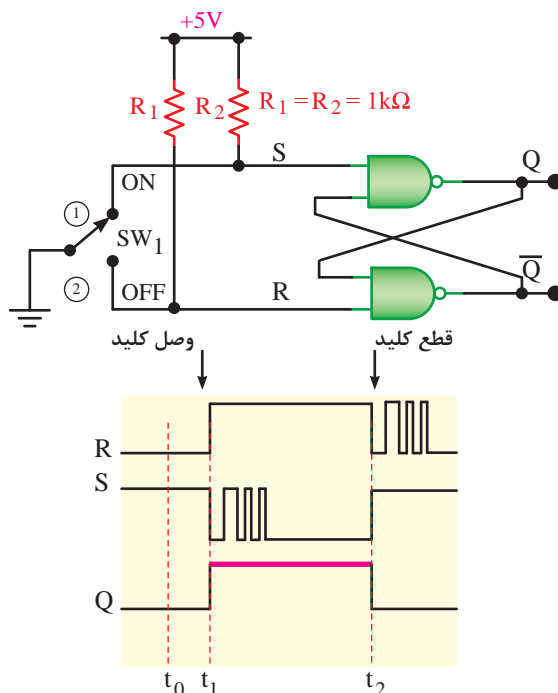
S	R	$Q_{(t)}$	
۰	۰	*	← غیرمجاز
۰	۱	۱	← Set
۱	۰	۰	← Reset
۱	۱	$\bar{Q}_{(t-1)}$	← حالت ذخیره

یکی از کاربردهای مدار شکل حذف لرزش کلیدهای مکانیکی (Bounce) است. وقتی یک کلید، تغییر وضعیت می‌دهد به دلیل لرزش ناشی از این تغییر وضعیت، در طی چند میلی ثانیه اول قطع و وصل‌های مکرر در بین کنتاکت ثابت و کنتاکت متحرک کلید پدید می‌آید، شکل زیر وضعیت اثر لرزش کلیدها را نشان می‌دهد.



این قطع و وصل‌ها ممکن است باعث بروز اشتباهاتی در عملکرد مدارهای منطقی ترتیبی شود برای حذف این لرزش‌ها از مدار شکل زیر استفاده می‌کنیم.

مقاومت‌های Pull up یا افزایشده سطح ولتاژ



مدار فلیپ فلاپ SR بدون اثر لرزش کلید

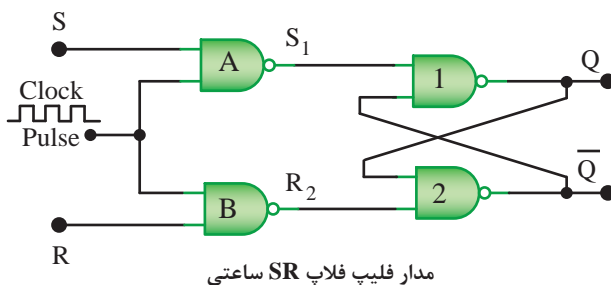
در شکل اگر کلید را در حالت ۱ فرض کنیم فلیپ فلاپ Set می‌شود. حال اگر کلید تغییر وضعیت دهد، به محض اولین اتصال با کنتاکت ۲ مقدار $S = 1$ می‌شود و فلیپ فلاپ را Reset می‌کند. جدا شدن کنتاکت متحرک کلید از کنتاکت ثابت ۲ در فلیپ فالپ حالت ذخیره ($S=R=1$) به وجود می‌آید. لذا خروجی‌های آن تغییر وضعیت نمی‌دهد. همین طور به هنگام تغییر وضعیت از ۲ به ۱ نیز با اولین تماس کنتاکت متحرک با کنتاکت ثابت ۱ فلیپ فلاپ Set می‌شود.

فلیپ فلاپ SR ساعتی: فلیپ فلاپ SR دو اشکال اساسی دارد:

- ۱ عکس العمل نشان دادن فوری نسبت به تغییر وضعیت ورودی‌ها
- ۲ وجود حالت تعریف نشده (غیر مجاز)

نخستین اشکال، عکس العمل نشان دادن فوری نسبت به تغییر وضعیت ورودی‌ها است. یعنی به محض آن که ورودی‌های مدار تغییر کند، خروجی‌های آن نیز

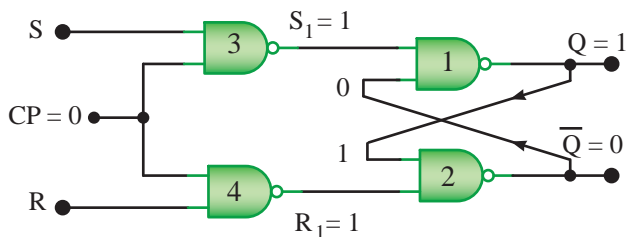
متناسب با این تغییر وضعیت‌ها، تغییر می‌کند. برای رفع این مشکل، مدار فلیپ‌فلاپ SR را مطابق شکل اصلاح می‌کنیم. در این مدار پالس ساعت (PulseClock) به عنوان یک سیگنال فعال‌ساز عمل می‌کند.



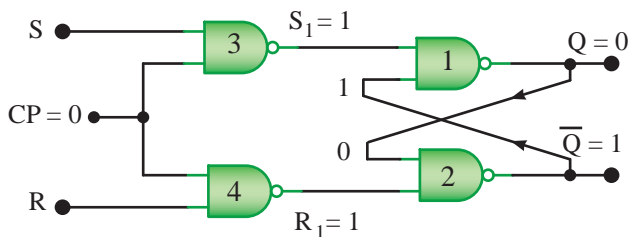
جدول صحت فلیپ فلاپ SR ساعتی

Clock	S	R	Q
0	1	0	تغییر نمی‌کند
0	0	1	تغییر نمی‌کند
0	1	0	تغییر نمی‌کند
0	1	1	تغییر نمی‌کند
1	0	0	تغییر نمی‌کند
1	0	1	Reset
1	1	0	Set
1	1	1	غیرمجاز

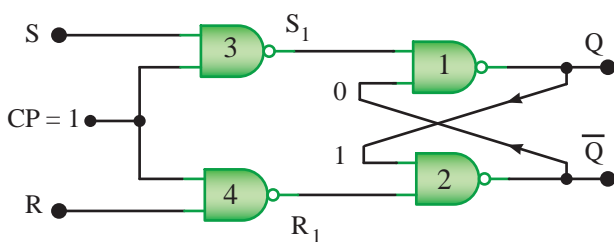
Pulse Clock یا پالس ساعت ورودی (CP) به عنوان یک سیگنال فعال‌ساز عمل می‌کند. هنگامی که $CP = 0$ است، S_1 و R_1 در این شرایط یک می‌شود. خروجی Q و \bar{Q} تغییر وضعیت نمی‌دهند و حالت قبل خود را حفظ می‌کنند، شکل‌های زیر این حالت‌ها را نشان می‌دهد در واقع این شکل‌ها نشان می‌دهد که وضعیت S و R هرچه باشد چون پالس ساعت در وضعیت صفر منطقی است، خروجی حالت قبل خود را حفظ می‌کند و ثابت می‌ماند.



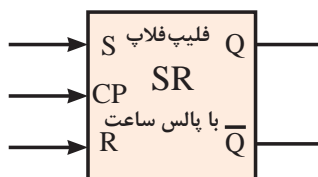
ورودی‌های S و R اثری در خروجی ندارند



اگر $CP = 1$ شود خروجی گیت NAND شماره ۳ و ۴ براساس ورودی‌های S و R تغییر می‌کند و در این حالت خروجی Q و \bar{Q} مطابق جدول درستی فلیپ‌فلاپ $R-S$ ساعتی را در زمان اعمال پالس ساعت نشان می‌دهد.



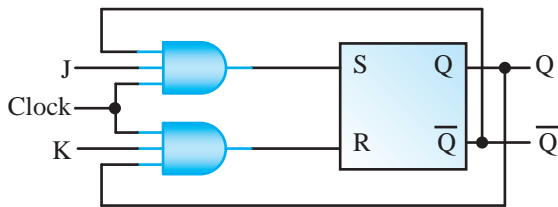
$CP = 1$ است، Q و \bar{Q} از مقادیر S و R تبعیت می‌کنند.



بلوک دیاگرام فلیپ‌فلاپ SR ساعتی

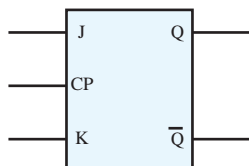
پاسخ فعالیت کارگاهی فلیپ فلاپ J-K :

یکی از اشکال‌های فلیپ فلاپ S-R مربوط به حالت تعریف نشده آن یعنی وضعیت $S=R=1$ است. زیرا در این حالت وضعیت غیر مجاز پیش می‌آید. برای اصلاح این حالت از فلیپ فلاپ J-K استفاده می‌شود. در شکل پ مدار فلیپ فلاپ J-K رسم شده است. فلیپ فلاپ دارای مدار داخلی با گیت NOR است.



فلیپ فلاپ J-K

بلوک دیاگرام فلیپ فلاپ J-K را در شکل مشاهده می‌کنید.



نماد بلوکی فلیپ فلاپ J-K

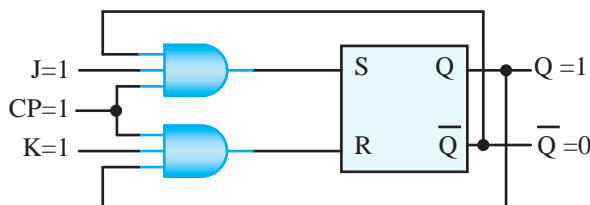
جدول درستی فلیپ فلاپ J-K در جدول آمده است.

جدول صحت فلیپ فلاپ J-K

خروجی قبل از اعمال پالس ساعت		
J	K	$Q_{(t)}$
0	0	$Q_{(t-1)}$
0	1	0
1	0	1
1	1	$\bar{Q}_{(t-1)}$

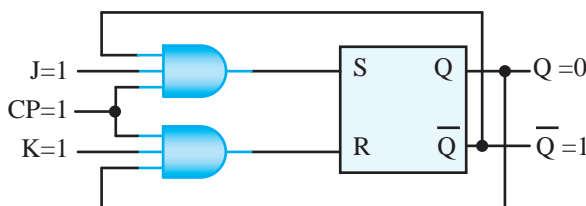
خروجی بعد از اعمال پالس ساعت $\bar{Q}_{(t-1)}$

این جدول نشان می‌دهد حالت ممنوعه برطرف شده است یعنی هنگامی که $K = J = 1$ می‌شود، اگر فلیپ‌فلاپ مطابق شکل زیر در حالت Set یعنی $Q = 1$ قرار داشته باشد، وضعیت آن تغییر می‌کند و Reset می‌شود.



$J=1$ و $K=1$ خروجی $Q=1$ است.

بنابراین مطابق شکل، خروجی $Q=1$ به حالت $Q=1$ تغییر حالت می‌دهد.

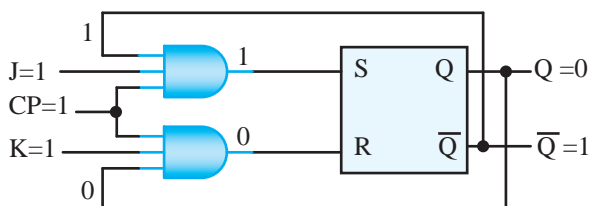


در وضعیت $J=1$ و $K=1$

Q و \bar{Q} برعکس حالت قبل شده است. همچنین اگر فلیپ‌فلاپ در وضعیت Reset یعنی $Q = 0$ باشد با برقراری $K=J=1$ به وضعیت Set می‌رود یعنی $Q=1$ می‌شود به عبارت دیگر حافظه به حالتی برعکس وضعیت قبلی خود تغییر حالت می‌دهد. این وضعیت را که شبیه قطع و وصل کردن یک کلید است حالت کلیدی می‌نامند. باید توجه داشت تغییر وضعیت Q و \bar{Q} زمانی رخ می‌دهد که پالس ساعت فعال باشد، $(CP=1)$ طبیعی است اگر پالس ساعت فعال نباشد یعنی $CP=0$ شود Q و \bar{Q} تغییر وضعیت نمی‌دهند و حالت اولیه خود را حفظ می‌کنند.

عیب فلیپ فلاپ J-K: همان‌طور که مشاهده کردید فلیپ‌فلاپ J-K توانسته است حالت تعریف نشده فلیپ فلاپ S-R را برطرف کند. چون خروجی‌های Q و \bar{Q} مستقیماً به ورودی‌های فیدبک شده‌اند. اگر در این حالت پالس ساعت برابر با (۱) باقی بماند، به دلیل وجود فیدبک، مقادیر مرتباً تغییر می‌کنند و خروجی فلیپ‌فلاپ دائماً بین صفر و یک نوسان می‌کند. در شکل صفحه بعد الف و ب تغییر وضعیت Q و \bar{Q} نشان داده شده است.

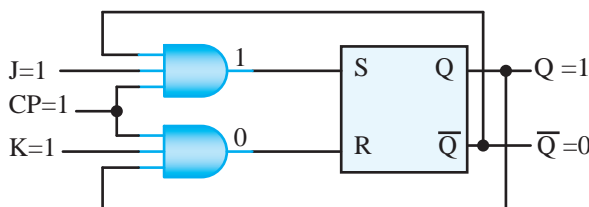
۱ فیدبک می یابد.



$$Q = 0, K = 1, J = 1$$

۰ فیدبک می یابد.

(الف)



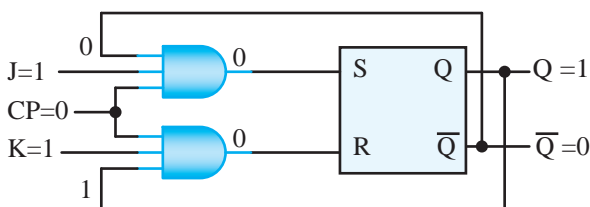
(ب)

با فیدبک خروجی Q و \bar{Q} به ورودی وضعیت جدید $Q=1$ و $\bar{Q}=0$ ظاهر شده است.

حال اگر مطابق شکل پالس ساعت مساوی صفر ($CP=0$) شود، در این لحظه Q روی آخرین وضعیت خود ثابت می ماند. این حالت فلیپ فلاپ را پدیده دور خود چرخیدن Around Race می گویند.

در این حالت وضعیت خروجی بین صفر و یک در حال نوسان است. برای برطرف کردن این عیب از فلیپ فلاپ JK-MS استفاده می شود.

۰ فیدبک می یابد.



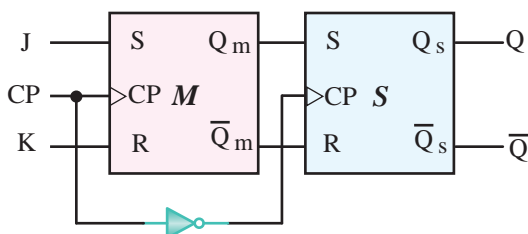
۱ فیدبک می یابد

Q و \bar{Q} فیدبک می شوند چون $CP=0$ است خروجی تغییر نمی کند.

پاسخ فعالیت کارگاهی فلیپ فلاپ JK-MS (JK-Master slave):

فلیپ فالپ JK-MS از دو فلیپ فلاپ R-S مجزا و مشابه هم درست شده است که یکی مستر (اصلی - Master) و دیگری اسلیو (فرعی - Slave) نام دارد. این فلیپ فلاپ ها هر دو با لبه بالارونده عمل می کنند. شکل صفحه بعد بلوک دیاگرام این

فلیپ‌فلاپ را نشان می‌دهد. خطوط فیدبک از Q و \bar{Q} به ورودی‌ها رسم نشده است.

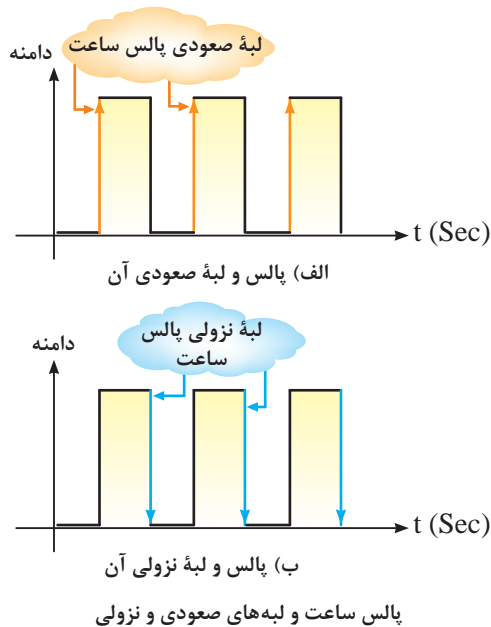


بلوک دیاگرام فلیپ‌فلاپ JK-MS. بدون رسم مسیر فیدبک

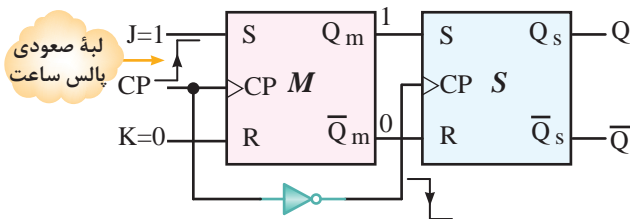
با توجه به بلوک دیاگرام شکل بالا درمی‌یابیم پالس ساعت فلیپ‌فلاپ Master معکوس (NOT) می‌شود و به عنوان پالس ساعت فلیپ‌فلاپ Slave عمل می‌کند. شکل‌های الف و ب وضعیت پالس ساعت Master و Slave را نسبت به هم نشان می‌دهد.



هنگامی که پالس از ولتاژ صفر به سمت سطح ولتاژ زیاد تغییر می‌کند، به این بخش لبه صعودی پالس (لبه بالارونده) گویند. شکل الف لبه صعودی پالس را نشان می‌دهد. هنگامی که پالس از سطح ولتاژ زیاد به سمت سطح ولتاژ صفر نزول می‌کند این بخش، لبه نزولی پالس (پایین‌رونده) نام دارد. شکل ب لبه نزولی پالس را نشان می‌دهد.



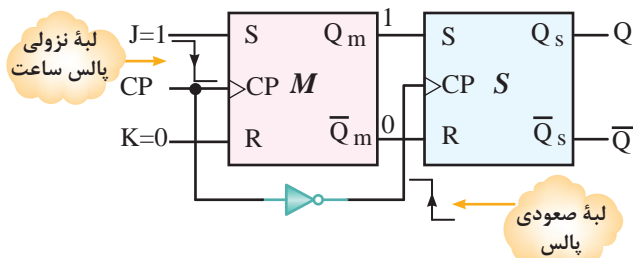
در فلیپ‌فلاپ JK-MS در هنگام لبه صعودی پالس Master، اطلاعات ورودی وارد حافظه Master می‌شود. شکل زیر نشان می‌دهد که اطلاعات ورودی وارد حافظه Master شده است.



در هنگام لبه صعودی پالس ورودی، اطلاعات ورودی وارد حافظه Master می‌شود.

در هنگام لبه نزولی پالس ساعت ورودی، پالس ساعت فلیپ‌فلاپ Slave صعود می‌کند و اطلاعات حافظه Master، وارد حافظه Slave که حافظه خروجی است می‌شود. در شکل زیر لبه نزولی پالس ساعت Master و لبه صعودی پالس ساعت Slave و ورود اطلاعات حافظه Master به حافظه Slave نشان داده شده است. مشاهده می‌شود هنگامی که اطلاعات به خروجی فلیپ‌فلاپ Slave انتقال می‌یابد و می‌خواهد به ورودی فلیپ‌فلاپ Master فیدبک شود، دروازه فلیپ‌فلاپ Master بسته است یعنی $CP = 0$ است بدین ترتیب اطلاعات برگشتی نمی‌تواند

وارد حافظه Master شود و حافظه را به نوسان درآورد.

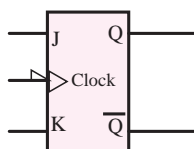


در هنگام لبه نزولی پالس ساعت ورودی، پالس ساعت Slave صعود می کند و اطلاعات وارد حافظه Slave می شود.

جدول درستی فلیپ فلاپ JK-MS مانند جدول درستی فلیپ فلاپ JK است. فقط در فلیپ فلاپ JK-MS اطلاعات در لبه نزولی پالس ساعت وارد حافظه می شوند. جدول زیر جدول درستی فلیپ فلاپ JK-MS را نشان می دهد. بلوک دیاگرام فلیپ فلاپ JK-MS را در شکل زیر ملاحظه می کنید.

درستی فلیپ فلاپ JK-MS

J	K	CP	$Q_{(t)}$
۰	۰		حالت قبلی را حفظ می کند $Q_{(t-1)}$
۰	۱		RESET ۰
۱	۰		SET ۱
۱	۱		حالت قبلی عکس می شود $\bar{Q}_{(t-1)}$



بلوک دیاگرام فلیپ فلاپ JK-MS

رجیسترها یا ثبات‌ها مدارهایی هستند که اطلاعات باینری را به صورت موقتی ذخیره می‌کنند و موارد کاربردی آن به شرح زیر است:

■ انجام محاسبات ریاضی و منطقی روی اطلاعات

■ نگهداری اطلاعات ورودی به یک رمزگشا

■ نگهداری اطلاعات خروجی از یک رمزگذار

■ نگهداری اطلاعات ورودی و خروجی در کامپیوتر

شیفت رجیسترها (SHIFT Registers) و شمارنده‌ها (COUNTERS):

یک ثبات یا رجیستر مجموعه‌ای از فلیپ فلاپ‌ها (سلول‌های حافظه) است که می‌تواند اطلاعات دودویی (باینری) را در خود نگه دارد. رجیستری که قادر است اطلاعات باینری ذخیره شده در خود را به سمت راست یا چپ انتقال دهد، شیفت رجیستر نامیده می‌شود.

اتصال فلیپ فلاپ‌ها به گونه‌ای است که یک رشته ارقام باینری به آنها وارد یا از آنها خارج می‌شود. این نوع مدارها را معمولاً شیفت رجیستر یا ثبات انتقالی می‌نامند. یک شیفت رجیستر n بیتی از n فلیپ فلاپ تشکیل می‌شود و می‌تواند n بیت اطلاعات را در خود ذخیره کند. یک نمونه از کاربرد شیفت رجیستر در ماشین حساب است.

با ورود هر رقم از صفحه کلید اعداد روی نمایشگر به چپ جابه‌جا می‌شوند. مثلاً برای ورود عدد ۲۶۸ ابتدا با فشار دادن کلید ۲ و رهاسازی آن رقم ۲ در سمت راست نمایشگر ظاهر می‌شود. سپس با فشردن کلید ۶ و رهاسازی آن رقم ۲ یک مکان به چپ می‌رود و برای ظهور ۶ روی صفحه کلید جا باز می‌کند. نهایتاً اگر کلید ۸ را بفشارید و رها کنید عدد ۲۶۸ روی صفحه نمایش ظاهر خواهد شد. ذکر این مثال دو مشخصه مهم یک شیفت رجیستر را نشان می‌دهد.

۱ مدار داخلی ماشین حساب یک ثبات موقت است. به طوری که حتی اگر دکمه صفحه کلید را رها کنید اعداد روی نمایشگر باقی می‌ماند.

۲ هر بار که یک رقم جدید را روی صفحه کلید می‌فشارید مدار داخلی اعداد روی صفحه نمایش را یک رقم به چپ جابه‌جا می‌کند. مدارهایی که عمل جابه‌جایی و ذخیره سازی را انجام می‌دهند شیفت رجیستر نام دارند. مدار شیفت رجیستر در سیستم‌های الکترونیکی دیجیتال کاربرد دارد.

در مورد انواع شیفت رجیسترها و کاربرد آنها تحقیق کرده و نتیجه را به صورت پرده نگار نمایش دهید.

تحقیق



پاسخ:

انواع شیفت رجیستر: برحسب این که اطلاعات چگونه ثبت (نوشته) و به چه صورت خوانده شود، شیفت رجیسترها را به چهار گروه زیر دسته‌بندی می‌کنند:

۱ ورودی سری - خروجی سری (SISO) یا متوالی - متوالی یا سری - سری

SERIA OUTPUT - SERIA INPUT

۲ ورودی سری - خروجی موازی (SIPO) یا متوالی - موازی یا سری - موازی

SERIA INPUT - PARAIEII OUTPUT

۳ ورودی موازی - خروجی سری (PISO) یا موازی - متوالی یا موازی - سری

PARAIEII INPUT - SERIA OUTPUT

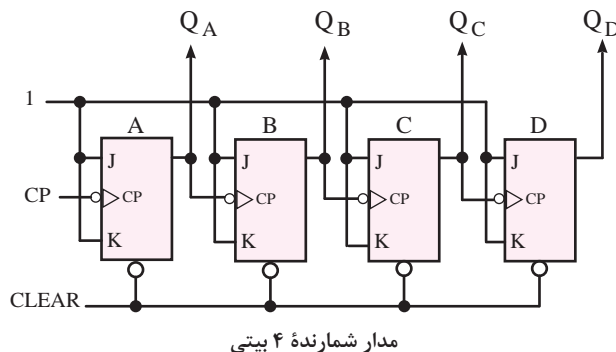
۴ ورودی موازی - خروجی موازی (PIPO) یا موازی - موازی

PARAIEII OUTPUT

دانش افزایی

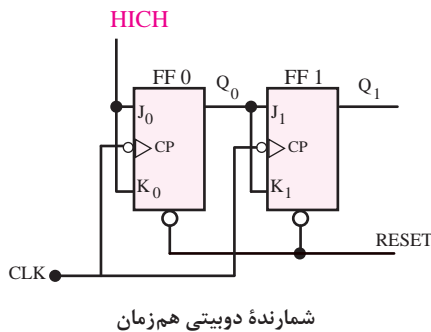
شمارنده‌ها (Counters):

شمارنده‌ها مدارهایی هستند که از تعدادی فلیپ فلاپ که به صورت سری به هم متصل شده‌اند، تشکیل می‌شود و عملاً پالس‌های ورودی به مدار را شمارش می‌کنند. شمارنده‌ها به عنوان تقسیم‌کننده فرکانس نیز به کار می‌روند. شمارش ممکن است بر مبنای ۱۰ یا هر مبنای دیگری انجام شود عنصر اصلی هر شمارنده فلیپ فلاپ است. یک شمارنده با n طبقه فلیپ فلاپ حداکثر می‌تواند 2^n حالت تعریف شده داشته باشد. شکل زیر یک شمارنده ۴ بیتی را نشان می‌دهد. تعداد وضعیت‌هایی را که یک شمارنده قبل از رسیدن به حالت اولیه طی می‌کند، مدول (modules) یا پیمانه شمارنده می‌نامند. مثلاً یک شمارنده باینری ۳ بیتی از مدول ۸ یعنی ۸ وضعیت و یک شمارنده باینری ۴ بیتی از مدول ۱۶ یعنی ۱۶ وضعیت است.



انواع شمارنده‌ها: شمارنده‌ها بر اساس نحوه کار به شمارنده آسنکرون (Asynchronous) غیرهم‌زمان و شمارنده‌های سنکرون (synchronoun) هم‌زمان تقسیم‌بندی می‌شوند. **شمارنده آسنکرون:** در شمارنده آسنکرون پالس ساعت فلیپ فلاپ به‌طور هم‌زمان به آنها اعمال نمی‌شود و هر طبقه پالس ساعت خود را از خروجی طبقه ماقبل خود دریافت می‌کند. شمارنده آسنکرون به شمارنده ضربانی (Ripple Counter) نیز معروف است. فلیپ فلاپ‌های به کار رفته در این نوع شمارنده از نوع T است و باید همواره $T=1$ باشد.

شمارنده سنکرون (هم‌زمان): در شمارنده آسنکرون تغییر وضعیت هر فلیپ فلاپ به تغییر وضعیت فلیپ فلاپ ماقبل آن بستگی دارد. به همین جهت سرعت عمل در این نوع شمارنده کم است. همچنین اگر فرکانس پالس ساعت زیاد شود، در شمارش خطا به وجود می‌آید. در شمارنده سنکرون، پالس ساعت کلیه فلیپ فلاپ‌ها از یک منبع تأمین می‌شود. بدین ترتیب اشکال مربوط به شمارنده آسنکرون را برطرف می‌کند. در شمارنده سنکرون از گیت‌های بیشتری نسبت به شمارنده آسنکرون استفاده می‌شود. در شکل زیر یک شمارنده سنکرون دوبیتی نشان داده شده است، که در آن از دو فلیپ فلاپ نوع T استفاده شده است.



در فلیپ فلاپ FF ورودی‌های J و K هر دو در وضعیت یک منطقی (High) قرار دارند. این نوع فلیپ فلاپ در لبه پایین رونده (نزولی) پالس ساعت تغییر وضعیت می‌دهد. چون Q به J_1 متصل است لذا FF_1 زمانی تغییر وضعیت می‌دهد که Q_0 در حالت یک قرار دارد.

ارزشیابی مرحله‌ای

عنوان پودمان (فصل)	تکالیف عملکردی (شایستگی‌ها)	استاندارد عملکرد (کیفیت)	نتایج	استاندارد (شاخص‌ها، داوری، نمره‌دهی)	نمره
کاربری مدارهای الکترونیکی	تبدیل مبنای اعداد به یکدیگر و بررسی گیت‌های منطقی و مدارهای ترکیبی و ترتیبی	بستن انواع گیت‌های منطقی به صورت کاربردی در مدارهای ترکیبی و ترتیبی	تبدیل اعداد از یک مبنای دیگر ۱ ۲ بررسی دروازه‌های منطقی و بستن سخت‌افزاری دروازه‌های منطقی با آی‌سی ۳ بررسی و بستن کلی مدارهای ترکیبی و ترتیبی * هنرجو توانایی بررسی همه شاخص‌ها را داشته باشد	۳	
			در حد انتظار	تبدیل اعداد از یک مبنای دیگر ۱ ۲ بررسی دروازه‌های منطقی و بستن سخت‌افزاری دروازه‌های منطقی با آی‌سی ۳ بررسی و بستن کلی مدارهای ترکیبی و ترتیبی * هنرجو توانایی بررسی دو مورد از شاخص‌ها را داشته باشد	۲
			پایین تر از حد انتظار	تبدیل اعداد از یک مبنای دیگر ۱ ۲ بررسی دروازه‌های منطقی و بستن سخت‌افزاری دروازه‌های منطقی با آی‌سی ۳ بررسی و بستن کلی مدارهای ترکیبی و ترتیبی * هنرجو توانایی بررسی یک مورد از شاخص‌ها را داشته باشد	۱
	نمره مستمر از ۵				
	نمره شایستگی پودمان از ۳				
	نمره پودمان از ۲۰				

ارزشیابی شایستگی کاربری مدارهای دیجیتالی

۱- شرح کار:

- تشریح سامانه اعداد؛
- تشریح عملکرد دروازه‌های پایه و ترکیبی؛
- ساده سازی توابع مدارهای منطقی؛
- شرح کلی مدارهای ترکیبی؛
- شرح کلی مدارهای ترتیبی.

۲- استاندارد عملکرد:

- کار با دروازه‌های منطقی و مدارهای ترکیبی دیجیتالی و بستن مدارهای کاربردی دیجیتالی با رعایت استانداردهای حاکم بر آنها.

۳- شاخص‌ها:

- تشریح کامل تجهیزات، قطعات و دستگاه‌های الکترونیکی.

۴- شرایط انجام کار، ابزار و تجهیزات:

شرایط: مکان دارای کف عایق یا آنتی استاتیک و مناسب برای انجام کار و کارگاه مجهز به لوازم ایمنی باشد.
ابزار و تجهیزات: کلیه دستگاه‌های الکترونیکی و قطعات الکترونیکی و میز آزمایشگاهی الکترونیک با تجهیزات استاندارد.

۵- معیار شایستگی:

ردیف	مرحله کار	حداقل نمره قبولی از ۳	نمره هنرجو
۱	تبدیل اعداد از یک مبنا به مبنای دیگر	۱	
۲	تشریح دروازه‌های منطقی	۲	
۳	بستن سخت افزاری مدار دروازه‌های منطقی با آی سی	۱	
۴	تشریح کلی عملکرد مدارهای ترکیبی	۱	
۵	بستن سخت افزاری مدارهای ترکیبی	۱	
۶	تشریح کلی عملکرد مدارهای ترتیبی	۱	
۷	شایستگی‌های غیر فنی، ایمنی، بهداشت، توجهات زیست محیطی	۲	
۱	رعایت نکات ایمنی دستگاه‌ها؛		
۲	دقت و تمرکز در اجرای کار؛		
۳	شایستگی تفکر و یادگیری مادام العمر؛		
۴	رعایت اصول و مبانی اخلاقی حرفه‌ای.		
میانگین نمرات			*

* حداقل میانگین نمرات هنرجو برای قبولی و کسب شایستگی ۲ است.